

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-237249

(P2009-237249A)

(43) 公開日 平成21年10月15日(2009. 10. 15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G06F 7/58 (2006.01)	G06F 7/58 A	5C080
H03K 3/84 (2006.01)	H03K 3/84 A	5J049
G09G 3/20 (2006.01)	G09G 3/20 612R	
	G09G 3/20 621B	
審査請求 未請求 請求項の数 14 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2008-82952 (P2008-82952)
 (22) 出願日 平成20年3月27日 (2008. 3. 27)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一
 (72) 発明者 古森 文章
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 Fターム(参考) 5C006 AC21 AC26 AF51 AF68 AF72
 AF78 BB16 BC11 BF03 BF04
 BF06 BF09 BF31 BF50 FA32
 5C080 AA10 BB05 DD01 DD12 JJ02
 JJ04 KK02 KK07
 最終頁に続く

(54) 【発明の名称】 表示装置

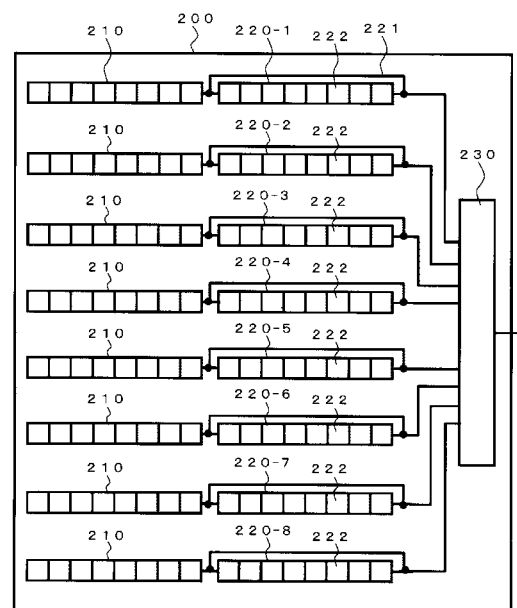
(57) 【要約】

【課題】表示装置に最適な乱数発生回路を実現する。

【解決手段】表示装置は表示パネルと、制御回路と、乱数発生回路とを備え、乱数発生回路は複数のシフトレジスタと、出力回路と、初期値を保持するレジスタとからなり、複数の初期値を備えることで乱数のランダム性を向上させる。また、複数のシフトレジスタからそれぞれ異なる乱数を出力させることが可能なことから、出力回路にて周波数を増加させて出力することが可能となる。また、デジタル信号の反転数を抑えるノイズコントロール信号を付加して液晶表示装置から発生する電磁波ノイズを低減する。また、複数のシフトレジスタの基本クロックを、断続的に停止を繰り返す間欠駆動クロックとすることで、表示装置から発生する電磁波ノイズを低減する。基本クロックは、表示データの転送クロックに同期するクロック、あるいは、表示データの転送クロックに非同期的なクロックであってもよい。

【選択図】 図9

図9



【特許請求の範囲】**【請求項 1】**

表示パネルと、
前記表示パネルの各画素を駆動する駆動回路と、
前記駆動回路に表示データを出力する制御回路とを備え、
前記制御回路には、乱数発生回路が設けられ、
前記乱数発生回路が発生したパルス信号の周波数を n 倍化して出力する出力回路を有し

、
前記乱数発生回路は、 n 個のシフトレジスタを有し、
前記 n 個のシフトレジスタの基本クロックは、断続的に停止を繰り返す間欠駆動クロックであり、

前記制御回路は前記表示データの反転を示す反転制御信号を出力することを特徴とする表示装置。

【請求項 2】

前記基本クロックは、表示データの転送クロックに同期したクロックであることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記基本クロックは、表示データの転送クロックと非同期のクロックであることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記乱数発生回路は、 n 個の初期値を格納するレジスタを有することを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

表示パネルと、
前記表示パネルの各画素を駆動する駆動回路と、
前記駆動回路に表示データを出力する制御回路と、
前記制御回路に設けられた乱数発生回路と、
乱数発生回路の初期値を格納するメモリ素子と、
前記乱数発生回路が発生した信号が入力するノイズ発生回路とを備え、

前記乱数発生回路は、 n 個のシフトレジスタを有し、
前記 n 個のシフトレジスタの基本クロックは、断続的に停止を繰り返す間欠駆動クロックであり、

前記制御回路は前記表示データの反転を示す反転制御信号を出力することを特徴とする表示装置。

【請求項 6】

前記基本クロックは、表示データの転送クロックに同期するクロックであることを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

前記基本クロックは、表示データの転送クロックと非同期のクロックであることを特徴とする請求項 5 に記載の表示装置。

【請求項 8】

前記乱数発生回路は、 n 個の初期値を格納するレジスタを有することを特徴とする請求項 5 に記載の表示装置。

【請求項 9】

前記乱数発生回路は、前記 n 個のシフトレジスタに接続した出力回路を有することを特徴とする請求項 5 に記載の表示装置。

【請求項 10】

表示パネルと、
前記表示パネルに平面的に重ねられたタッチパネルと、
前記表示パネルの各画素を駆動する駆動回路と、

10

20

30

40

50

前記駆動回路に表示データを出力する制御回路と、
前記制御回路に設けられた乱数発生回路と、
前記乱数発生回路の初期値を格納するメモリ素子と、
前記乱数発生回路が発生した信号が入力するノイズ発生回路とを備え、
前記乱数発生回路は、 n 個のシフトレジスタを有し、
前記 n 個のシフトレジスタの基本クロックは、断続的に停止を繰り返す間欠駆動クロックであり、

前記ノイズ発生回路は、前記乱数発生回路が発生した信号の周波数を変化させ、
前記制御回路はノイズコントロール信号を出力し、前記表示データの反転数を制御することを特徴とする表示装置。

10

【請求項 11】

前記基本クロックは、表示データの転送クロックに同期するクロックであることを特徴とする請求項 10 に記載の表示装置。

【請求項 12】

前記基本クロックは、表示データの転送クロックと非同期のクロックであることを特徴とする請求項 10 に記載の表示装置。

【請求項 13】

前記乱数発生回路は、 n 個の初期値を格納するレジスタを有することを特徴とする請求項 10 に記載の表示装置。

【請求項 14】

20

前記乱数発生回路は、前記 n 個のシフトレジスタに接続した出力回路を有することを特徴とする請求項 10 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に係り、特に、表示装置に用いられる乱数発生回路に有効な技術に関する。

【背景技術】

【0002】

中型の液晶表示パネルを有する TFT (Thin Film Transistor) 方式の液晶表示装置は、携帯端末、ノート型パーソナルコンピュータ等の表示部として広く使用されている。

30

この中型の液晶表示装置では、外部から入力されるデータの入力装置として、タッチパネルを併設するものがある。また、キーボードも外付けの入力装置として従来から用いられている。

これら入力装置から入力されたデータには、秘密保持のため暗号化等の符号化が施される場合がある。符号化のためには一般に乱数が用いられており、表示装置にも乱数発生回路を備える必要が生じていた。

しかしながら、従来の表示装置は乱数発生回路を備えてなく、汎用の表示装置に最適な乱数発生装置について試行されている。

一方、従来から様々な乱数発生回路が提案されており、下記特許文献 1 には、M 系列と呼ばれる乱数をシフトレジスタにて発生させる回路の記載がある。しかしながら、特許文献 1 は表示装置に用いられる乱数発生回路について記載のあるものではない。

40

【0003】

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献 1】特開平 06 - 051957 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

前述した表示装置において、ランダム性の高い乱数発生回路を用いると、回路規模が大きくなり、材料費の上昇と設置領域の確保が困難であるといった問題が生じる。

50

また、表示装置において、電磁波ノイズ（EMI）対策のために、回路から出力する信号の電圧変化を抑える要求もある。

乱数発生回路より乱数を発生するとそのランダム性が高いという特徴より、電圧変化が頻繁であり電磁波ノイズが増加するという問題も発生した。

本発明は、前記問題点を解決するためになされたものであり、本発明の目的は、表示装置において、最適な乱数発生回路を用いるとともに、回路規模を抑え、電磁波ノイズの対策も可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

10

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

表示パネルと、前記表示パネルの各画素を駆動する駆動回路と、駆動回路に表示データを出力する制御回路とを備え、制御回路には乱数発生回路を設ける。乱数発生回路は n 個のシフトレジスタを備え、シフトレジスタの基本クロックを、断続的に停止を繰り返す間欠駆動クロックとし、制御回路より出力する。 n 個のシフトレジスタの出力信号は出力回路に入力する。出力回路では n 個のシフトレジスタの出力信号から、 n 倍の周波数の出力信号を発生させる。シフトレジスタの基本クロックは、表示データの転送クロックに同期し、あるいは、表示データの転送クロックに非同期のクロックでもよい。また、デジタル信号の転送には、信号電圧の変化数によりデジタル信号を反転する反転制御信号を設けた。

20

【発明の効果】

【0006】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、 n 個のシフトレジスタを設けることで、乱数発生回路から発生する乱数のランダム性が向上する。また、 n 個のシフトレジスタを用いることで、 n 倍の周波数の信号を乱数として発生させることも可能である。

シフトレジスタの基本クロックを、断続的に停止を繰り返す間欠駆動クロックとすることで、断続的に乱数の発生を停止させ、乱数発生に伴う電磁波ノイズの発生を抑えることが可能である。

30

デジタル信号の転送に、信号電圧の変化数によりデジタル信号を反転する反転制御信号を設けることで、信号電圧の変化を抑えて電磁波ノイズの発生を抑えることが可能となった。

【発明を実施するための最良の形態】

【0007】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

40

図1は、本発明の実施例である液晶表示装置の概略構成を示すブロック図である。同図に示すように、液晶表示装置は、液晶表示パネル1と走査信号線側回路基板31と映像信号線側回路基板32と制御回路基板33とから構成される。

液晶表示パネル1は、薄膜トランジスタ10、画素電極11、対向電極15等が形成されるTFT基板2と、カラーフィルタ等が形成されるフィルタ基板（図示せず）とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材（図示せず）により、両基板を貼り合わせると共に、シール材の内側に液晶組成物を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

なお、本実施例は対向電極15がTFT基板2に設けられる所謂横電界方式の液晶表示パネルにも、対向電極15がフィルタ基板に設けられる所謂縦電界方式の液晶表示パネル

50

にも同様に適用される。

図 1 においては、図中 x 方向に延在し y 方向に並設される走査信号線（ゲート信号線とも呼ぶ）2 1 と、y 方向に延在し x 方向に並設される映像信号線（ドレイン信号線とも呼ぶ）2 2 とが設けられており、走査信号線 2 1 とドレイン信号線 2 2 とで囲まれる領域に画素部 8 が形成されている。

なお、液晶表示パネル 1 は多数の画素部 8 をマトリクス状に備えているが、図を解り易くするため、図 1 では画素部 8 を 1 つだけ示している。マトリクス状に配置された画素部 8 は表示領域 9 を形成し、各画素部 8 が表示画像の画素の役割をはたし、表示領域 9 に画像を表示する。

【0008】

各画素部 8 の薄膜トランジスタ 1 0 は、ソースが画素電極 1 1 に接続され、ドレインが映像信号線 2 2 に接続され、ゲートが走査信号線 2 1 に接続される。この薄膜トランジスタ 1 0 は、画素電極 1 1 に表示電圧（階調電圧）を供給するためのスイッチとして機能する。なお、ソース、ドレインの呼び方は、バイアスの関係で逆になることもあるが、ここでは、映像信号線 2 2 に接続される方をドレインと称する。

映像信号線 2 2 は駆動回路 6 に接続され、駆動回路 6 からは映像信号が供給される。また、図 1 において、2 5 は対向電極（コモン電極）を表しており、図 1 では対向電極 2 5 に、駆動回路 6 からコモン電圧が供給されている。走査信号線 2 1 は駆動回路 5 に接続され、駆動回路 5 からは走査信号が供給される。

駆動回路 5 は走査信号線側回路基板 3 1 と接続しており、走査信号線側回路基板 3 1 を介して制御信号が制御回路 3 から供給され、電源電圧が電源回路 4 1 から供給される。駆動回路 6 は映像信号線側回路基板 3 2 と接続しており、映像信号線側回路基板 3 2 を介して制御信号が制御回路 3 から供給され、電源電圧が電源回路 4 1 から供給される。

制御回路 3 と電源回路 4 1 とは、制御回路基板 3 3 に設けられている。制御回路基板 3 3 には乱数発生回路 2 0 0 が設けられており、乱数発生回路 2 0 0 からは乱数が発生する。乱数発生回路 2 0 0 には伝送配線 2 0 1 が接続され、伝送配線 2 0 1 により乱数発生回路 2 0 0 からの信号が映像信号線側回路基板 3 2 等に伝えられる。なお、乱数発生回路 2 0 0 の詳細については後述する。

また、制御回路 3 から映像信号線側回路基板 3 2 には表示データ線 4 6 及び表示データ転送クロック線 5 0 が伸びており、表示データ線 4 6 及び表示データ転送クロック線 5 0 は駆動回路 6 に接続しており、表示データ線 4 6 を介し、表示データ転送クロックに同期して表示データが駆動回路 6 に供給される。

また、制御回路 3 から表示データ転送クロックまたは制御回路 3 で生成された基本クロックが乱数発生回路 2 0 0 に供給される。なお、基本クロックの詳細については後述する。

制御回路 3 からは反転制御信号線 2 0 3 も出力しており、表示データが反転されているか否かを各駆動回路 6 に伝達している。なお、反転制御信号についても詳細は後述する。

【0009】

次に図 2 を用いて、液晶表示装置 1 0 0 が適用される端末装置 4 0 0 について説明する。液晶表示装置 1 0 0 は端末装置 4 0 0 の表示部として用いられる。液晶表示装置 1 0 0 と併設してタッチセンサパネル 4 2 0 が設けられ、液晶表示装置 1 0 0 とタッチセンサパネル 4 2 0 とで表示・入力部 3 0 0 を形成する。

図 3 に表示・入力部 3 0 0 の概略正面図を示す。表示・入力部 3 0 0 は端末装置 4 0 0 の利用者に、タッチ入力部 4 1 0 を示し、入力した情報を表示部 4 1 1 に表示する。

利用者はタッチ入力部 4 1 0 を指先等で触れることで、接触した位置に表示された情報に基づくデータを端末装置 4 0 0 に入力する。入力されたデータは端末装置 4 0 0 にて処理され表示部 4 1 1 にも確認のため表示される。

なお、この時秘匿性の高いデータの場合には、入力されたデータは暗号化処理等の加工が施される。また、表示部 4 1 1 には実際のデータが表示されずに、例えば、アスタリスク等が表示される。

10

20

30

40

50

【 0 0 1 0 】

図 2 に戻ってデータ処理の流れについて説明する。タッチセンサパネル 4 2 0 から入力された位置データは、まず入力装置制御回路 4 2 1 に伝達されデータ処理されてデータバス 4 3 5 を経由して CPU 4 3 0 に転送される。

CPU 4 3 0 では入力データに対して必要な処理が選択され実行される。液晶表示装置 1 0 0 に対しては、入力データに基いて表示内容が選択されデータバス 4 3 5 を介して画像集積回路 4 5 1 に伝達される。

画像集積回路 4 5 1 では画像表示に必要な処理が行われ、液晶表示装置 1 0 0 に対して表示データが出力する。このとき、表示データに暗号化処理等が施されている場合には、液晶表示装置 1 0 0 側にも乱数発生回路 2 0 0 が必要となる。

端末装置 4 0 0 は特に外部通信回路 4 4 1 を備えており、LAN 等の通信回線 4 4 2 を利用して遠隔地の中央処理装置 4 7 0 とデータのやり取りを行うことで、暗号化処理等が必須となっている。中央処理装置 4 7 0 は、例えば、外部通信回路 4 4 1 とサーバ 4 7 1 とから構成される。なお、符号 4 3 7 は端末装置 4 0 0 の電源回路で、符号 4 3 6 は電源線である。

【 0 0 1 1 】

次に図 3 を用いて表示・入力部 3 0 0 を説明する。表示・入力部 3 0 0 は液晶表示装置 1 0 0 とタッチセンサパネル 4 2 0 とが平面的に重ねられて形成されている。図 3 では利用者から見た表示・入力部 3 0 0 を示しており、液晶表示装置 1 0 0 とタッチセンサパネル 4 2 0 との区別は示していない。

表示・入力部 3 0 0 は液晶表示装置 1 0 0 を用いて、入力を促すようにタッチ入力部 4 1 0 を表示する。利用者はタッチ入力部 4 1 0 に指先等で接触することでデータを入力する。タッチセンサパネル 4 2 0 は、利用者が触れた位置情報を入力装置制御回路 4 2 1 を介して端末装置 4 0 0 に伝える。

端末装置 4 0 0 はタッチセンサパネル 4 2 0 からの位置情報を元に入力データを判断することになる。すなわち、表示・入力部 3 0 0 では位置情報が重要な意味を持つこととなり、表示画像にも入力装置としての機能が備わっていることとなる。なお、タッチ入力部 4 1 0 に利用者が接触した際に、入力動作を確認可能なように入力データを示す領域の表示が変化することがある。例えば、タッチ入力部 4 1 0 の数字 2 を囲む四角内部を利用者が触った場合に、数字 2 を囲む四角内部の表示が反転したり、背景色が変化したりする。

【 0 0 1 2 】

次に図 4 に表示・入力部 3 0 0 の実装形態を示す。表示・入力部 3 0 0 は利用者に対面するように、端末装置 4 0 0 の主基板 4 3 1 と離れて実装される。また、入出力用基板 4 3 2 を分離して設け、ケーブル 4 3 3 で主基板 4 3 1 と入出力用基板 4 3 2 とを接続し、ケーブル 4 3 4 で入出力用基板 4 3 2 と表示・入力部 3 0 0 とを接続して実装される場合もある。

入出力用基板 4 3 2 には入力装置制御回路 4 2 1 と表示制御装置 4 2 2 とが設けられる。表示制御装置 4 2 2 は液晶表示装置 1 0 0 に汎用性を持たせるために設けられており、例えば、表示制御装置 4 2 2 によりアナログ信号入力にもデジタル信号入力にも対応可能である。

また、デジタル信号にも規格による差異があるので、表示制御装置 4 2 2 は画像集積回路 4 5 1 の出力する表示データを液晶表示装置 1 0 0 の制御回路 3 に受け渡すための処理を行う。また、表示制御装置 4 2 2 は液晶表示装置 1 0 0 用の低電圧差動信号等を出力することも可能である。

【 0 0 1 3 】

図 5 から図 8 を用いて、主基板 4 3 1 と表示・入力部 3 0 0 との間で伝送される信号について説明する。主基板 4 3 1 内ではデータの転送はデータバス 4 3 5 を介して行われるが、画像集積回路 4 5 1 からは表示データ規格の信号 4 4 5 が表示制御装置 4 2 2 に出力している。

この画像集積回路 4 5 1 から出力される信号 4 4 5 は一般に 3 V ~ 5 V で振幅するデジ

10

20

30

40

50

タル信号で、8～32ビットの平行信号である。よって信号445によって発生するノイズが問題となるため、配線の設計には注意が必要である。

次に表示制御装置422からは液晶表示装置100の制御回路3にデジタル信号446が出力している。デジタル信号446も3V～5Vで振幅し、8～64ビットの平行信号である。よって信号446によって発生するノイズが問題となるため、配線の設計には注意が必要である。

また、制御回路3から駆動回路6にもデジタル信号446が出力している。制御回路3と駆動回路6との間に出力されるデジタル信号446は、図1に示すように映像信号線側回路基板32に形成された表示データ線46を介して伝送される。

【0014】

10

図6は入出力用基板432から低電圧差動信号447が出力される場合を示している。表示制御装置422からの出力はトランスミッタ448で低電圧差動信号447に変換されている。低電圧差動信号447はEMI対策に有効であるため、発生するノイズはデジタル信号446等よりも小さいが、場合によっては低電圧差動信号447にもノイズ対策が必要となる。

なお、図6の場合も表示制御装置422からトランスミッタ448の間はデジタル信号446で伝送されており表示制御装置422からトランスミッタ448の間はノイズ対策が必要となる。

次に図7に入出力用基板432から低電圧差動信号447が出力され、制御回路3からも低電圧差動信号447が出力される場合を示す。制御回路3から低電圧差動信号447を出力すると、映像信号線側回路基板32や走査信号線側回路基板31上でのEMI対策に有効である。

20

なお、制御回路3内部ではデジタル信号で信号が処理されるため、一旦制御回路3内部では低電圧差動信号447からデジタル信号に変換され、制御回路3から出力する際に、映像信号線側回路基板32や走査信号線側回路基板31用の低電圧差動信号447に変換される。

図8は画像集積回路451に表示制御装置422の機能が含まれる場合を示す。図8では画像集積回路451から直接に制御回路3に低電圧差動信号447が出力している。この場合では、画像集積回路451と制御回路3の間ではノイズの発生が抑えられる。ただし、制御回路3と駆動回路6または駆動回路5の間にデジタル信号446を出力している場合は、制御回路3以降のノイズ対策が必要となる。

30

【0015】

次に図9を用いて、乱数発生回路200について説明する。符号210は初期値を保持するレジスタで、符号220はシフトレジスタ、符号230は出力回路である。シフトレジスタ220はフリップフロップ222の複数段から形成されている。

また、シフトレジスタ220は、帰還経路221により最終段のフリップフロップ222の値を初段に戻して乱数を発生している。シフトレジスタ220は後述するように途中の段から値を取り出し帰還経路221の値と排他的論理和をとり、演算結果を初段に戻すことで乱数を発生させることが可能である。

シフトレジスタ220は単体で乱数を発生させることが可能であるが、図9では並列に8個のシフトレジスタ220-1から220-8を設け、各シフトレジスタ220の出力を出力回路230に入力し、出力回路230から乱数を出力している。

40

また、8個のシフトレジスタ220-1から220-8それぞれに異なった初期値を設定するために、8個のレジスタ210を用意し、各レジスタ210には異なる初期値を格納している。各シフトレジスタ220は動作開始時にレジスタ210から異なる初期値を読み込むことで、異なるパターンの乱数を発生することが可能となっている。

【0016】

また、発生する乱数のランダム性を向上させるために、各シフトレジスタ220-1から220-8で、基本クロックの周波数を異ならせることも可能である。

さらに、各シフトレジスタ220-1から220-8で、排他的論理和回路223に入

50

力するフリップフロップ 222 の出力段を変更して、異なる帰還経路 221 を形成することで、さらに乱数発生回路 200 で発生する乱数のランダム性を向上させることが可能である。

また、各シフトレジスタ 220 - 1 から 220 - 8 で、フリップフロップ 222 の段数を異ならせることでランダム性を向上させることも可能である。また、後述するように、乱数発生に伴う電磁波ノイズを低減させるため、各シフトレジスタ 220 - 1 から 220 - 8 に入力する基本クロックは断続的停止を繰り返す間欠駆動クロックとすることも可能である。

次に図 10 に初期値の転送方法を示す。初期値転送配線 224 により転送される初期値は、初期値転送制御信号線 225 がハイになることで、AND 回路 226 を介して各フリップフロップ 222 に格納される。なお、フリップフロップ 222 - 1 は初段のフリップフロップで、222 - 8 は最終段のフリップフロップを示している。

図 11 に判定回路 227 を追加したものを示す。シフトレジスタ 220 は全フリップフロップ 222 の初期値が 0 の場合に乱数を発生させることができないので、判定回路 227 を用いて全フリップフロップ 222 が 0 で無いかを判定する。

【0017】

次に図 12 にシフトレジスタ 220 の帰還経路 221 について説明する。図 12 (a) では、最終段のフリップフロップ 222 - 8 の出力と 5 段目のフリップフロップ 222 - 5 との出力とを排他的論理和回路 223 により演算し、その結果を初段のフリップフロップ回路 222 - 1 に入力することで、乱数を発生している。

図 13 (a) には初期値 (1, 0, 0, 0, 0, 0, 0, 0) を設定した場合の乱数が発生する模様を示す。期間 T1 では初段のフリップフロップ 222 - 1 には値 “1” が保持され、基本クロックに同期してフリップフロップ 222 - 1 に保持された値 “1” は次段のフリップフロップに転送される。

5 段目のフリップフロップ 222 - 5 に値 “1” が保持されると、最終段のフリップフロップ 222 - 8 が保持する値 “0” との間で排他的論理和が演算され、演算結果 “1” が初段のフリップフロップ 222 - 1 に保持され、期間 T6 に示す様に (1, 0, 0, 0, 0, 1, 0, 0) の値がシフトレジスタ 220 に保持される。以下同様に基本クロックに同期してフリップフロップ 222 間を値が転送される。

このように、n 段のシフトレジスタ 220 を用いて乱数発生回路 200 を形成すると、(2 の n 乗 - 1) の周期で M 系列と呼ばれる乱数を発生することが可能である。

【0018】

図 12 (b) は初段のフリップフロップ 222 - 1 と 2 段目のフリップフロップ 222 - 2 との排他的論理和の演算結果と、最終段のフリップフロップ 222 - 8 と最終段の 1 つ手前のフリップフロップ 222 - 7 との間での排他的論理和の演算結果との間で、更に排他的論理和を演算した結果を初段に入力するシフトレジスタ 220 を示す。このように、n 段のシフトレジスタ 220 を用いた乱数発生回路 200 は異なる帰還経路 221 を形成することで、異なるパターンを発生する乱数発生回路 200 とすることが可能である。

次に、再び図 13 を用いて初期値について説明する。図 13 (a) と図 13 (b) とは同じシフトレジスタ 220 の発生する乱数のパターンを示す。図 13 (a) では初期値 (1, 0, 0, 0, 0, 0, 0, 0) による乱数のパターンを示しており、図 13 (b) では初期値 (0, 1, 0, 1, 0, 1, 0, 0) による乱数のパターンを示している。

図 13 (a) と図 13 (b) とから明らかなように、同じシフトレジスタ 220 でも、初期値が異なると乱数のパターンが異なっている。図 9 に示す乱数発生回路 200 では、異なる初期値を設定した複数のシフトレジスタ 220 を用いて乱数を発生させており、乱数発生回路 200 から発生する乱数のランダム性が向上している。

【0019】

次に図 14、図 15 を用いて複数のシフトレジスタ 220 を用いて乱数発生回路 200 を形成した場合の問題点とその解決方法を説明する。

図 14 では、シフトレジスタ 220 の出力を一旦第 1 のラッチ回路 231 で保持し、そ

10

20

30

40

50

の後、第 2 のラッチ回路 2 3 2 にデータを保持し、第 2 のラッチ回路 2 3 2 からシフトレジスタ 2 2 0 の基本クロックの 8 倍の周波数で読み出しシリアル出力回路 2 3 3 からシリアル信号として出力している。

図 1 5 (a) (b) に示すように、第 2 のラッチ回路 2 3 2 に保持されたデータ D 1 から D 8 は、図 1 5 (c) に示すように 8 倍の周波数となり、シリアル出力回路 2 3 3 から出力される。

n 個のシフトレジスタ 2 2 0 を用いて乱数を発生させると、ランダム性は向上するが、n 個の異なる乱数が発生することとなる。複数個の乱数を発生させても、実際に乱数を利用する数以上の乱数が発生すると、利用数以上は無駄となってしまう。

そのため、出力回路 2 3 0 を設けて n 倍の周波数のシリアル信号として出力することで、出力した乱数を実効なく利用することが可能となる。この時、出力回路 2 3 0 の出力は、デジタル信号に限らず、低電圧差動信号等を出力することも可能である。なお、出力回路 2 3 0 から低電圧差動信号を出力する場合は、伝送配線 2 0 1 は対線となる。また、伝送配線 2 0 1 は、図 1 に示すように先端開放の配線に代えて、ループ状の配線としてもよい。

【 0 0 2 0 】

次に図 1 6 に 8 個のシフトレジスタ 2 2 0 を 1 個の出力回路 2 3 0 に入力させる乱数発生回路 2 0 0 を 4 個並列に並べた乱数発生回路の組 2 4 0 を示す。図 1 6 に示す乱数発生回路の組 2 4 0 ではランダム性が向上し、さらに複数の乱数を得ることが可能となっている。

また、各乱数発生回路 2 0 0 - 1、2 0 0 - 2、2 0 0 - 3、2 0 0 - 4 では、シフトレジスタ 2 2 0 の基本クロックの周波数が異なっており、各乱数発生回路 2 0 0 - 1、2 0 0 - 2、2 0 0 - 3、2 0 0 - 4 で発生する乱数のランダム性がより向上している。この場合には、出力回路 2 3 0 から出力するシリアル信号の周波数も各乱数発生回路 2 0 0 - 1、2 0 0 - 2、2 0 0 - 3、2 0 0 - 4 で異なることになる。

さらに、各乱数発生回路 2 0 0 - 1、2 0 0 - 2、2 0 0 - 3、2 0 0 - 4 で、排他的論理和回路 2 2 3 に入力するフリップフロップ 2 2 2 の出力段を変更し、異なる帰還経路 2 2 1 を形成して、さらに乱数発生回路 2 0 0 で発生する乱数のランダム性を向上することが可能である。

また、各乱数発生回路 2 0 0 - 1、2 0 0 - 2、2 0 0 - 3、2 0 0 - 4 で、フリップフロップ 2 2 2 の段数を異ならせることによってもランダム性が向上する。この場合には、出力回路 2 3 0 から出力するシリアル信号の周波数も各乱数発生回路 2 0 0 - 1、2 0 0 - 2、2 0 0 - 3、2 0 0 - 4 で異なることになる。

ここで、乱数発生に伴う電磁波ノイズを低減させるため、各シフトレジスタ 2 0 0 - 1 から 2 0 0 - 4 に入力する基本クロックは、断続的に停止を繰り返す間欠駆動クロックとすることも可能である。

【 0 0 2 1 】

次に図 1 7 (a) に出力回路 2 3 0 の出力波形を示す。例えば出力回路 2 3 0 から期間 P 1 にロウレベルの信号が出力し、期間 P 2 にハイレベルの信号が出力し、期間 P 3 にロウレベルの信号が出力するような、電圧変化が連続する場合について検討する。

期間 P 1 と期間 P 2 の境目では、急激に電圧が上昇するため電磁波ノイズとして図 1 7 (b) に示すような波形の電波が発生する。逆に期間 P 2 と期間 P 3 との境界でも急激に電圧が減少することで電波が発生する。

また、出力回路 2 3 0 と同じように、前述した画像集積回路 4 5 1 と制御回路 3 との間で転送されるデジタル信号 4 4 6 によっても電波が発生する。図 1 8 にデジタル信号 4 4 6 等によって液晶表示装置 1 0 0 から発生する電波 6 1 0 の周波数 F と強度 P との測定結果の 1 例を示す。図中符号 L 1 は液晶表示装置 1 0 0 から発生する電波 6 1 0 の平均的強度を示している。

デジタル信号 4 4 6 の基本周波数 6 2 0 だけではなく、周波数全般にわたってノイズが発生していることがわかる。

10

20

30

40

50

図 19 に出力回路 230 に伝送配線 201 を設けた場合の発生電波 630 の様子を示す。乱数発生回路 200 による発生電波 630 は EMI の制限電波強度 640 よりも大きく、ノイズとして問題となるレベルとなっている。

【0022】

電磁波ノイズ対策として、まず、図 18 に示すデジタル信号 446 等によって液晶表示装置 100 から発生する電波 610 を低減することで、図 19 に示す乱数発生回路 200 による発生電波 630 を低減することを試みた。

図 20 の電波 610 は、ノイズ対策を施したデジタル信号 446 の出力波形を示している。図 20 ではシールド等の対策を設け、さらには、デジタル信号 446 の反転数を制御する反転制御信号（ノイズコントロール信号）NCOL を付加することで、液晶表示装置 100 から発生する電波 610 を低減し、図中 L2 で示すように平均的強度を小さくしている。さらに乱数発生回路 200 による発生電波 630 も基本クロックを断続的停止を繰り返すクロックとすることで低減し、さらに EMI の制限電波強度 640 以下となるよう出力回路 230 の出力にアッテネータ等を設けた。

図 20 に示すように、乱数発生回路 200 による発生電波 630 は EMI の制限電波強度 640 以下で、さらに液晶表示装置 100 から発生する電波 610 を全周波数帯域にわたって覆うことが可能となっている。そのため、乱数発生回路 200 による発生電波 630 は液晶表示装置 100 から発生する電波 610 が外部に出ることを防止することが可能となっている。

乱数発生回路 200 による発生電波 630 が全周波数帯域にわたることが可能な理由は、乱数発生回路 200 のランダム性が高いことと、デジタル信号 446 の基本周波数 620 でシフトレジスタ 220 を転送したとしても、シフトレジスタ 220 を n 個設けて出力回路 230 で n 倍の周波数として出力することで、基本周波数 620 の n 倍の周波数領域の乱数が発生可能なことによる。

【0023】

次に図 21 と図 22 を用いて、ノイズコントロール信号 NCOL について説明する。図 21 は 6 ビットのデジタル信号 446 の変化を期間 T1 から T8 まで示したものである。期間 T1 ではデジタル信号 446 の値は (0, 0, 0, 0, 0, 0) で、各信号線の電圧はロウ電圧である。

次に期間 T2 では、デジタル信号 446 の値は (1, 1, 1, 1, 1, 1) で、全ての信号線がロウ電圧からハイ電圧に変化している。前述したように、電圧の変化に伴って、電磁波ノイズが発生するため、全信号線が変化する期間 T1 から T2 への変化は電磁波ノイズにとって最悪のパターンとなる。

次に期間 T2 から T3 には、半分の 3 ビットが変化し、ビット D4 から D6 がハイ電圧からロウ電圧に変化している。期間 T3 から T4 には、半数以下の 2 ビットが変化し、ビット D5 と D6 がロウ電圧からハイ電圧に変化している。

図 22 にノイズコントロール信号 NCOL を付加した場合を示す。図 22 では、期間 T1 から T2 の変化のように電圧の変化が多数を占める場合には、ノイズコントロール信号 NCOL を “1” として、ビット D1 から D6 は本来の電圧とは逆極性となる電圧を出力している。例えば、期間 T2 では全ビットハイ電圧であるべきところをロウ電圧としている。

【0024】

次に、期間 T3 ではビット D1 から D3 がハイ電圧で、ビット D4 から D6 がロウ電圧となるが、半数の変化に留まるので、ノイズコントロール信号 NCOL を “0” として、本来の電圧を出力してビット D1 から D3 はハイ電圧で、ビット D4 から D6 はロウ電圧となっている。

次に、期間 T3 から T4 では、変化するビット数が半数以下の 2 ビットであるため、ノイズコントロール信号 NCOL を “0” として、本来の電圧を出力してビット D1 から D3 はハイ電圧で、ビット D4 はロウ電圧で、ビット D5 と D6 はハイ電圧となっている。

図 22 に示すノイズコントロール信号 NCOL による制御を用いた場合は、電圧の変化

10

20

30

40

50

が多数ある場合に、電圧が変化しないよう信号をコントロールするので、電圧の変化を抑えることが可能である。図 2 2 では電圧の変化を示す矢印の数は 1 2 個となっており、図 2 1 に示した矢印の数 2 6 よりも大幅に減少している。

このように、ノイズコントロール信号 N C O L を用いて元々のデジタル信号 4 4 6 から発生する電磁波ノイズのレベルを下げることで、液晶表示装置 1 0 0 から発生する電波 6 1 0 を図 2 0 に示すように低減することが可能となる。

【 0 0 2 5 】

液晶表示装置 1 0 0 から発生する電波 6 1 0 を低減することが可能となると、晶表示装置 1 0 0 から発生する電波 6 1 0 を隠すことが可能な乱数発生回路 2 0 0 による発生電波 6 3 0 も低減することが可能となり、乱数発生回路 2 0 0 による発生電波 6 3 0 を E M I の制限電波強度 6 4 0 よりも低く抑えることが可能となる。

10

なお、6 ビットの場合を例にとり説明したが、6 ビットのデジタル信号に制限されるものではなく、例えば、2 4 ビット入力時は 1 3 ビット以上変化する場合にイズコントロール信号 N C O L を用い、1 8 ビット入力時は 1 0 ビット以上変化する場合にノイズコントロール信号 N C O L を用いてデジタル信号 4 4 6 の電圧変化を抑えることが可能である。

前述の説明がノイズコントロール信号 N C O L の代表的な機能であるが、ノイズコントロール信号 N C O L の機能はこれに限らず、表示データを反転させる等の組み合わせで使用することも可であり、表示データの変化量を制御することが本質的な役割である。

すなわち、ノイズコントロール信号 N C O L は、表示データ信号の変化量を抑えられることにより、電磁波ノイズの強度を変化させることができ、さらに液晶表示装置 1 0 0 の低消費電力の効果もあわせ持つ。

20

【 0 0 2 6 】

ノイズコントロール信号 N C O L を伝送する信号線は、情報機器間を結ぶインターフェースのコネクタ等における空き端子（空きケーブル等）を活用するのが無駄の無い効率的な適用方法であるが、意図的にノイズコントロール信号 N C O L 用の端子（ケーブル等）を設けてもよい。また、インターフェースケーブル及び液晶表示装置 1 0 0 を駆動する回路基板上におけるノイズコントロール信号 N C O L を伝送する信号線の配置は、表示データ線に隣接して配置することがより効果の期待が大きい、配置に関してはこの限りではない。

さらに、ノイズコントロール信号 N C O L を伝送する信号線は 1 本とは限定せず、複数の信号線を配置してもよく、各表示データ伝送タイミング毎に、表示データの総変化量を均一化するような回路構成としてもよい。この時、表示データの変化量が均一化されることで、液晶表示装置 1 0 0 から漏洩される電磁界強度を均一化することも可能である。

30

【 0 0 2 7 】

次に図 2 3 に、乱数発生回路の基本クロックについて説明する。基本クロックは、制御回路 3 で生成される表示データ転送クロック、または、制御回路 3 で生成されるクロックを基本クロックとして適用する。

図 2 3 (a) は、表示データ転送クロックであり、制御回路 3 から駆動回路 6 へ表示データを供給する役割を果たすクロックであるが、表示領域 9 に関与しない期間、所謂、帰線期間 5 1 の間は、表示データの供給が不要であるため、低消費電力を目的として、クロックを停止する場合がある。該表示データ転送クロックを乱数発回路 2 0 0 の基本クロックとすることにより、帰線期間 5 1 の間、乱数を停止させることができるため、電磁波ノイズ 6 3 0 の低減が可能である。

40

図 2 3 (a) は、帰線期間 5 1 の間はクロック出力を停止している波形であるが、帰線期間 5 1 の間クロックは出力し続けてもよく、E M I の制限電波強度 6 4 0 以下を満足すれば、連続出力する表示データ転送クロックも適用可能である。

図 2 3 (b) は、制御回路 3 で生成される基本クロックを断続させることなく、連続で出力している波形である。この場合、乱数発生回路 2 0 0 から発生される乱数は出力され続けるため、乱数発生回路 2 0 0 による出力電波 6 3 0 は低減の期待はできないが、連続出力する表示データ転送クロック同様 E M I の制限電波強度 6 4 0 以下を満足すれば、該

50

クロックでも適用は可能である。

【 0 0 2 8 】

図 2 3 (c) は、制御回路 3 で生成された基本クロックを断続的に停止させた波形であり、5 クロック出力、5 クロック停止の繰り返し波形である。帰線期間の間クロックを停止させた表示データ転送クロックと類似する波形であり、クロック停止期間は、乱数発生回路 2 0 0 からの乱数も停止されるため、電波 6 3 0 を低減することが可能である。クロックを断続的に停止する波形を出力することは、容易に実現可能であり、断続的に停止する波形は、これに留まらない。

図 2 3 (d) は、基本クロックを基に、1 クロック出力、2 クロック停止を繰り返した波形であり、該波形の様に、実質、基本クロックの周波数を低くし、デューティを変更したクロックと同等の波形を実現してもよい。本クロックにおいてもクロック停止期間が設けられており、電波 6 3 0 の低減が可能である。

基本クロックの停止期間を設けるところの目的は、液晶表示装置 1 0 0 から発生する電波 6 1 0 を全周波数帯にわたって可能な限り低く覆うことを実現する乱数発生回路 2 0 0 による電波 6 3 0 を発生させることにある。すなわち、基本クロックの断続期間の調整により、乱数発生回路 2 0 0 による電波 6 3 0 のレベルを調整することが可能である。

【 0 0 2 9 】

次に図 2 4 に制御回路 3 内にシフトレジスタ 2 2 0 を設け、出力回路 2 3 0 を制御回路 3 外に設けた場合の端子配置を示す。符号 4 5 2 ~ 4 5 4 はシフトレジスタ 2 2 0 と接続した端子の配置位置を示している。端子位置 4 5 2 に配置された端子は出力回路 2 3 0 と接続しており、出力回路 2 3 0 に入力された信号は出力回路 2 3 0 から乱数として伝送配線 2 0 1 に出力される。

伝送配線 2 0 1 はアンテナの役割をはたし、伝送配線 2 0 1 の形状や配置により乱数発生回路 2 0 0 による発生電波 6 3 0 の強度を制御することが可能である。なお、強度を弱める場合にはアッテネータ等を伝送配線 2 0 1 に接続することが可能である。

端子位置 4 5 3 の端子はシフトレジスタ 2 2 0 の出力を直接取り出しており、出力回路 2 3 0 で周波数を増加させる前の出力が伝送配線 2 0 1 に伝達される。周波数を増加させる前の出力を伝送配線 2 0 1 に伝達することで、低周波数側に広く電波を出力することが可能である。

また、符号 2 0 2 は外部接続用のコネクタで伝送配線 2 0 1 を外部に設けた場合の接続に使用される。端子位置 4 5 3 に配置された端子が外部接続用のコネクタ 2 0 2 との接続に用いられる。符号 4 5 4 に示す端子位置の端子は例えば初期値を格納しておく外部記憶素子 5 1 0 との接続に用いられる。

なお、前述の説明では、本発明を液晶表示装置に適用した実施例について説明したが、本発明はこれに限定されるものではなく、本発明は、例えば、有機 E L 表示装置などの一般の表示装置に適用可能である。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【 図面の簡単な説明 】

【 0 0 3 0 】

【 図 1 】 本発明の実施例の液晶表示装置の概略構成を示すブロック図である。

【 図 2 】 本発明の実施例の液晶表示装置が適用される端末装置の概略構成を示すブロック図である。

【 図 3 】 本発明の実施例の液晶表示装置が適用される端末装置の表示・入力部の概略外形を示す正面図である。

【 図 4 】 本発明の実施例の液晶表示装置が適用される端末装置の概略実装構成を示すブロック図である。

【 図 5 】 本発明の実施例の液晶表示装置が適用される端末装置の信号の伝送経路を示すブロック図である。

10

20

30

40

50

【図 6】本発明の実施例の液晶表示装置が適用される端末装置の信号の伝送経路を示すブロック図である。

【図 7】本発明の実施例の液晶表示装置が適用される端末装置の信号の伝送経路を示すブロック図である。

【図 8】本発明の実施例の液晶表示装置が適用される端末装置の信号の伝送経路を示すブロック図である。

【図 9】本発明の実施例の液晶表示装置に用いられる乱数発生回路を示すブロック図である。

【図 10】本発明の実施例の液晶表示装置に用いられる乱数発生回路を示す概略回路図である。

10

【図 11】本発明の実施例の液晶表示装置に用いられる乱数発生回路を示す概略回路図である。

【図 12】本発明の実施例の液晶表示装置に用いられる乱数発生回路を示す概略回路図である。

【図 13】本発明の実施例の液晶表示装置に用いられる乱数発生回路の出力波形を示すタイムチャートである。

【図 14】本発明の実施例の液晶表示装置に用いられる乱数発生回路の出力回路を示す概略回路図である。

【図 15】本発明の実施例の液晶表示装置に用いられる乱数発生回路の出力回路の出力波形を説明するタイムチャートである。

20

【図 16】本発明の実施例の液晶表示装置に用いられる乱数発生回路を示す概略ブロック図である。

【図 17】本発明の実施例の液晶表示装置に用いられる乱数発生回路の出力電波を示す波形図である。

【図 18】本発明の実施例の液晶表示装置から発生する電波の周波数と強度との関係を示す周波数特性図である。

【図 19】本発明の実施例の液晶表示装置から発生する対策前の電波の周波数と強度との関係を示す周波数特性図である。

【図 20】本発明の実施例の液晶表示装置から発生する電波の周波数と強度との関係を示す周波数特性図である。

30

【図 21】本発明の実施例の液晶表示装置で転送されるデジタル信号の波形を示す概略波形図である。

【図 22】本発明の実施例の液晶表示装置で転送されるデジタル信号の波形を示す概略波形図である。

【図 23】本発明の実施例の液晶表示装置で生成される表示データ転送クロックとシフトレジスタの転送クロックの波形を示す概略図である。

【図 24】本発明の実施例の液晶表示装置の制御回路の端子配置を示す概略外形図である。

【符号の説明】

【0031】

40

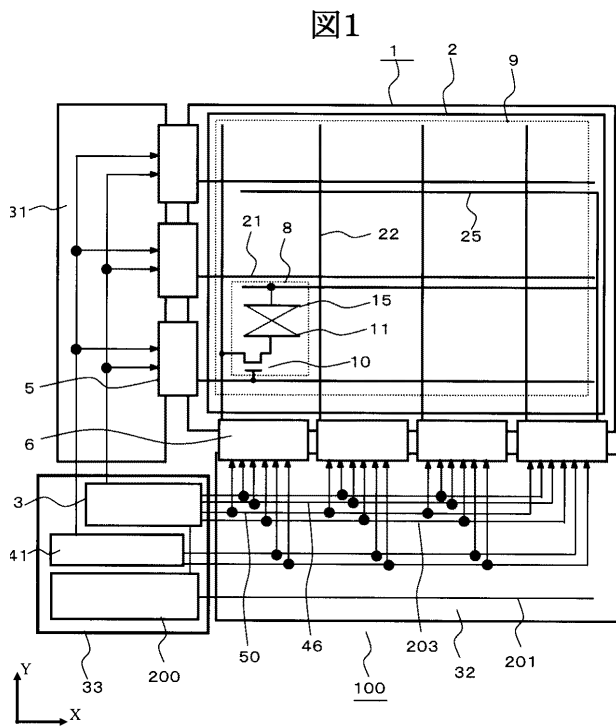
- 1 液晶表示パネル
- 2 TFT基板
- 3 制御回路
- 5 駆動回路
- 6 駆動回路
- 8 画素部
- 9 表示領域
- 10 薄膜トランジスタ
- 11 画素電極
- 15 対向電極

50

2 1	走査信号線	
2 2	映像信号線	
2 5	対向電極	
3 1	走査信号線側回路基板	
3 2	映像信号線側回路基板	
3 3	制御回路基板	
4 1	電源回路	
4 6	表示データ線	
5 0	表示データ転送クロック線	
5 1	帰線期間	10
1 0 0	液晶表示装置	
2 0 1	伝送配線	
2 0 2	外部接続用のコネクタ	
2 0 3	反転制御信号線	
2 0 0	乱数発生回路	
2 1 0	レジスタ	
2 2 0	シフトレジスタ	
2 2 1	帰還経路	
2 2 2	フリップフロップ	
2 2 3	排他的論理和回路	20
2 2 4	初期値転送配線	
2 2 5	初期値転送制御信号線	
2 2 6	A N D 回路	
2 2 7	判定回路	
2 3 0	出力回路	
2 3 1	第 1 ラッチ回路	
2 3 2	第 2 ラッチ回路	
2 3 3	シリアル出力回路	
3 0 0	表示・入力部	
4 0 0	端末装置	30
4 1 0	タッチ入力部	
4 1 1	表示部	
4 2 0	タッチセンサパネル	
4 2 1	入力装置制御回路	
4 2 2	表示制御装置	
4 3 0	C P U	
4 3 1	主基板	
4 3 2	入出力用基板	
4 3 3 , 4 3 4	ケーブル	
4 3 5	データバス	40
4 3 6	電源線	
4 3 7	電源回路	
4 4 1	外部通信回路	
4 4 2	通信回線	
4 4 5	表示データ規格信号	
4 4 6	デジタル信号	
4 4 7	低電圧差動信号	
4 4 8	トランスミッタ	
4 5 1	画像集積回路	
4 5 1 , 4 5 2 , 4 5 4	端子位置	50

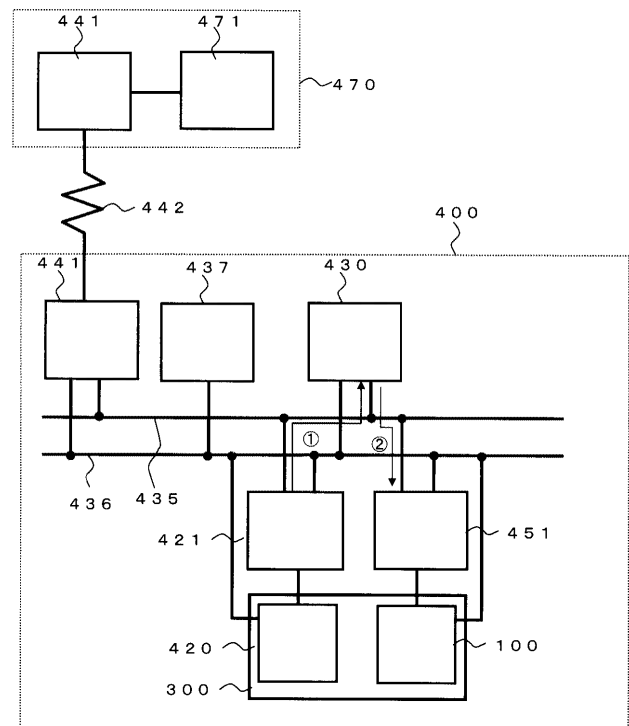
470 中央処理装置
 471 サーバ
 510 外部記憶素子

【図1】



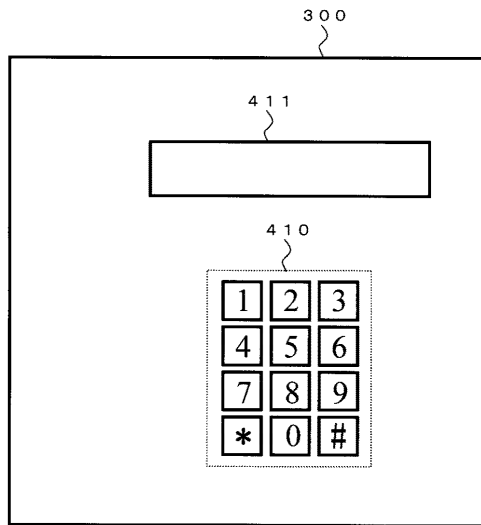
【図2】

図2



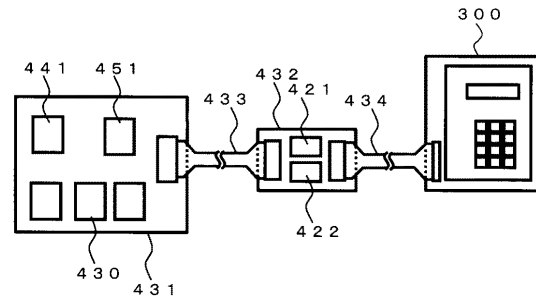
【図 3】

図3



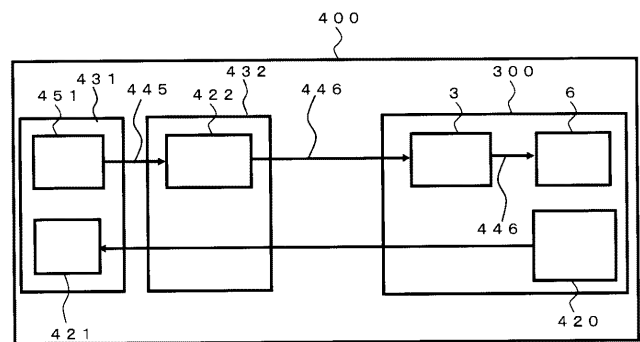
【図 4】

図4



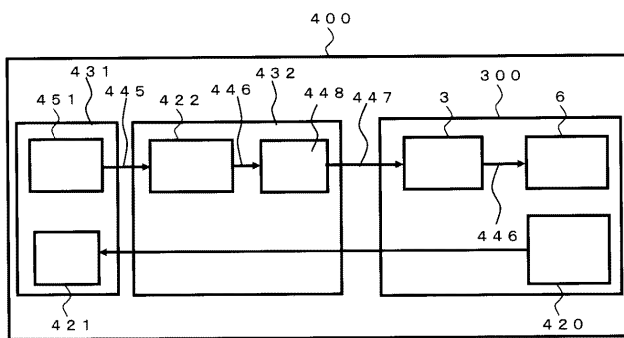
【図 5】

図5



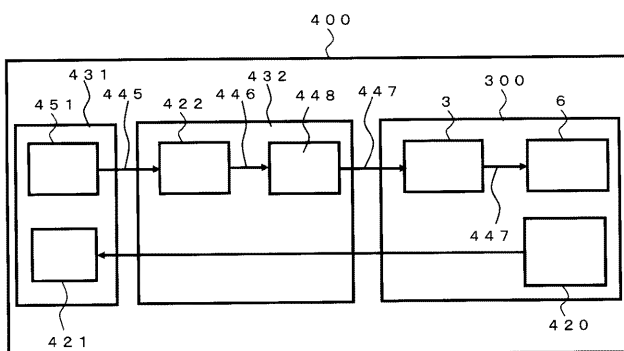
【図 6】

図6



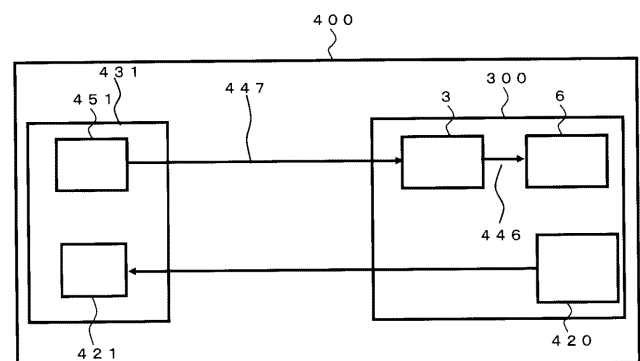
【図 7】

図7



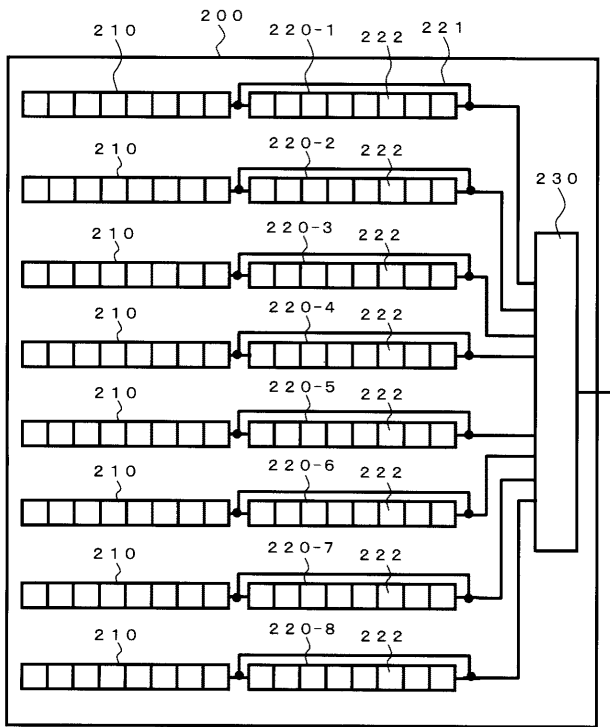
【図 8】

図8



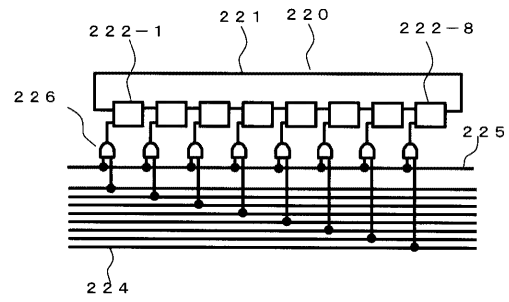
【図 9】

図9



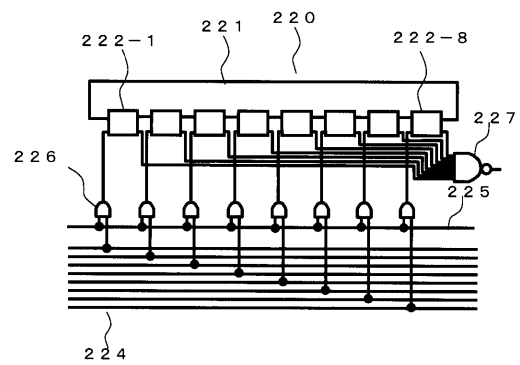
【図 10】

図10



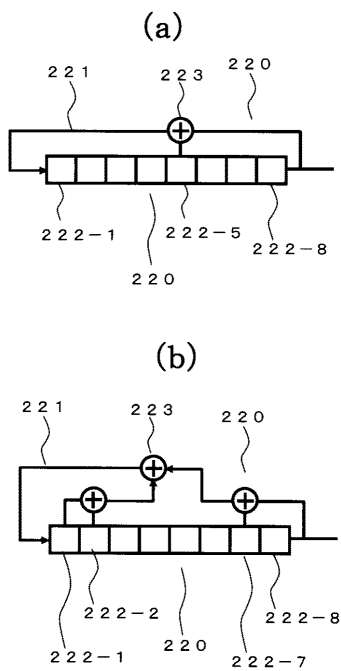
【図 11】

図11



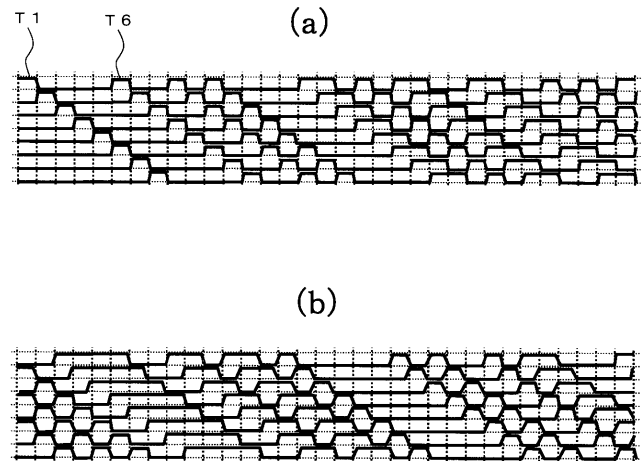
【図 12】

図12



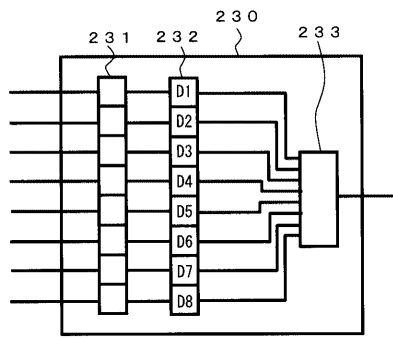
【図 13】

図13



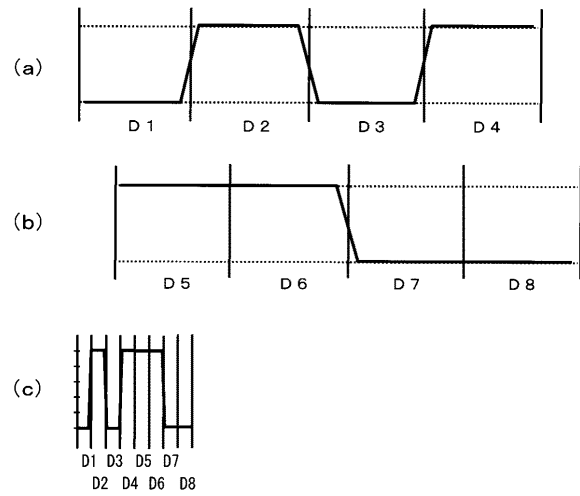
【図 14】

図14



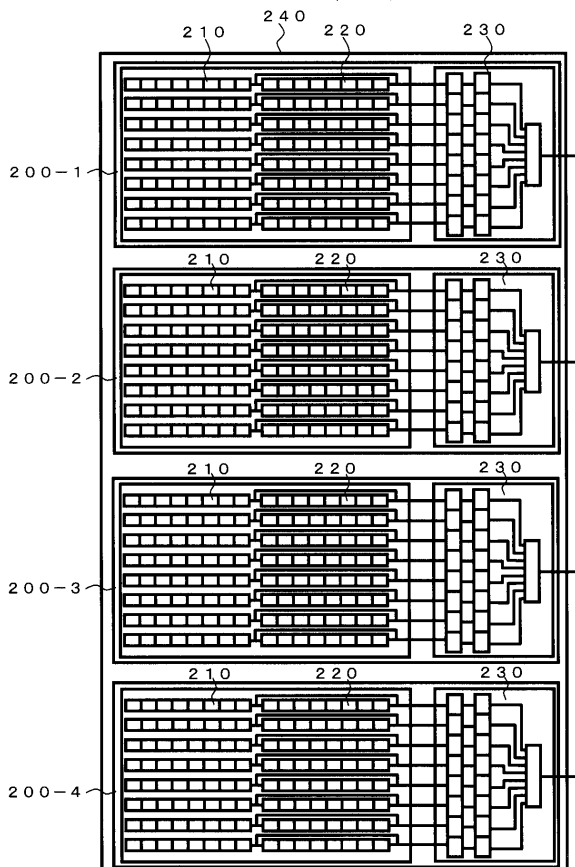
【図 15】

図15



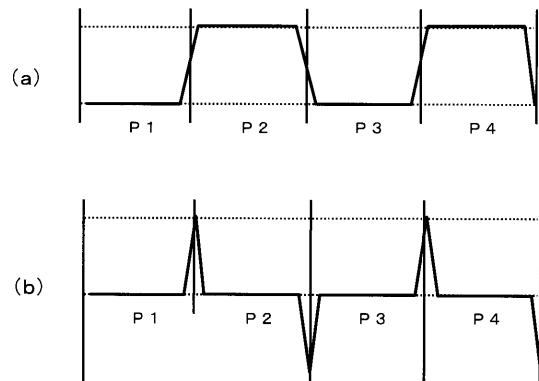
【図 16】

図16



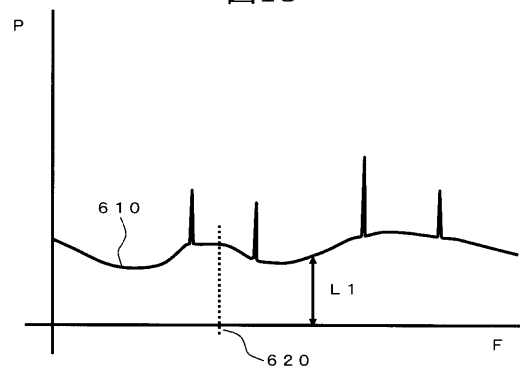
【図 17】

図17



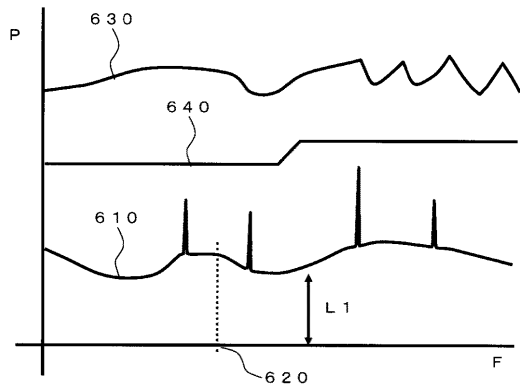
【図 18】

図18



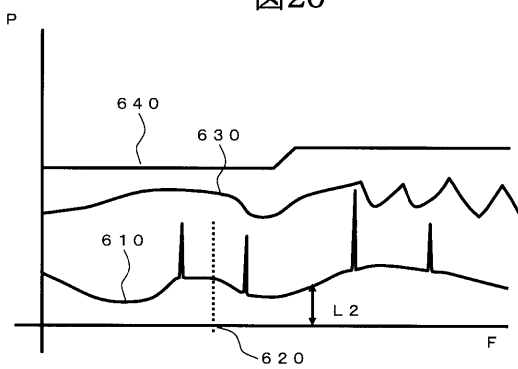
【図 19】

図19



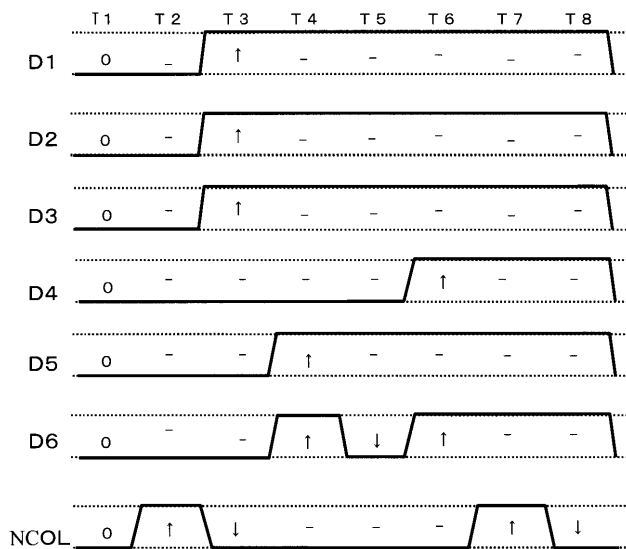
【図 20】

図20



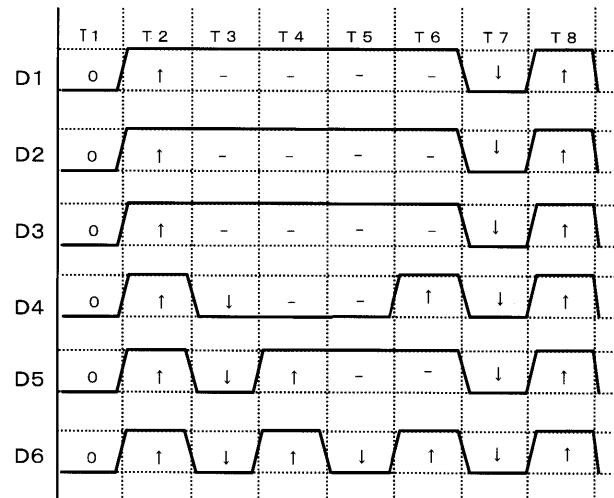
【図 22】

図22



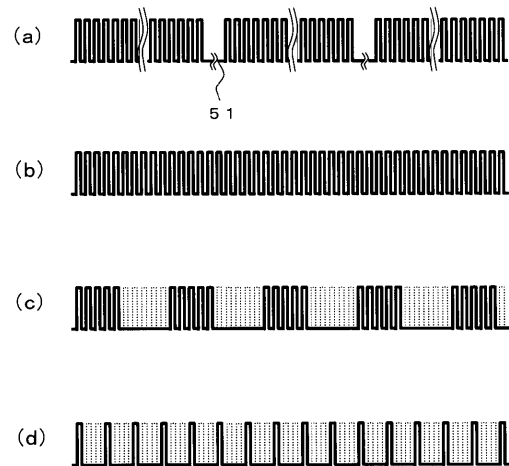
【図 21】

図21



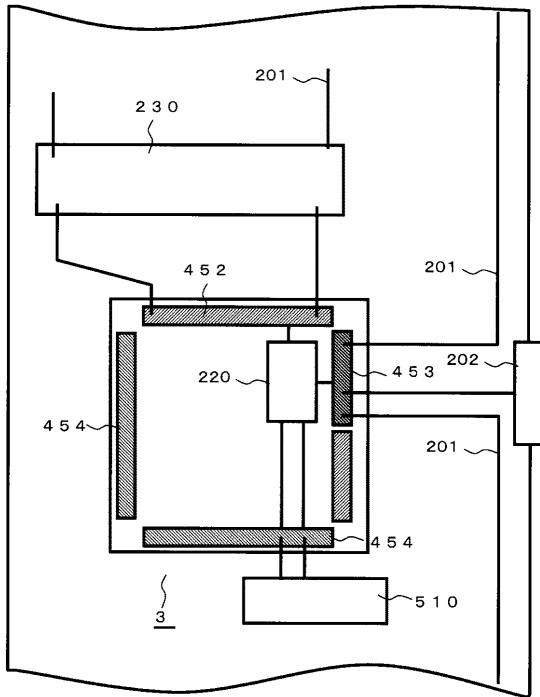
【図 23】

図23



【 図 2 4 】

図24



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 3 1 U
	G 0 9 G 3/20	6 1 1 C
	G 0 9 G 3/20	6 1 2 L
	G 0 9 G 3/20	6 2 3 H
	G 0 9 G 3/20	6 1 2 K

F ターム(参考) 5J049 AA00 AA03 AA18 AA27 CA08 CA10

专利名称(译)	表示装置		
公开(公告)号	JP2009237249A	公开(公告)日	2009-10-15
申请号	JP2008082952	申请日	2008-03-27
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	古森文章		
发明人	古森 文章		
IPC分类号	G09G3/36 G06F7/58 H03K3/84 G09G3/20		
CPC分类号	G09G3/3688 G06F7/584 G09G2330/06		
FI分类号	G09G3/36 G06F7/58.A H03K3/84.A G09G3/20.612.R G09G3/20.621.B G09G3/20.631.U G09G3/20.611.C G09G3/20.612.L G09G3/20.623.H G09G3/20.612.K G06F7/58.640		
F-TERM分类号	5C006/AC21 5C006/AC26 5C006/AF51 5C006/AF68 5C006/AF72 5C006/AF78 5C006/BB16 5C006/BC11 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF09 5C006/BF31 5C006/BF50 5C006/FA32 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD12 5C080/JJ02 5C080/JJ04 5C080/KK02 5C080/KK07 5J049/AA00 5J049/AA03 5J049/AA18 5J049/AA27 5J049/CA08 5J049/CA10		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供最适合显示设备的随机数生成电路。

ŽSOLUTION：显示装置包括显示面板，控制电路和随机数产生电路。随机数产生电路包括多个移位寄存器，输出电路和保持初始值的寄存器。通过提供多个初始值，可以增强随机数的随机性。此外，可以从多个移位寄存器输出彼此不同的随机数，因此，频率由输出电路增加并输出。添加噪声控制信号，其抑制数字信号的反转次数，并且可以减少从液晶显示装置产生的电磁波噪声。此外，采用间歇驱动时钟，其间歇地重复其停止作为多个移位寄存器的基本时钟，并且可以减少从显示装置产生的电磁波噪声。基本时钟可以是与显示数据的传输时钟同步的时钟，或者是与显示数据的传输时钟异步的时钟。 Ž

