

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-75225

(P2009-75225A)

(43) 公開日 平成21年4月9日(2009.4.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 624A	5C006
G02F 1/133 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 623G	
	G09G 3/20 624C	
審査請求 有 請求項の数 6 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2007-242363 (P2007-242363)
 (22) 出願日 平成19年9月19日 (2007.9.19)

(71) 出願人 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 田尻 憲一
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 Fターム(参考) 2H093 NA16 NA33 NC10 NC12 NC34
 NC35 ND35 ND39

最終頁に続く

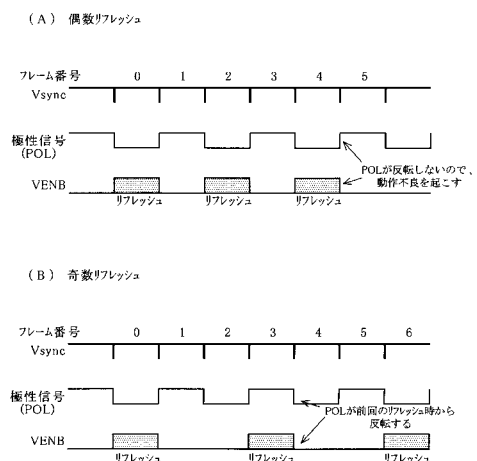
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】保持容量線駆動方式の液晶表示装置において、簡単な回路構成で、パースナル表示の低消費電力化を実現するとともに、非表示領域のリフレッシュ動作を間欠的に行う場合に、表示不良の発生を防止する。

【解決手段】間欠的なリフレッシュ動作において、2フレームおきにリフレッシュを行うようにすると、極性信号POLは、リフレッシュが行われるフレーム毎に反転を繰り返すようになる。即ち、第0フレーム、第3フレーム、第6フレーム、・・・でリフレッシュが行われ、極性信号POLは、第0フレームではLレベル、第3フレームではHレベル、第6フレームではLレベルというように反転する。これにより、非表示領域のリフレッシュにおいても、表示領域と同様に極性信号POLが反転し、保持容量線駆動が行われるため、表示不良が防止される。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

複数の画素からなる画素領域と、

複数のソース線と、

複数のゲート線と、

複数の保持容量線と、

前記画素の画素電極と前記保持容量線の間に接続された保持容量と、

前記ゲート線にゲート選択信号を出力するゲート選択回路と、前記画素毎に設けられ、前記ゲート選択信号に応じてスイッチングし、前記ソース線からのソース信号を画素電極に供給する第 1 のスイッチング素子と、

前記ゲート選択信号に応じて、1 フレーム毎に第 1 のレベルと第 2 のレベルの間で交互に反転を繰り返す極性信号をラッチする第 1 のラッチ回路と、

前記第 1 のラッチ回路の出力信号に応じて、前記保持容量線の電位を切り換える第 2 のスイッチング素子と、を備え、

前記画素領域中で、画像が表示されない非表示領域においては、2 つ以上のフレームを間引いた残りのフレームで、非表示に対応するソース信号を前記第 1 のスイッチング素子を介して、対応する画素に供給するリフレッシュ動作を行わせるとともに、リフレッシュ動作が行われる第 1 のフレームと次のリフレッシュ動作が行われる第 2 のフレームにおいて、極性信号が反転するように制御することを特徴とする液晶表示装置。

【請求項 2】

前記画像が表示される表示領域においては、ソース信号が前記第 1 スwitchング素子を介して、ソース信号に対応する画素に供給するとともに、前記第 1 のラッチ回路の出力信号である極性信号が 1 フレーム毎に反転するように制御することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ゲート選択回路はゲート選択イネーブル信号に基づいて前記ゲート選択信号を出力するように前記ゲート選択イネーブル信号を制御する制御回路を備えることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

タイミング信号に応じて前記第 1 のラッチ回路の出力信号をラッチする第 2 のラッチ回路を備え、前記第 2 のスイッチング素子は、第 2 のラッチ回路の出力信号に応じて、前記保持容量線の電位を切り換えることを特徴とする請求項 1、2、3、のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

複数の画素からなる画素領域と、

複数のソース線と、

複数のゲート線と、

複数の保持容量線と、

前記画素の画素電極と前記保持容量線の間に接続された保持容量と、

前記ゲート線にゲート選択信号を出力するゲート選択回路と、

前記画素毎に設けられ、前記ゲート選択信号に応じてスイッチングし、前記ソース線からのソース信号を画素電極に供給する第 1 のスイッチング素子と、

前記ゲート選択信号に応じて、1 フレーム毎に第 1 のレベルと第 2 のレベルの間で交互に反転を繰り返す極性信号をラッチする第 1 のラッチ回路と、

前記第 1 のラッチ回路の出力信号に応じて、前記保持容量線の電位を切り換える第 2 のスイッチング素子と、を備える液晶表示装置の駆動方法において、

前記画素領域の中、画像が表示されない非表示領域においては、2 つ以上のフレームを間引いた残りのフレームで、非表示に対応するソース信号を前記第 1 のスイッチング素子を介して、対応する画素に供給するリフレッシュ動作を行わせるとともに、リフレッシュ動作が行われる第 1 のフレームと次のリフレッシュ動作が行われる第 2 のフレームにおい

10

20

30

40

50

て、極性信号が反転するように制御することを特徴とする液晶表示装置の駆動方法。

【請求項 6】

複数の画素からなる画素領域と、

複数のソース線と、

複数の保持容量線と、

前記画素の画素電極と前記保持容量線の間に接続された保持容量と、

ゲート選択イネーブル信号に基づいてゲート選択信号を出力するゲート選択回路と、

前記画素毎に設けられ、前記ゲート選択回路からのゲート選択信号に応じてスイッチングし、前記ソース線からのソース信号を画素電極に供給する第 1 のスイッチング素子と、

前記ゲート選択回路からのゲート選択信号に応じて、1 フレーム毎に第 1 のレベルと第 2 のレベルの間で交互に反転を繰り返す極性信号をラッチする第 1 のラッチ回路と、

前記第 1 のラッチ回路の出力信号に応じて、前記保持容量線の電位を切り換える第 2 のスイッチング素子と、を備える液晶表示装置の駆動方法において、

前記画素領域の中、画像が表示されない非表示領域においては、2 つ以上のフレームを間引いた残りのフレームで、非表示に対応するソース信号を前記第 1 のスイッチング素子を介して、対応する画素に供給するリフレッシュ動作を行わせるとともに、リフレッシュ動作が行われる第 1 のフレームと次のリフレッシュ動作が行われる第 2 のフレームにおいて、極性信号が反転するように前記ゲート選択イネーブル信号を制御することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、保持容量線駆動方式の液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

従来より、液晶表示装置の駆動方式として保持容量線駆動方式が知られている。この方式は、保持容量線と画素電極の間に保持容量を設け、画素電極に表示信号を書き込んだ後に、保持容量線の電位を変動させることにより、画素電極の電位を正又は負の方向に変化させる。これにより、表示信号のダイナミックレンジを小さくすることができるため、低消費電力での駆動が可能になる。この保持容量線駆動方式を用いた液晶表示装置については、特許文献 1 に記載されている。

【0003】

また、液晶表示装置の表示方式として、パースナル表示方式が知られている。この方式は、画素領域の中、一部の領域を画像が表示される表示領域とし、残りの領域を画像が表示されない非表示領域（白、又は黒の表示領域）とするものである。この種の液晶表示装置については、特許文献 2 に記載されている。

【0004】

さらに、一般に、非表示領域においては、対応する画素の画素電極に非表示に対応した信号を周期的に書き込む、リフレッシュ動作が行われる。

【特許文献 1】特開 2002 - 196358 号公報

【特許文献 2】特開 2007 - 140192 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記リフレッシュ動作に伴う消費電力を低減するために、リフレッシュ動作を全フレームについて行うのではなく、一部のフレームについて間欠的に行う、間欠リフレッシュ（間引きリフレッシュともいう）が行われる。

【0006】

しかしながら、間欠リフレッシュを行う場合、非表示領域において表示不良が生じるといった問題があった。これは、間欠リフレッシュを行う場合、リフレッシュが行われるフレ

10

20

30

40

50

ームの選択によっては、非表示領域では表示領域とは異なり、保持容量線の極性を決定するための極性信号の極性が反転しなくなるためである。

【課題を解決するための手段】

【0007】

本発明の液晶表示装置は、複数の画素からなる画素領域と、複数のソース線と、複数のゲート線と、複数の保持容量線と、前記画素の画素電極と前記保持容量線の間に接続された保持容量と、前記ゲート線にゲート選択信号を出力するゲート選択回路と、前記画素毎に設けられ、前記ゲート選択信号に応じてスイッチングし、前記ソース線からのソース信号を画素電極に供給する第1のスイッチング素子と、前記ゲート選択信号に応じて、1フレーム毎に第1のレベルと第2のレベルの間で交互に反転を繰り返す極性信号をラッチする第1のラッチ回路と、前記第1のラッチ回路の出力信号に応じて、前記保持容量線の電位を切り換える第2のスイッチング素子と、を備え、前記画素領域中で、画像が表示されない非表示領域においては、2つ以上のフレームを間引いた残りのフレームで、非表示に対応するソース信号を前記第1のスイッチング素子を介して、対応する画素に供給するリフレッシュ動作を行わせるとともに、リフレッシュ動作が行われる第1のフレームと次のリフレッシュ動作が行われる第2のフレームにおいて、極性信号が反転するように制御することを特徴とする。

10

【0008】

また、本発明の液晶表示装置の駆動方法は、複数の画素からなる画素領域と、複数のソース線と、複数のゲート線と、複数の保持容量線と、前記画素の画素電極と前記保持容量線の間に接続された保持容量と、前記ゲート線にゲート選択信号を出力するゲート選択回路と、前記画素毎に設けられ、前記ゲート選択信号に応じてスイッチングし、前記ソース線からのソース信号を画素電極に供給する第1のスイッチング素子と、前記ゲート選択信号に応じて、1フレーム毎に第1のレベルと第2のレベルの間で交互に反転を繰り返す極性信号をラッチする第1のラッチ回路と、前記第1のラッチ回路の出力信号に応じて、前記保持容量線の電位を切り換える第2のスイッチング素子と、を備える液晶表示装置の駆動方法において、前記画素領域の中、画像が表示されない非表示領域においては、2つ以上のフレームを間引いた残りのフレームで、非表示に対応するソース信号を前記第1のスイッチング素子を介して、対応する画素に供給するリフレッシュ動作を行わせるとともに、リフレッシュ動作が行われる第1のフレームと次のリフレッシュ動作が行われる第2のフレームにおいて、極性信号が反転するように制御することを特徴とする。

20

30

【発明の効果】

【0009】

本発明によれば、保持容量線駆動方式の液晶表示装置において、簡単な回路構成で、パースシャル表示の低消費電力化を実現することができる。また、パースシャル表示の低消費電力化のために、間欠リフレッシュを行う場合、非表示領域においても表示領域と同様に極性信号の極性を反転させることができるので、表示不良を防止することができる。

【発明を実施するための最良の形態】

【0010】

本発明の実施形態による液晶表示装置について図面を参照しながら説明する。図1は液晶表示装置のブロック図である。この液晶表示装置は、保持容量線駆動方式が採用され、しかもパースシャル表示を行うことができるものである。

40

【0011】

複数の画素がマトリクス状に配置されて画素領域を形成している。図1においては、簡単のため、3行×3列の9個の画素を示している。各画素はゲート線GL1～GL3、ソース線SL1～SL3の各交差点に対応して配置されており、Nチャネル型の薄膜トランジスタからなる画素トランジスタ10、画素トランジスタ10のドレインに接続された画素電極11、画素電極11と共通電極CEの間に配置された液晶12が設けられている。共通電極CEには共通電位VCOMが供給されるようになっている。

【0012】

50

また、第 1 行の画素に対応して、第 1 の保持容量線 S C 1 が設けられ、画素電極 1 1 と第 1 の保持容量線 S C 1 との間に保持容量 1 3 が設けられている。第 2 行の画素に対応して、第 2 の保持容量線 S C 2 が設けられ、画素電極 1 1 と第 2 の保持容量線 S C 2 との間に保持容量 1 3 が設けられている。第 3 行の画素に対応して、第 3 の保持容量線 S C 3 が設けられ、画素電極 1 1 と第 3 の保持容量線 S C 3 との間に保持容量 1 3 が設けられている。

【 0 0 1 3 】

また、第 1 列の各画素の画素トランジスタ 1 0 のソースは、第 1 のソース線 S L 1 に接続され、第 2 列の各画素の画素トランジスタ 1 0 のソースは、第 2 のソース線 S L 2 に接続され、第 3 列の各画素の画素トランジスタ 1 0 のソースは、第 3 のソース線 S L 3 に接続されている。

10

【 0 0 1 4 】

また、第 1 行の各画素の画素トランジスタ 1 0 のゲートは、第 1 のゲート線 G L 1 に接続され、第 2 行の各画素の画素トランジスタ 1 0 のゲートは、第 2 のゲート線 G L 2 に接続され、第 3 行の各画素の画素トランジスタ 1 0 のゲートは、第 3 のゲート線 G L 3 に接続されている。

【 0 0 1 5 】

また、ソース信号 S i g (表示信号) を第 1 ~ 第 3 のソース線 S L 1 ~ S L 3 に供給するソース線駆動回路 2 0 が設けられている。ソース信号 S i g は、一定周期 (例えば、一水平周期) で基準電位に対して極性が反転するようになっている。また、制御信号 D S G に応じて、第 1 ~ 第 3 のソース線 S L 1 ~ S L 3 に共通電位 V C O M を供給する D S G 制御回路 2 1 が設けられている。

20

【 0 0 1 6 】

また、ゲート選択信号 G 1 ~ G 3 を生成するゲート線駆動回路 2 2 が設けられている。ゲート選択信号 G 1 ~ G 3 は垂直スタートパルス S T V を垂直シフトパルス C K V に基づいて転送することによって生成される。また、ゲート選択信号 G 1 ~ G 3 をゲート選択イネーブル信号 V E N B に基づいて第 1 のゲート線 G L 1 ~ 第 3 のゲート線 G L 3 に出力するゲート選択回路 2 4 が設けられている。即ち、ゲート選択回路 2 4 は A N D 回路 2 4 1 ~ 2 4 3 で形成されており、ゲート選択信号 G 1 ~ G 3 は対応する A N D 回路 2 4 1 ~ 2 4 3 に入力され、ゲート選択イネーブル信号 V E N B は A N D 回路 2 4 1 ~ 2 4 3 に共通に入力されている。したがって、ゲート選択イネーブル信号 V E N B が H レベルの時は、ゲート選択信号 G 1 ~ G 3 は第 1 のゲート線 G L 1 ~ 第 3 のゲート線 G L 3 に出力される。ゲート選択イネーブル信号 V E N B が L レベルの時は、ゲート選択回路 2 4 の出力は L レベルに固定されるので、第 1 のゲート線 G L 1 ~ 第 3 のゲート線 G L 3 は非選択状態 (画素トランジスタ 1 0 はオフ状態) になる。前記ゲート選択イネーブル信号 V E N B は、制御回路 2 5 によって制御されている。

30

【 0 0 1 7 】

さらに、第 1 ~ 第 3 の保持容量線 S C 1 ~ S C 3 を駆動する保持容量線駆動回路 2 3 が設けられている。保持容量線駆動回路 2 3 は、1 フレーム毎に H レベルと L レベルの間で反転を繰り返す極性信号 P O L に基づいて、第 1 ~ 第 3 の保持容量線 S C 1 ~ S C 3 の電位を低電位 V C O M L 又は高電位 V C O M H に駆動する。

40

【 0 0 1 8 】

[保持容量線駆動回路の構成]

保持容量線駆動回路 2 3 の構成を図 2 に示す。この回路はゲートラッチ方式と呼ばれる回路であって、極性信号 P O L をゲート選択信号 G 1 ~ G 3 に基づいてラッチする。第 1 ~ 第 3 の保持容量線 S C 1 ~ S C 3 にそれぞれ対応して第 1 のラッチ回路 L C H 1 1 , L C H 2 1 , L C H 3 1 が設けられている。第 1 のラッチ回路 L C H 1 1 , L C H 2 1 , L C H 3 1 は、極性信号 P O L をゲート選択信号 G 1 , G 2 , G 3 に基づいてラッチする。尚、偶数ラインに対応した第 1 のラッチ回路 L C H 2 1 には反転された極性信号 P O L がラッチされるようになっている。これは、奇数ライン (第 1 ライン、第 3 ライン、...

50

）と偶数ライン（第２ライン、第４ライン、・・・）に対応した保持容量線の電位を逆極性にして、ライン反転を可能にするためである。例えば、第１の保持容量線ＳＣ１と第２の保持容量線ＳＣ２の電位は逆極性になる。

【００１９】

また、第１～第３の保持容量線ＳＣ１～ＳＣ３にそれぞれ対応して第２のラッチ回路ＬＣＨ１２，ＬＣＨ２２，ＬＣＨ３２が設けられている。第２のラッチ回路ＬＣＨ１２，ＬＣＨ２２，ＬＣＨ３２は、第１のラッチ回路ＬＣＨ１１，ＬＣＨ２１，ＬＣＨ３１によってラッチされた極性信号ＰＯＬをそれぞれ第１～第３のタイミングクロックＴＣＬＫ１～ＴＣＬＫ３に基づいてラッチする。第１～第３のタイミングクロックＴＣＬＫ１～ＴＣＬＫ３は、各ラインに対応して異なるタイミングに発生するパルス信号であり。タイミング制御回路２３１によって、タイミング信号ＴＣＬＫに基づいて作成される。

10

【００２０】

第２のラッチ回路ＬＣＨ１２，ＬＣＨ２２，ＬＣＨ３２の出力信号である第１～第３のラッチ信号ＰＯＬ１～ＰＯＬ３は、後段の第１～第３のスイッチＳＷ１～ＳＷ３のスイッチングを制御する信号として用いられる。

【００２１】

図３に第１のスイッチＳＷ１の構成を示す。高電位ＶＣＯＭＨと低電位ＶＣＯＭＬの間に、Ｐチャネル型ＴＦＴ２３２とＮチャネル型ＴＦＴ２３３とが直列に接続され、それらのゲートに第２のラッチ回路ＬＣＨ１２からの第１のラッチ信号ＰＯＬ１が印加される。尚、第２，第３のスイッチＳＷ２，ＳＷ３も同様に構成されている。

20

【００２２】

例えば、第１のラッチ信号ＰＯＬ１がＨレベルの場合は、Ｎチャネル型ＴＦＴ２３３がオンするので、第１の保持容量線ＳＣ１に低電位ＶＣＯＭＬが印加され、第１のラッチ信号ＰＯＬ１がＬレベルの場合は、Ｐチャネル型ＴＦＴ２３２がオンするので第１の保持容量線ＳＣ１に高電位ＶＣＯＭＨが印加されるようになっている。

【００２３】

第１～第３の保持容量線ＳＣ１～ＳＣ２の電位は、第１～第３のタイミングクロックＴＣＬＫ１～ＴＣＬＫ３の立ち上がるタイミングによって決定される。このような保持容量線駆動方式においては、一般にそのようなタイミングはゲート選択信号Ｇ１～Ｇ３が立ち下がった後である。図４は、ゲート選択信号Ｇ１～Ｇ３、第１～第３のタイミングクロックＴＣＬＫ１～ＴＣＬＫ３、第１～第３の保持容量線ＳＣ１～ＳＣ３の電位変化の関係を示している。

30

【００２４】

[ソース線駆動回路及びＤＳＧ制御回路の構成]

図５は、画素領域の周辺にあるソース線駆動回路２０、ＤＳＧ制御回路２１の構成を示す。図５においては、画素領域の１列目に対応した画素に関係した構成だけを示している。第１のソース線ＳＬ１の一端には、水平スイッチＳＷＨを介してソースドライバ１４の出力端子が接続されている。水平スイッチＳＷＨは水平走査信号に応じてスイッチングする。水平スイッチＳＷＨがオンすると、ソースドライバ１４からソース信号Ｓｉｇ（表示信号）が第１のソース線ＳＬ１に供給される。

40

【００２５】

また第１のソース線ＳＬ１の他端には、スイッチＳＷＳを介して共通電極ドライバ１５の出力端子が接続されている。スイッチＳＷＳは制御信号ＤＳＧに応じてスイッチングする。また、共通電極ドライバ１５の出力端子は共通電極ＣＥに接続され、共通電極ＣＥには共通電位ＶＣＯＭが供給される。したがって、スイッチＳＷＳがオンすると、第１のソース線ＳＬ１と共通電極ＣＥとは短絡され、プリチャージのために、第１のソース線ＳＬ１にも共通電位ＶＣＯＭが供給されるようになっている。

【００２６】

次に、上記の液晶表示装置の動作例について、図６のタイミング図を参照して説明する。いま、パースシャル表示が行われているとする。

50

【 0 0 2 7 】

(1) リフレッシュ動作

非表示領域についてリフレッシュが行われる。この場合、非表示領域においてもゲート選択イネーブル信号 $VENB$ が定期的が発生されており、第 1 ～ 第 3 のゲート線 $GL1 \sim GL3$ に次々にゲート選択信号 $G1 \sim G3$ が出力される。そして、第 1 のソース線 $SL1 \sim SL3$ に非表示に対応したソース信号 sig (非表示信号) が供給され、それが画素に供給されることでリフレッシュ動作が行われる。一方、表示領域においてもゲート選択イネーブル信号 $VENB$ が定期的が発生されており、第 1 ～ 第 3 のゲート線 $GL1 \sim GL3$ に次々にゲート選択信号 $G1 \sim G3$ が出力される。そして、第 1 のソース線 $SL1 \sim SL3$ に表示に対応したソース信号 sig (表示信号) が画素に供給されることで通常の液晶表示が行われる。

10

【 0 0 2 8 】

また、保持容量線駆動回路 23 も動作している。したがって、第 1 ～ 第 3 の保持容量線 $SC1 \sim SC3$ の電位は、第 1 ～ 第 3 のラッチ信号 $POL1 \sim POL3$ に同期して反転を繰り返すことになり、保持容量線駆動が行われる。即ち、画素電極に表示信号 (非表示信号) を書き込んだ後に、対応する保持容量線の電位が変動し、画素電極 11 の電位を正又は負の方向に変化させる。これにより、表示信号のダイナミックレンジを小さくすることができるため、低消費電力での駆動が可能になる。

【 0 0 2 9 】

(2) 非リフレッシュ動作

20

間欠リフレッシュにおいては、リフレッシュをしないフレームがある。つまり、非リフレッシュのフレームでは、非表示領域のリフレッシュは実施されない。この場合は、ゲート選択イネーブル信号 $VENB$ を停止する (L レベルに固定) ことで、第 1 ～ 第 3 のゲート線 $GL1 \sim GL3$ は L レベルに固定される。これにより、非表示信号は画素電極に書き込まれない。

【 0 0 3 0 】

このように間欠リフレッシュにおいては、ゲート選択イネーブル信号 $VENB$ を停止することによってリフレッシュを停止することができる。そこで、どのフレームについてリフレッシュを行うかが問題となる。この点について図 7 のタイミング図を用いて説明する。

30

【 0 0 3 1 】

図 7 (A) に示すように、間欠リフレッシュにおいて、1 フレームおきにリフレッシュを行う場合には、極性信号 POL はリフレッシュを行うフレームにおいて常に L レベルであり、H レベルに反転しない。そのため、保持容量線駆動は停止される (第 1 ～ 第 3 の保持容量線 $SC1 \sim SC3$ の電位は固定される) ため、表示不良が生じてしまう。一般には、リフレッシュが行われたフレームを基準として偶数番目のフレームでのみリフレッシュを行う偶数リフレッシュの場合には、極性信号 POL の極性は同じになるため、上記問題が生じる。

【 0 0 3 2 】

40

そこで、図 7 (B) に示すように、間欠リフレッシュにおいて、2 フレームおきにリフレッシュを行うようにすると、極性信号 POL はリフレッシュが行われるフレーム毎に反転を繰り返すようになる。即ち、第 0 フレーム、第 3 フレーム、第 6 フレーム、・・・でリフレッシュが行われ、極性信号 POL は、第 0 フレームでは L レベル、第 3 フレームでは H レベル、第 6 フレームでは L レベルというように反転する。このような動作は、制御回路 25 により、ゲート選択イネーブル信号 $VENB$ を上記の特定のフレームにおいて活性化するように制御することで実現することができる。

【 0 0 3 3 】

これにより、非表示領域のリフレッシュにおいても、表示領域と同様に極性信号 POL が反転し、保持容量線駆動が行われるため、表示不良が防止される。一般には、リフレッシュが行われたフレームを基準として奇数番目のフレームでのみリフレッシュを行う奇数

50

リフレッシュの場合には、極性信号 P O L の極性は反転を繰り返すようになるため、上記問題を解決することができる。

【図面の簡単な説明】

【 0 0 3 4 】

【図 1】本発明の実施形態による液晶表示装置の構成を示す図である。

【図 2】本発明の実施形態による液晶表示装置における保持容量線駆動回路の構成を示す図である。

【図 3】本発明の実施形態による液晶表示装置における保持容量線駆動回路の構成を示す図である。

【図 4】本発明の実施形態による液晶表示装置における保持容量線駆動回路の動作タイミング図である。 10

【図 5】本発明の実施形態による液晶表示装置におけるソース線駆動回路及び D S G 制御回路の構成を示す図である。

【図 6】本発明の実施形態による液晶表示装置の動作を説明するタイミング図である。

【図 7】比較例と本発明の実施形態による液晶表示装置の動作を説明するタイミング図である。

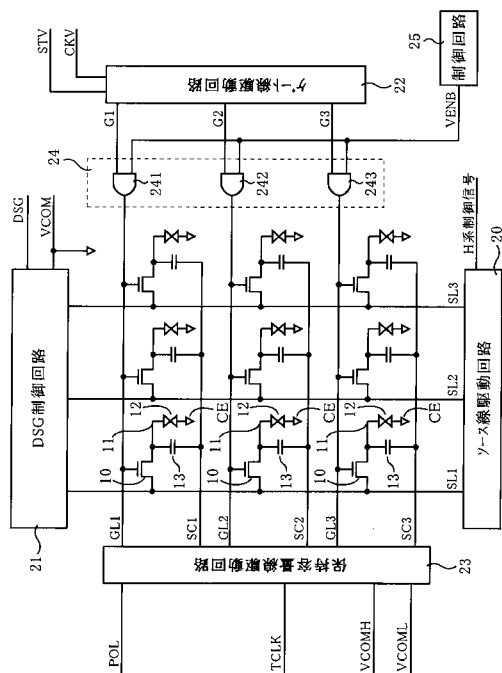
【符号の説明】

【 0 0 3 5 】

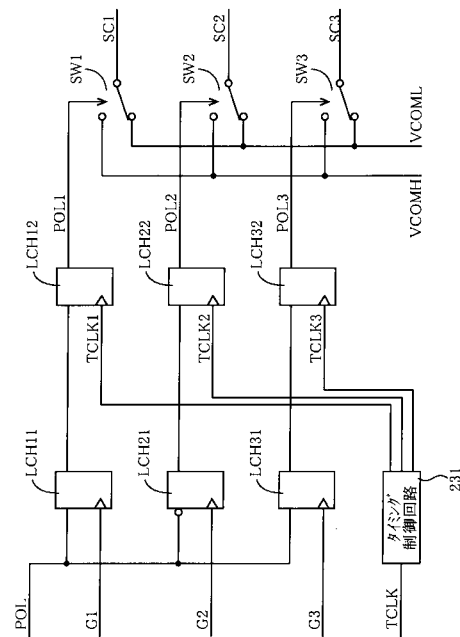
1 0	画素トランジスタ	1 1	画素電極	1 2	液晶	1 3	保持容量
1 4	ソースドライバ	1 5	共通電極ドライバ				
2 0	ソース線駆動回路	2 1	D S G 制御回路	2 2	ゲート線駆動回路		
2 3	保持容量線駆動回路	2 4	ゲート選択回路	2 5	制御回路		
2 3 1	タイミング制御回路	2 3 2	Pチャネル型 T F T				
2 3 3	Nチャネル型 T F T	2 4 1 , 2 4 2 , 2 4 3	A N D 回路				
L C H 1 1 , L C H 2 1 , L C H 3 1	第 1 のラッチ回路						
L C H 1 2 , L C H 2 2 , L C H 3 2	第 2 のラッチ回路						
S W 1 ~ S W 3	第 1 ~ 第 3 のスイッチ						
S C 1 , S C 2 , S C 3	第 1 ~ 第 3 の保持容量線						

20

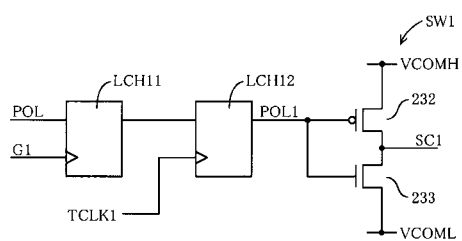
【図 1】



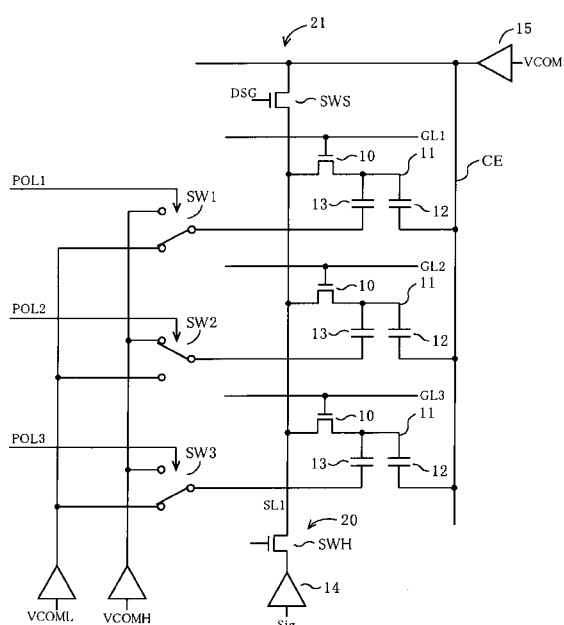
【図 2】



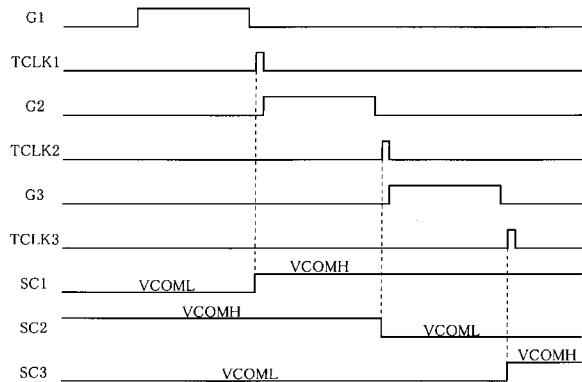
【図 3】



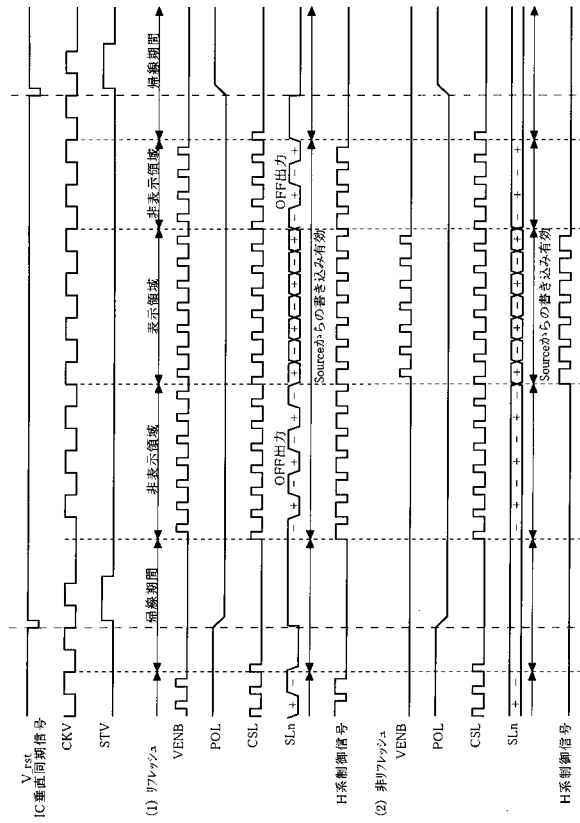
【図 5】



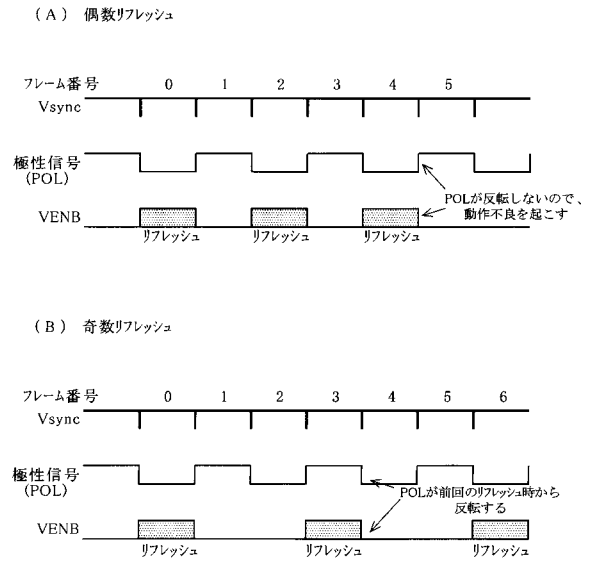
【図 4】



【図 6】



【図 7】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 6 0 Q
G 0 9 G	3/20	6 3 2 C
G 0 9 G	3/20	6 5 0 J
G 0 9 G	3/20	6 2 1 E
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 1 D
G 0 9 G	3/20	6 2 2 G
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5

F ターム(参考) 5C006 AA16 AC11 AC24 AC25 AC28 AF31 AF36 AF42 AF44 AF51
 AF69 AF72 BB16 BC03 BC11 BF04 BF24 BF25 BF26 BF33
 BF34 BF42 FA05 FA12 FA16 FA22 FA38 FA46 FA47
 5C080 AA10 BB06 DD05 DD08 DD24 DD26 EE29 FF11 FF13 JJ02
 JJ03 JJ04

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2009075225A	公开(公告)日	2009-04-09
申请号	JP2007242363	申请日	2007-09-19
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	田尻 憲一		
发明人	田尻 憲一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.A G09G3/20.621.B G09G3/20.623.G G09G3/20.624.C G09G3/20.660.Q G09G3/20.632.C G09G3/20.650.J G09G3/20.621.E G09G3/20.621.A G09G3/20.621.D G09G3/20.622.G G02F1/133.550 G02F1/133.525		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC35 2H093/ND35 2H093/ND39 5C006/AA16 5C006/AC11 5C006/AC24 5C006/AC25 5C006/AC28 5C006/AF31 5C006/AF36 5C006/AF42 5C006/AF44 5C006/AF51 5C006/AF69 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF04 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF33 5C006/BF34 5C006/BF42 5C006/FA05 5C006/FA12 5C006/FA16 5C006/FA22 5C006/FA38 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB06 5C080/DD05 5C080/DD08 5C080/DD24 5C080/DD26 5C080/EE29 5C080/FF11 5C080/FF13 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZA07 2H193/ZB06 2H193/ZB14 2H193/ZC04 2H193/ZC15 2H193/ZC16 2H193/ZC32 2H193/ZD23 2H193/ZE06 2H193/ZF21 2H193/ZF22 2H193/ZF31 2H193/ZF36 2H193/ZF60		
代理人(译)	须泽 修 宫坂和彦		
外部链接	Espacenet		

摘要(译)

本发明提供一种辅助电容配线驱动方法，简单的电路结构，所述的液晶显示装置，以减少局部显示的功耗，间歇地执行所述非显示区域的刷新操作时，显示不良在防止。在间歇刷新操作中，当每两帧执行刷新时，极性信号POL在每个帧重复反转以进行刷新。即，第0帧，第三帧，第六帧，与...执行刷新，极性信号POL是，L电平在0帧，在第三帧H电平，因此L电平在第六帧反转。结果，即使在非显示区域的刷新中，极性信号POL也与显示区域类似地反转，并且执行存储电容器线驱动，因此防止了显示缺陷。 点域7

