

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-292787  
(P2008-292787A)

(43) 公開日 平成20年12月4日(2008.12.4)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622A	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 612R	5C080
	G09G 3/20 621B	
	G09G 3/20 612D	

審査請求 未請求 請求項の数 6 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2007-138617 (P2007-138617)  
(22) 出願日 平成19年5月25日 (2007.5.25)

(71) 出願人 304053854  
エプソンイメージングデバイス株式会社  
長野県安曇野市豊科田沢6925  
(74) 代理人 100095728  
弁理士 上柳 雅誉  
(74) 代理人 100107261  
弁理士 須澤 修  
(74) 代理人 100127661  
弁理士 宮坂 一彦  
(72) 発明者 林 真人  
長野県安曇野市豊科田沢6925 エプソン  
イメージングデバイス株式会社内  
Fターム(参考) 2H093 NA16 NA31 NA32 NA43 NC10  
NC22 NC26 NC34 NC35 NC49  
NF04 NH12

最終頁に続く

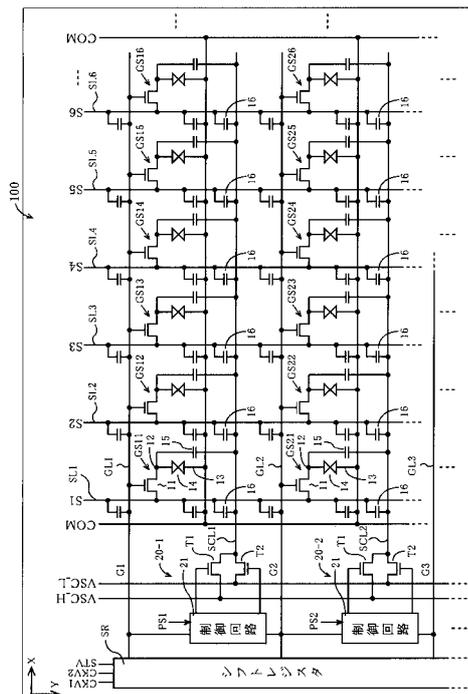
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】容量線の受けるノイズの影響を抑制し、クロストークなどの表示不良の発生を防止した液晶表示装置を提供する。

【解決手段】制御回路21は、第1のゲート信号G1が高レベルになった時(ソース信号S1~S6を対応する画素に書き込む時)に、第1の駆動トランジスタT1又は第2の駆動トランジスタT2のうち、オンしている駆動トランジスタの駆動能力を高めるように制御を行う。駆動トランジスタの駆動能力を高めるためには、そのゲートに印加される高レベル(例えば、8.5V)をより高い電位(例えば、8.5V+)に昇圧し、駆動トランジスタに流れる電流を増加させることが好ましい。これにより、第1の容量線SCL1がノイズを受けても、本来のレベルに復帰する時間を短縮する。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

ソース信号が印加される複数のソース線と、  
ゲート信号が印加される複数のゲート線と、  
前記ソース線と交差した複数の容量線と、  
前記ソース線と前記ゲート線の各交差点に対応して配置され、前記ゲート信号に応じてスイッチングする画素スイッチング素子と、前記画素スイッチング素子を通して前記ソース信号が印加される画素電極と、この画素電極と前記容量線との間に接続された補助容量とを備えた複数の画素と、

前記画素スイッチング素子がオンした時に前記容量線を駆動する能力を高くする容量線駆動回路と、を備えることを特徴とする液晶表示装置。

10

**【請求項 2】**

前記容量線駆動回路は、ソースに第 1 の電位が印加されドレインに前記容量線が接続された第 1 の駆動トランジスタと、ソースに第 2 の電位が印加されドレインに前記容量線が接続された第 2 の駆動トランジスタとを備え、

前記第 1 の駆動トランジスタと前記第 2 の駆動トランジスタとを相補的にスイッチングさせると共に、前記画素スイッチング素子がオンしている時に、前記第 1 の駆動トランジスタと前記第 2 の駆動トランジスタのうち、オンしている駆動トランジスタの駆動能力を高くするように制御を行う制御回路と、を備えることを特徴とする請求項 1 に記載の液晶表示装置。

20

**【請求項 3】**

前記制御回路は、前記駆動トランジスタに流れる電流を増加させるようにゲート電位を昇圧する昇圧回路を備えることを特徴とする請求項 2 に記載の液晶表示装置。

**【請求項 4】**

前記昇圧回路は第 1 のゲート信号に応じて起動することを特徴とする請求項 3 に記載の液晶表示装置。

**【請求項 5】**

前記制御回路は、前記画素スイッチング素子がオフした時に、前記容量線の電位を反転させるように前記第 1 の駆動トランジスタと第 2 の駆動トランジスタをスイッチングすることを特徴とする請求項 2 乃至 4 のいずれかに記載の液晶表示装置。

30

**【請求項 6】**

前記第 1 の駆動トランジスタ及び前記第 2 の駆動トランジスタは、Nチャネル型の MOS トランジスタであることを特徴とする請求項 2 乃至 5 のいずれかに記載の液晶表示装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、容量線駆動方式の液晶表示装置に関する。

**【背景技術】****【0002】**

従来より、容量線駆動方式の液晶表示装置が知られている。この容量線駆動方式にあつては、容量線と画素の画素電極との間に補助容量を設ける。そして、ゲート信号を H レベルに立ち上げて画素トランジスタをオンさせ、ソース線のソース信号を、画素トランジスタを通して画素に書き込む。そして、ソース信号の書き込み後、対向電極の共通電位を一定にした状態で、容量線の電位をフレーム周期で反転させるというものである。

40

**【0003】**

また、ライン反転駆動やドット反転駆動のために、ソース信号の電位も一定の周期で反転されている。容量線の電位とソース信号の電位は、周期的に H レベルと L レベルを交互に繰り返している。容量線の電位の反転、ソース信号の電位の反転とは、それぞれの電位を H レベルから L レベルへ変化させること、又は L レベルから H レベルへ変化させることである。

50

## 【0004】

この方式によれば、容量線の電位の反転によって、画素電位を補助容量による容量結合によりシフトさせて画素電位と共通電位との電位差を大きくすることができる。これにより、ソース信号の振幅を小さくすることができるので、液晶表示装置の消費電力を低減することができる。尚、容量線駆動方式を用いた液晶表示装置については、特許文献1に記載されている。

【特許文献1】特開平12-81606号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0005】

10

しかしながら、容量線とソース線との容量（交差容量とフリンジ容量）、及び容量線と画素との容量（交差容量と補助容量）が存在するので、容量線はソース信号が変化するとき、この容量結合によりノイズを受ける。特に、ゲート信号が立ち上がり、画素トランジスタがオンしている時（即ち、ソース信号の画素への書き込み時）に、対応する容量線はソース信号の反転と画素電位の変化の両方によってノイズを受ける。

## 【0006】

20

ところで、液晶の透過率は共通電位と画素電位との電位差によって変化する。そのため、ゲート信号の立ち下がり時に共通電位と画素電位は決定している必要がある。しかし、ゲート信号の立ち下がり時に、ノイズにより容量線の電位が決定されていない場合、つまり、ノイズによって容量線の電位が本来とは異なる電位にある場合、ゲート信号の立ち上がり後に容量線の電位が変化すると前記容量を介して画素電位が変化してしまう。そのため、共通電位と画素電位との関係が正常でなくなり、クロストークなどの表示不良が発生するという問題があった。

【課題を解決するための手段】

## 【0007】

30

本発明の液晶表示装置は、ソース信号が印加される複数のソース線と、ゲート信号が印加される複数のゲート線と、前記ソース線と交差した複数の容量線と、前記ソース線と前記ゲート線の各交差点に対応して配置され、前記ゲート信号に応じてスイッチングする画素スイッチング素子と、前記画素スイッチング素子を通して前記ソース信号が印加される画素電極と、この画素電極と前記容量線との間に接続された補助容量とを備えた複数の画素と、前記画素スイッチング素子がオンした時に前記容量線を駆動する能力を高くする容量線駆動回路と、を備えることを特徴とする。

【発明の効果】

## 【0008】

本発明によれば、容量線駆動方式の液晶表示装置において、画素スイッチング素子がオンした時に容量線を駆動する能力を高くしたので、ソース線の反転と画素電位の変化により容量線が受けるノイズの影響を抑制して、クロストークなどの表示不良の発生を防止することが可能になる。

【発明を実施するための最良の形態】

## 【0009】

40

本発明の実施の形態について図面を参照しながら説明する。図1は、液晶表示装置の回路図である。

## 【0010】

ガラス基板100上に行列状に複数の画素GS11, GS12, ...が配置されている。図1では説明の便宜上、2行×6列の画素のみを示している。各画素にはNチャネル型の薄膜トランジスタ（例えばMOSトランジスタ）からなる画素トランジスタ11、画素トランジスタ11のドレインに接続された画素電極12、画素電極12と対向電極13の間に封入された液晶14、補助容量15が設けられている。

## 【0011】

50

また、ガラス基板100上には、第1のソース線SL1～第6のソース線SL6が一定

間隔をおいて列方向（Y方向）に延びている。これらの第1のソース線SL1～第6のソース線SL6は、各画素の画素トランジスタ11のソースに共通接続され、ソース信号（ビデオ信号）S1～S6が供給されるように構成されている。

【0012】

また、ガラス基板100上には、第1のゲート線GL1及び第2のゲート線GL2が一定間隔をおいて、それぞれ行方向（X方向）に延びている。第1のゲート線GL1は、第1行の画素GS11～GS16の画素トランジスタ11のゲートに共通接続され、第2のゲート線GL2は、第2行の画素GS21～GS26の画素トランジスタ11のゲートに共通接続されている。第1及び第2のゲート線GL1，GL2にはそれぞれ垂直走査用のシフトレジスタSRから第1及び第2のゲート信号G1，G2が供給される。シフトレジスタSRは、複数のシフトレジスタユニットを直列接続してなり、垂直スタートパルスSTVを転送クロックCKV1，CKV2（CKV2の反転クロック）に基づいて転送することにより、第1のゲート信号G1、第2のゲート信号G2、第3のゲート信号G3・・・を発生する。

10

【0013】

また、ガラス基板100上には、第1の容量線SCL1と第2の容量線SCL2が一定間隔をおいて行方向（X方向）に延びている。第1の容量線SCL1は第1行に対応して設けられ、第1行の画素GS11～GS16の画素電極12と第1の容量線SCL1の間に補助容量15が接続されている。第2の容量線SCL2は第2行に対応して設けられ、第2行の画素GS21～GS26の画素電極12と第2の容量線SCL2の間に補助容量15が接続されている。

20

【0014】

第1の容量線SCL1は第1のソース線SL1～第6のソース線SL6と絶縁膜を介して交差しているので、各交差点において第1の容量線SCL1と第1のソース線SL1～第6のソース線SL6との間にそれぞれ寄生容量16が形成される。同様に、第2の容量線SCL2は第1のソース線SL1～第6のソース線SL6と絶縁膜を介して交差しており、各交差点において第2の容量線SCL2と第1のソース線SL1～第6のソース線SL6との間にそれぞれ寄生容量16が形成される。

【0015】

また、ガラス基板100上には、第1の容量線SCL1を駆動する第1の容量線駆動回路20-1、第2の容量線SCL2を駆動する第2の容量線駆動回路20-2が設けられている。第1の容量線駆動回路20-1は、Nチャネル型の薄膜トランジスタ（例えばMOSトランジスタ）からなる第1の駆動トランジスタT1、Nチャネル型の薄膜トランジスタ（例えばMOSトランジスタ）からなる第2の駆動トランジスタT2、それらのスイッチングを制御する制御回路21を備える。第1の駆動トランジスタT1のソースには高電位VSC\_H（本発明の第1の電位の一例であり、例えば4.0V）が印加され、そのドレインは第1の容量線SCL1に接続されている。第2の駆動トランジスタT2のソースには低電位VSC\_L（本発明の第2の電位の一例であり、例えば0V）が印加され、そのドレインは第1の容量線SCL1に接続されている。

30

【0016】

制御回路21は、極性選択信号PS1に応じて、第1及び第2の駆動トランジスタT1，T2のゲートに制御信号（高レベルの電位、低レベルの電位）を印加し、それらを相補的にスイッチングさせる。極性選択信号PS1は一垂直期間毎に高レベルと低レベルを繰り返す信号である。

40

【0017】

第1の駆動トランジスタT1のゲートに高レベルの制御信号が印加され、第2の駆動トランジスタT2のゲートに低レベルの制御信号が印加されると、第1の駆動トランジスタT1はオンし、第2の駆動トランジスタT2はオフする。これにより、第1の容量線SCL1の電位は高電位VSC\_Hになる。反対に、第1の駆動トランジスタT1のゲートに低レベルの制御信号が印加され、第2の駆動トランジスタT2のゲートに高レベルの制御信号

50

が印加されると、第1の駆動トランジスタT1はオフし、第2の駆動トランジスタT2はオンする。これにより、第1の容量線SCL1の電位は低電位VSC\_Lに反転する。

【0018】

制御回路21は、第1のゲート信号G1が立ち下がって画素トランジスタがオフし、第2のゲート信号G2が高レベルに立ち上がるタイミングで、第1の容量線SCL1の電位を反転するように第1及び第2の駆動トランジスタT1、T2のスイッチングを制御する。

【0019】

制御回路21は、第1のゲート信号G1が高レベルになった時(ソース信号S1~S6を対応する画素に書き込む時)に、第1の駆動トランジスタT1又は第2の駆動トランジスタT2のうち、オンしている駆動トランジスタの駆動能力を高めるように制御を行う。駆動トランジスタの駆動能力を高めるためには、駆動トランジスタのゲートに最初に印加される高レベル(例えば、8.5V)の電位をより高い電位(例えば、8.5V+)に昇圧し、駆動トランジスタに流れるオン電流を増加させることが好ましい。これにより、第1の容量線SCL1がノイズを受けても、本来のレベルに復帰する時間を短縮し、クロストークなどの表示不良の発生を防止することができる。

10

【0020】

尚、第2の容量線駆動回路20-2も同様に構成されている。但し、第2の容量線SCL2の電位は、第2のゲート信号G2が立ち下がり、第3のゲート信号G3が高レベルに立ち上がるタイミングで反転するように制御される。また、第2の容量線SCL2の電位は、第1の容量線SCL1の電位とは逆極性となるように反転される。

20

【0021】

例えば、第1の容量線SCL1の電位が高電位VSC\_Hから低電位VSC\_Lに反転したとすると、第2の容量線SCL2の電位は低電位VSC\_Lから高電位VSC\_Hに反転する。尚、第3行以降の容量線、容量線駆動回路についても同様に構成されているので説明を省略する。

【0022】

以下、図1及び図2を参照して本発明の液晶表示装置の動作について詳しく説明する。いま、第1のゲート信号G1が高レベル(8.5V)になると、画素GS11~GS16の画素トランジスタ11がオンして、第1のソース線SL1~第6のソース線SL6からのソース信号S1~S6が対応する画素に書き込まれる。このとき、第1の容量線SCL1の電位は低電位VSC\_Lに設定されているものとする。つまり、第1の駆動トランジスタT1がオフし、第2の駆動トランジスタT2がオンしている状態である。

30

【0023】

このとき、ライン反転駆動のために、ソース信号S1~S6は共通電位COMに対して反転されるので、第1の容量線SCL1は寄生容量16を通してノイズを受ける。また、画素トランジスタ11がオンしていることから、画素トランジスタ11を通して画素電極12の電位(画素電位)の変化が生じ、第1の容量線SCL1は補助容量15等を通してノイズを受けてその電位が変化する。

【0024】

本発明によれば、制御回路21により、第2の駆動トランジスタT2のゲート電位は8.5Vから8.5V+に昇圧されるので、第2の駆動トランジスタT2に流れるオン電流が増加する。これにより、本来の電位(この場合は、低電位VSC\_L)に復帰する時間を短縮することができる。

40

【0025】

その後、第1のゲート信号G1が低レベルになり、画素トランジスタ11がオフすると、制御回路21により、第2のゲート信号G2が高レベルに立ち上がるタイミングで、第1の容量線SCL1の電位は低電位VSC\_Lから高電位VSC\_Hに反転する。このとき、第1の駆動トランジスタT1のゲート電位は高レベル(例えば、8.5V)になり、第1の駆動トランジスタT1はオンする。

【0026】

50

一方、第2の駆動トランジスタT2のゲート電位は低レベル（例えば、 $-4.5\text{V}$ ）になり、第2の駆動トランジスタT2はオフする。この第1の容量線SCL1の電位の反転により、画素電位は補助容量15を通してシフトするので、画素電位と共通電位COMとの電位差を大きくすることができる。尚、画素トランジスタ11がオフしている時は、第1の容量線SCL1は、ソース信号S1～S6の反転によってのみノイズを受ける。

【0027】

また、第2のゲート信号G2が高レベルになると、画素GS21～GS26の画素トランジスタ11がオンして、第1のソース線SL1～第6のソース線SL6からのソース信号S1～S6が対応する画素に書き込まれる。このとき、第2の容量線駆動回路20-2の制御回路21によって、第2の容量線SCL2の電位は高電位VSC\_Hに設定されている。

10

【0028】

第2の容量線駆動回路20-2の第1の駆動トランジスタT1のゲート電位は高レベルになり、第1の駆動トランジスタT1はオンするが、そのゲート電位は $8.5\text{V}+$ に昇圧される。これにより、第2の容量線SCL2についても、同様にノイズの影響を抑制することができる。一方、第2の駆動トランジスタT2のゲート電位は低レベル（例えば、 $-4.5\text{V}$ ）になり、第2の駆動トランジスタT2はオフする。

【0029】

以下、制御回路21の具体的な構成について図3を参照して説明する。この制御回路21は昇圧回路としてブートストラップ回路BSを備えたものである。極性選択信号PS1をゲート信号G2の立ち上がりのタイミングでラッチするスタティックラッチ回路SLの出力はブートストラップ回路BSに印加される。また、スタティックラッチ回路SLの出力はインバータINVで反転され、ブートストラップ回路BSに印加される。ブートストラップ回路BSは、一对の逆流防止ダイオードD1, D2、一对のブートストラップ容量BC1, BC2、制御トランジスタT3-1, T3-2, T4-1, T4-2, T5-1, T5-2から構成されている。

20

【0030】

制御トランジスタT3-1, T3-2, T4-1, T4-2, T5-1, T5-2はNチャンネル型の薄膜トランジスタで形成され、逆流防止ダイオードD1, D2はゲートとドレインが共通接続されNチャンネル型の薄膜トランジスタで形成されている。また、これらのトランジスタはリーク電流を低減するためにダブルゲート構造を有している。

30

【0031】

この制御回路21の動作について図3及び図4を参照して説明する。いま、スタティックラッチ回路SLには低レベル（ $-4.5\text{V}$ ）の極性選択信号PS1が取り込まれ保持されているとする。ゲート信号G1が立ち上がる前の状態では、第1の駆動トランジスタT1のゲート電位は低レベル（ $-4.5\text{V}$ ）、第2の駆動トランジスタT2のゲート電位は高レベル（ $8.5\text{V}$ ）になっている。したがって、第1の駆動トランジスタT1はオフし、第2の駆動トランジスタT2はオンしているので、第1の容量線SCL1の電位は第1の駆動トランジスタT1を通して低電位VSC\_L（ $0\text{V}$ ）になっている。

【0032】

このとき、第1の駆動トランジスタT1側の制御トランジスタT3-1はオンしており、ブートストラップ容量BC1のノードN1は低レベルVL（ $= -4.5\text{V}$ ）に設定される。また制御トランジスタT4-1はオフ、制御トランジスタT5-1はオンしている。一方、第2の駆動トランジスタT2側の制御トランジスタT3-2はオフ、制御トランジスタT4-2はオン、制御トランジスタT5-2はオフしている。

40

【0033】

この状態から、ゲート信号G1が $-4.5\text{V}$ から $8.5\text{V}$ に立ち上がると、ブートストラップ容量BC2を通して、第2の駆動トランジスタT2のゲートは $8.5\text{V}$ から約 $20\text{V}$ に昇圧される。これにより、第2の駆動トランジスタT2のオン抵抗が下がり、これに流れるオン電流が増加することで、第1の容量線SCL1の電位がノイズにより変動して

50

も、本来のレベル（低電位VSC\_L）に急速に復帰させることができる。

【0034】

その後、ゲート信号G1が立ち下がる。そして、ゲート信号G2が立ち上がるタイミングで、高レベル（8.5V）に反転された極性選択信号PS1がスタティックラッチ回路SLに取り込まれる。すると、第2の駆動トランジスタT2のゲート電位は低レベルに変化し、第1の駆動トランジスタT1のゲート電位は高レベルに変化する。これにより、第1の容量線SCL1の電位は、低電位VSC\_L（0V）から高電位VSC\_H（4.0V）に反転する。このとき、ブートストラップ回路BSにおいても、制御トランジスタT3-1, T3-2, T4-1, T4-2, T5-1, T5-2のオンオフの状態が切り換わる。

【0035】

即ち、第1の駆動トランジスタT1側の制御トランジスタT3-1はオフし、制御トランジスタT4-1はオン、制御トランジスタT5-1はオフする。

【0036】

上記のように制御トランジスタT4-1がオンするので、次のフレームでゲート信号G1が再び立ち上がると、ブートストラップ容量BC1を通して、第1の駆動トランジスタT1のゲートは約20Vに昇圧されることになる。これにより、第1の駆動トランジスタT1に流れるオン電流が増加することで、第1の容量線SCL1の電位がノイズにより変動しても、本来のレベル（高電位VSC\_H）に急速に復帰させることができる。

【0037】

一方、第2の駆動トランジスタT2側の制御トランジスタT3-2はオンし、ブートストラップ容量BC2のノードN2は低レベルに設定される。制御トランジスタT4-2はオフする。制御トランジスタT5-2はオンすることで、第2の駆動トランジスタT2のゲートの電位は急速に低レベル（-4.5V）に変化する。

【0038】

仮に、上記のように制御回路21によって第1の駆動トランジスタT1又は第2の駆動トランジスタT2のゲートの電位を昇圧しないとすると、一般的には、そのゲートに印加される高レベルの電位は、画素内で用いられる電位であり、画素トランジスタ11に接続された補助容量15等によって保持される。この場合、その電位は、画素トランジスタ11のオフリークによって徐々に低下してしまう。そのため、上記のように、第1の駆動トランジスタT1及び第2の駆動トランジスタT2のオン抵抗を下げオン電流を増加させるに足る電位として確保することは困難となる。

【0039】

この問題に対しては、上記ゲート電位の昇圧によらない方法として、第1の駆動トランジスタT1と第2の駆動トランジスタT2を、それぞれNチャネル型MOSトランジスタ、Pチャネル型MOSトランジスタで構成し、C-MOS構造とすることで対応できる場合がある。これに対して、本実施形態では、上記ノイズの影響を抑制しつつ、画素トランジスタ11、第1の駆動トランジスタT1、第2の駆動トランジスタT2を含む、全てのトランジスタを単一の型、即ちNチャネル型のトランジスタとして構成できるため、上記C-MOS構造を有する場合に比して、プロセスの複雑化を回避できるという、さらなる効果を得ることができる。

【0040】

尚、本発明は上記実施形態に限定されることなくその要旨を逸脱しない範囲で変更が可能であることは言うまでもない。例えば、実施形態では、制御回路21は昇圧回路としてブートストラップ回路BSを備えるが、昇圧回路として他の回路、例えばレベルシフト回路を用いてもよい。

【0041】

また、実施形態では、画素GS11~GS16, GS21~GS26への書き込み中（画素トランジスタのオン中）に、容量線への駆動能力を上げるものの最適例として、画素GS11~GS16, GS21~GS26にソース信号を書き込んだ後（画素トランジスタがオフした後）に容量線を反転する容量線駆動方式のものを例に説明したが、本発明は

10

20

30

40

50

、他の駆動方式のものにも適用することが可能である。

【0042】

例えば、FFS (Fringe-Field Switching) モードで動作する液晶表示装置のように、共通電極と接続する共通電位線が容量線を兼ねる構成のもので、画素にソース信号を書き込む前(画素トランジスタがオンする前)に、容量線を兼ねた共通電位線の電位を反転するものにおいて、画素への書き込み中に、容量線を兼ねた共通電位線を駆動する能力を上げるように構成してもよい。

【0043】

また、実施形態では、ライン反転駆動を行っているが、本発明は、隣接する画素のソース信号と容量線の電位を反転するドット反転駆動にも適用することができる。

10

【0044】

また、実施形態では、第1の駆動トランジスタT1及び第2の駆動トランジスタT2はNチャネル型であるが、Pチャネル型としてもよい。この場合はその駆動能力を高くするために、そのゲート電位を負側に昇圧することが必要である。

【図面の簡単な説明】

【0045】

【図1】本発明の実施の形態による液晶表示装置の回路図である。

【図2】本発明の実施の形態による液晶表示装置の動作波形図である。

【図3】本発明の実施の形態による液晶表示装置の制御回路の回路図である。

【図4】本発明の実施の形態による液晶表示装置の制御回路の動作波形図である。

20

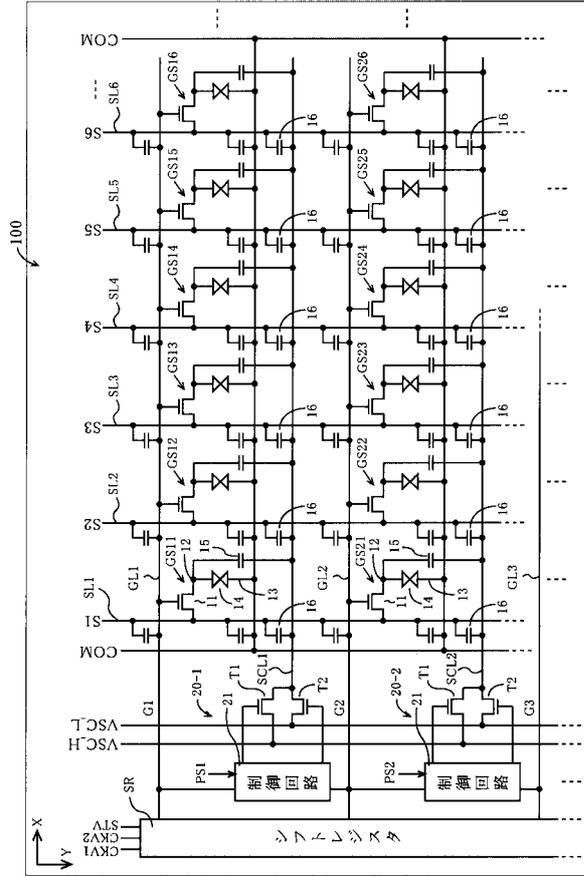
【符号の説明】

【0046】

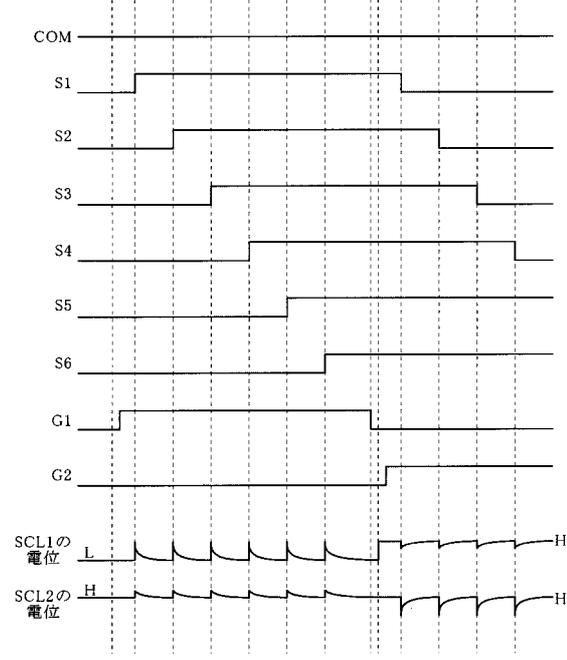
1 1	画素トランジスタ	1 2	画素電極	1 3	対向電極
1 4	液晶	1 5	補助容量	1 6	寄生容量
2 0 - 1	第1の容量線駆動回路	2 0 - 2	第2の容量線駆動回路		
2 1	制御回路	1 0 0	ガラス基板		
BC 1, BC 2	ブートストラップ容量				
BS	ブートストラップ回路	D 1, D 2	逆流防止ダイオード		
GL 1	第1のゲート線	GL 2	第2のゲート線		
GS 1 1 ~ GS 1 6, GS 2 1 ~ GS 2 6	画素				
SC L 1	第1の容量線	SC L 2	第2の容量線		
SL	スタティックラッチ回路	SL 1 ~ SL 6	第1 ~ 第6のソース線		
SR	シフトレジスタ				
T 1	第1の駆動トランジスタ	T 2	第2の駆動トランジスタ		
T 3 - 1, T 3 - 2, T 4 - 1, T 4 - 2, T 5 - 1, T 5 - 2	制御トランジスタ				

30

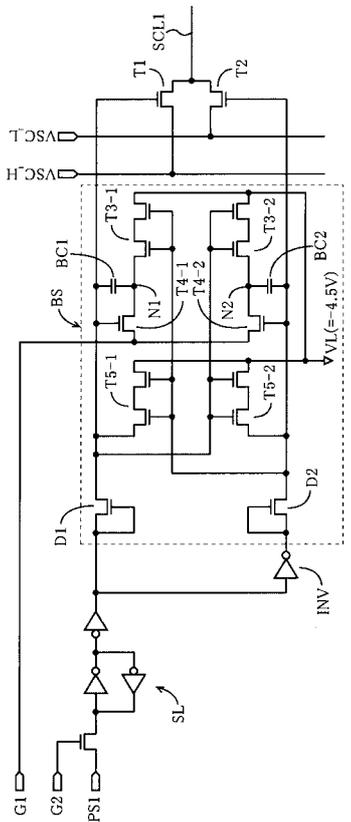
【 図 1 】



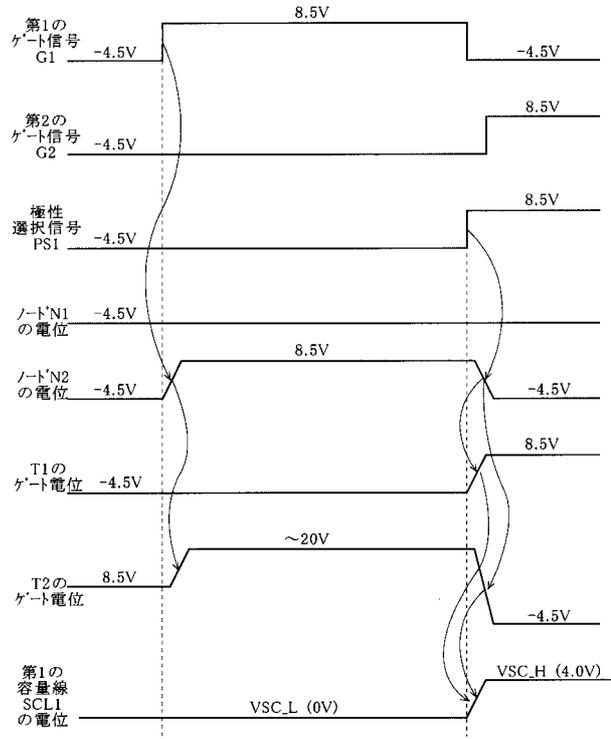
【 図 2 】



【 図 3 】



【 図 4 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 G

G 0 9 G 3/20 6 1 1 D

G 0 2 F 1/133 5 5 0

Fターム(参考) 5C006 AC11 AF42 BB16 BC03 BC06 BF31 BF33 BF34 BF46 BF50  
FA31  
5C080 AA10 BB05 DD10 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2008292787A</a>	公开(公告)日	2008-12-04
申请号	JP2007138617	申请日	2007-05-25
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	林真人		
发明人	林 真人		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.622.A G09G3/20.612.R G09G3/20.621.B G09G3/20.612.D G09G3/20.622.G G09G3/20.611.D G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA32 2H093/NA43 2H093/NC10 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NF04 2H093/NH12 5C006/AC11 5C006/AF42 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BF31 5C006/BF33 5C006/BF34 5C006/BF46 5C006/BF50 5C006/FA31 5C080/AA10 5C080/BB05 5C080/DD10 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZA07 2H193/ZB14 2H193/ZC02 2H193/ZF22		
代理人(译)	须泽 修 宫坂和彦		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种能够抑制电容线受噪声影响的液晶显示装置，并且能够防止产生诸如串扰的缺陷显示。ΣSOLUTION：当第一栅极信号G1变为高电平时（当写入源信号S1时），控制部分21进行控制以增强从第一驱动晶体管T1和第二驱动晶体管T2导通的驱动晶体管的驱动能力。-S6成对应的像素）。施加到栅极的高电平（例如，8.5V）优选地被升高到更高的电位（例如，8.5V+α）以增强驱动晶体管的驱动能力，从而增加驱动中的电流。晶体管。因此，即使第一电容线SCL1接收到噪声，也缩短了恢复到固有电平所需的时间。Ž

