

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-145837

(P2008-145837A)

(43) 公開日 平成20年6月26日(2008.6.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 575	5C006
G09G 3/20 (2006.01)	G02F 1/133 505	5C080
	G02F 1/133 550	
	G09G 3/20 624E	
審査請求 未請求 請求項の数 10 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2006-334353 (P2006-334353)	(71) 出願人	000005049
(22) 出願日	平成18年12月12日 (2006.12.12)		シャープ株式会社
			大阪府大阪市阿倍野区長池町2番22号
		(74) 代理人	100104695
			弁理士 島田 明宏
		(72) 発明者	永田 尚志
			大阪府大阪市阿倍野区長池町2番22号
			シャープ株式会社内
		Fターム(参考)	2H093 NA16 NA32 NA51 NA80 NB01
			NC09 NC18 NC21 NC22 NC34
			NC67 ND09 ND34 ND58
			5C006 AC11 AC25 AC28 AF42 AF44
			BB16 BC03 BC06 FA31 FA36
			FA47
			最終頁に続く

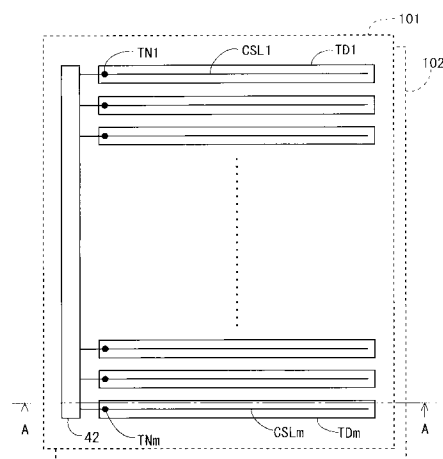
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】電荷漏れに起因する輝度低下を抑制することのできる液晶表示装置を提供する。

【解決手段】第2の基板102上に、補助容量配線CSL1～CSLmと1対1で対応するように対向電極TD1～TDmを備える。補助容量配線CSL1～CSLmと対向電極TD1～TDmとは、各対向電極の端部近傍の転移部TN1～TNmで互いに電氣的に接続される。補助容量配線駆動回路42は、各補助容量配線CSL1～CSLmに、1フレーム期間毎にハイレベルの電位とロウレベルの電位とが交互に現れる補助容量配線駆動信号を印加する。その際、各走査信号線につき走査信号の電位がハイレベルからロウレベルに変化する直前の所定の期間内のみ補助容量配線駆動信号の電位を変化させ、その他の期間には当該補助容量配線駆動信号の電位を維持する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

アクティブマトリクス型の液晶表示装置であって、
複数の走査信号線と複数の映像信号線とが格子状に配置された所定の基板と、
前記所定の基板上において前記複数の走査信号線と前記複数の映像信号線との交差点にそれぞれ対応して設けられた複数の画素電極と、
前記複数の画素電極との間に電圧を印加するために設けられた共通電極と、
前記複数の走査信号線と 1 対 1 で対応するように前記所定の基板上に設けられた複数の補助容量配線と、

前記複数の走査信号線を 1 水平走査期間ずつ順次に駆動するために複数の走査信号を出力する走査信号線駆動回路と、

前記複数の補助容量配線を駆動するために複数の補助容量配線駆動信号を出力する補助容量配線駆動回路と

を備え、

前記共通電極は、第 1 の所定数の走査信号線毎に設けられ、

各共通電極は、前記第 1 の所定数の補助容量配線と電氣的に接続され、

前記補助容量配線駆動回路は、

各走査信号線に対応して設けられている補助容量配線を駆動する補助容量配線駆動信号を、当該各走査信号線に印加される走査信号の電圧レベルがハイレベルからロウレベルに変化する直前の時点以前の第 2 の所定数の水平走査期間以内に、前記画素電極と前記共通電極との間に印加されるべき電圧の極性に依拠して決定される、予め定められた 2 つの電圧レベルのうちの一方の電圧レベルに変化させ、

1 フレーム期間のうちの少なくとも前記第 2 の所定数の水平走査期間を除く期間には前記補助容量配線駆動信号の電圧レベルを維持することを特徴とする、液晶表示装置。

【請求項 2】

前記第 2 の所定数は、前記複数の走査信号線の数の 10 分の 1 の数であることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 2 の所定数は、10 以下の数であることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記第 2 の所定数は、5 以下の数であることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第 2 の所定数は、2 以下の数であることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 1 の所定数は、1 であることを特徴とする、請求項 1 から 5 までのいずれか 1 項に記載の液晶表示装置。

【請求項 7】

前記補助容量配線駆動回路は、前記補助容量配線駆動信号の電圧レベルを 1 フレーム期間毎にハイレベルとロウレベルとに変化させることを特徴とする、請求項 1 から 6 までのいずれか 1 項に記載の液晶表示装置。

【請求項 8】

前記補助容量配線駆動回路は、1 フレーム期間のうちの少なくとも前記第 2 の所定数の水平走査期間を除く期間には前記補助容量配線駆動信号の電圧レベルを 0 V に維持することを特徴とする、請求項 1 から 6 までのいずれか 1 項に記載の液晶表示装置。

【請求項 9】

前記走査信号線駆動回路は、複数の段からなり当該複数の段の各段より所定の間隔でパルス信号を出力するシフトレジスタを含み、

10

20

30

40

50

前記補助容量配線駆動回路は、前記シフトレジスタの各段より出力されたパルス信号に基づいて動作することを特徴とする、請求項 1 から 8 までのいずれか 1 項に記載の液晶表示装置。

【請求項 10】

前記走査信号線駆動回路と前記補助容量配線駆動回路とは前記所定の基板上に形成されたドライバモノリシック型であることを特徴とする、請求項 1 から 9 までのいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置に関し、特に、電荷漏れに起因する輝度低下を抑制する技術に関する。

【背景技術】

【0002】

従来より、液晶表示装置において、対向電極（共通電極）を交流駆動する構成が知られている。図 14 は、対向電極を交流駆動する従来の液晶表示装置の駆動方法を説明するための信号波形図である。図 14（a）は、或る列（X 列目とする）の駆動用映像信号 V S の波形を示している。図 14（b）は 1 行目の走査信号 G 1 の波形を示し、図 14（c）は 2 行目の走査信号 G 2 の波形を示している。図 14（d）は、対向電極を駆動する対向電極駆動信号 V C O M および補助容量配線を駆動する補助容量配線駆動信号 V C S の波形を示している。図 14（e）は 1 行目の走査信号線と X 列目の映像信号線との交差点に対応して設けられている画素形成部（以下、i 行目の走査信号線と X 列目の映像信号線との交差点に対応して設けられている画素形成部を「第 i の画素形成部」という。）の画素電極の電位 V P 1 の波形を示し、図 14（f）は第 1 の画素形成部における液晶層への印加電圧 V 1 の波形を示している。図 14（g）は 2 行目の走査信号線と X 列目の映像信号線との交差点に対応して設けられている第 2 の画素形成部の画素電極の電位 V P 2 の波形を示し、図 14（h）は第 2 の画素形成部における液晶層への印加電圧 V 2 の波形を示している。

【0003】

図 14 において、時点 t 1 から時点 t 2 までの期間に着目すると、対向電極駆動信号 V C O M および補助容量配線駆動信号 V C S の電位はロウレベルとなっており、駆動用映像信号 V S の電位はハイレベルとなっている。また、この期間中、1 行目の走査信号 G 1 の電位はハイレベルになっている。これにより、時点 t 1 から時点 t 2 までの期間には、第 1 の画素形成部の画素容量への書き込みが行われる。このとき、図 14（a）に示すように駆動用映像信号 V S の電位が 4 V であれば、時点 t 2 には第 1 の画素形成部の画素電極の電位 V P 1 は 4 V となる。なお、本説明において、「ハイレベル」および「ロウレベル」の語はデジタル値としての「1」および「0」に対応する電圧レベルを表すために用いるのではなく、基準となる電位に対して極性が正になるものを「ハイレベル」、基準となる電位に対して極性が負になるものを「ロウレベル」という。

【0004】

時点 t 2 に走査信号 G 1 の電位がハイレベルからロウレベルに変化すると、第 1 の画素形成部内の T F T はオフ状態となり画素電極は電氣的に浮いた状態となる。この時、画素電極の電位 V P 1 は、T F T のゲート電極と画素電極との間の寄生容量の影響を受けて、例えば 3 . 5 V に低下する。一方、対向電極駆動信号 V C O M および補助容量配線駆動信号の電位 V C S は時点 t 2 にハイレベルとなる。ここで、上述のとおり第 1 の画素形成部の画素電極は電氣的に浮いた状態となっているので、対向電極駆動信号 V C O M の電位の上昇に伴って画素電極の電位 V P 1 も上昇する。対向電極駆動信号 V C O M の電位の上昇は 5 V であるので、第 1 の画素形成部の画素電極の電位 V P 1 は 3 . 5 V から 8 . 5 V に上昇する。

【0005】

その後、時点 t_4 までの期間、走査信号 G_1 の電位はロウレベルで維持される。このため、第 1 の画素形成部の画素電極の電位 V_{P1} は、対向電極駆動信号 V_{COM} の極性反転に伴って、 3.5 V の電位と 8.5 V の電位とが繰り返される。

【0006】

さらに、図 14 において、時点 t_4 から時点 t_5 までの期間に着目すると、対向電極駆動信号 V_{COM} および補助容量配線駆動信号 V_{CS} の電位はハイレベルとなっており、駆動用映像信号 V_S の電位はロウレベルとなっている。また、この期間中、1 行目の走査信号 G_1 の電位はハイレベルになっている。これにより、時点 t_4 から時点 t_5 までの期間には、再度、第 1 の画素形成部の画素容量への書き込みが行われる。このとき、図 14 (a) に示すように駆動用映像信号 V_S の電位が 0 V であれば、時点 t_5 には第 1 の画素形成部の画素電極の電位 V_{P1} は 0 V となる。

10

【0007】

時点 t_5 に走査信号 G_1 の電位がハイレベルからロウレベルに変化すると、画素電極の電位 V_{P1} は、TFT のゲート電極と画素電極との間の寄生容量の影響を受けて、例えば -0.5 V に低下する。一方、対向電極駆動信号 V_{COM} および補助容量配線駆動信号 V_{CS} の電位は時点 t_5 にロウレベルとなる。ここで、第 1 の画素形成部の画素電極は電気的に浮いた状態となっているので、対向電極駆動信号 V_{COM} の電位の低下に伴って画素電極の電位 V_{P1} も低下する。対向電極駆動信号 V_{COM} の電位の低下は 5 V であるので、第 1 の画素形成部の画素電極の電位 V_{P1} は -0.5 V から -5.5 V に低下する。

【0008】

20

その後、走査信号 G_1 の電位はロウレベルで維持されるので、第 1 の画素形成部の画素電極の電位 V_{P1} は、対向電極駆動信号 V_{COM} の極性反転に伴って、 -5.5 V の電位と -0.5 V の電位とが繰り返される。

【0009】

以上のように動作する結果、第 1 の画素形成部における液晶層への印加電圧 V_1 は図 14 (f) に示すように変化する。すなわち、印加電圧 V_1 については、大半の期間、 4.5 V の電圧あるいは -4.5 V の電圧が維持されている。同様にして、第 2 の画素形成部における液晶層への印加電圧 V_2 は図 14 (h) に示すように変化する。

【0010】

なお、特開 2001-282206 号公報には、不要な充放電電流を防いで消費電力を低減するために、対向電極をゲートバスラインと同数に分割し、分割された対向電極毎に任意の電圧を与える液晶表示装置の発明が開示されている。

30

【特許文献 1】特開 2001-282206 号公報

【特許文献 2】特開 2001-343666 号公報

【特許文献 3】特許第 3402277 号公報

【特許文献 4】特開平 4-359226 号公報

【特許文献 5】特開平 10-239710 号公報

【特許文献 6】特開平 11-142815 号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0011】

ところが、上述の駆動方法によると、画素電極の電位 V_{P1} が -5.5 V の期間には、当該画素電極の電位 V_{P1} と走査信号 G_1 の電位との電位差は 4.5 V にすぎない。このため、例えば a-Si (アモルファスシリコン) トランジスタのようにゲートオフに要するドレイン-ゲート間の電圧が大きい素子において、TFT が十分なオフ特性マージンを有していない場合や、トランジスタの閾値電圧が経時劣化によってマイナス側にシフトしている場合などには、電荷漏れが生じることがある。その結果、画素電極の電位 V_{P1} が負となるフレーム期間において、実効電圧が低下し、輝度低下等の表示上の不具合が生じることがある。また、特開 2001-282206 号公報には、上述した電荷漏れに起因する輝度低下については特に記載されていない。

50

【 0 0 1 2 】

そこで、本発明は、電荷漏れに起因する輝度低下を抑制することのできる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 3 】

第 1 の発明は、アクティブマトリクス型の液晶表示装置であって、
複数の走査信号線と複数の映像信号線とが格子状に配置された所定の基板と、
前記所定の基板上において前記複数の走査信号線と前記複数の映像信号線との交差点にそれぞれ対応して設けられた複数の画素電極と、

前記複数の画素電極との間に電圧を印加するために設けられた共通電極と、
前記複数の走査信号線と 1 対 1 で対応するように前記所定の基板上に設けられた複数の補助容量配線と、

前記複数の走査信号線を 1 水平走査期間ずつ順次に駆動するために複数の走査信号を出力する走査信号線駆動回路と、

前記複数の補助容量配線を駆動するために複数の補助容量配線駆動信号を出力する補助容量配線駆動回路と
を備え、

前記共通電極は、第 1 の所定数の走査信号線毎に設けられ、
各共通電極は、前記第 1 の所定数の補助容量配線と電気的に接続され、
前記補助容量配線駆動回路は、

各走査信号線に対応して設けられている補助容量配線を駆動する補助容量配線駆動信号を、当該各走査信号線に印加される走査信号の電圧レベルがハイレベルからロウレベルに変化する直前の時点以前の第 2 の所定数の水平走査期間以内に、前記画素電極と前記共通電極との間に印加されるべき電圧の極性に応じて決定される、予め定められた 2 つの電圧レベルのうちの一方の電圧レベルに変化させ、

1 フレーム期間のうちの少なくとも前記第 2 の所定数の水平走査期間を除く期間には前記補助容量配線駆動信号の電圧レベルを維持することを特徴とする。

【 0 0 1 4 】

第 2 の発明は、第 1 の発明において、
前記第 2 の所定数は、前記複数の走査信号線の数の 1 0 分の 1 の数であることを特徴とする。

【 0 0 1 5 】

第 3 の発明は、第 1 の発明において、
前記第 2 の所定数は、1 0 以下の数であることを特徴とする。

【 0 0 1 6 】

第 4 の発明は、第 1 の発明において、
前記第 2 の所定数は、5 以下の数であることを特徴とする。

【 0 0 1 7 】

第 5 の発明は、第 1 の発明において、
前記第 2 の所定数は、2 以下の数であることを特徴とする。

【 0 0 1 8 】

第 6 の発明は、第 1 から第 5 までのいずれかの発明において、
前記第 1 の所定数は、1 であることを特徴とする。

【 0 0 1 9 】

第 7 の発明は、第 1 から第 6 までのいずれかの発明において、
前記補助容量配線駆動回路は、前記補助容量配線駆動信号の電圧レベルを 1 フレーム期間毎にハイレベルとロウレベルとに変化させることを特徴とする。

【 0 0 2 0 】

第 8 の発明は、第 1 から第 6 までのいずれかの発明において、
前記補助容量配線駆動回路は、1 フレーム期間のうちの少なくとも前記第 2 の所定数の

水平走査期間を除く期間には前記補助容量配線駆動信号の電圧レベルを 0 V に維持することを特徴とする。

【0021】

第 9 の発明は、第 1 から第 8 までのいずれかの発明において、

前記走査信号線駆動回路は、複数の段からなり当該複数の段の各段より所定の間隔でパルス信号を出力するシフトレジスタを含み、

前記補助容量配線駆動回路は、前記シフトレジスタの各段より出力されたパルス信号に基づいて動作することを特徴とする。

【0022】

第 10 の発明は、第 1 から第 9 までのいずれかの発明において、

前記走査信号線駆動回路と前記補助容量配線駆動回路とは前記所定の基板上に形成されたドライバモノリシック型であることを特徴とする。

【発明の効果】

【0023】

上記第 1 の発明によれば、共通電極は第 1 の所定数の走査信号線毎に設けられている。また、各共通電極は第 1 の所定数の補助容量配線と電氣的に接続されているので、当該各共通電極の電位とそれ（共通電極）に接続されている補助容量配線の電位とは等しくなる。このため、第 1 の所定数毎に補助容量配線を駆動することによって、共通電極毎に信号波形を異ならせることができる。また、各補助容量配線駆動信号の電圧レベルについては、対応する走査信号の電圧レベルがハイレベルからロウレベルに変化する直前の時点以前の第 2 の所定数の水平走査期間以内に变化し、1 フレーム期間内の大半の期間には維持される。このため、画素電極にロウレベルの電圧が印加された後には、次に画素電極にハイレベルの電圧が印加される直前の期間を除いては、共通電極の電圧レベルの変化に伴って当該画素電極の電位がさらに低下することがない。これにより、走査信号の電圧レベルがロウレベルの期間中、当該走査信号の電圧レベルと画素電極の電圧レベルとの差を十分に保つことができる。その結果、電荷漏れに起因する表示不良の発生が抑制される。また、液晶層への印加電圧を大きくすることができるので、表示画像の高輝度化を図ることができる。

【0024】

上記第 2 の発明によれば、画素電極にハイレベルの電圧が印加される直前の期間に、走査信号の電圧レベルと画素電極の電圧レベルとの差が十分に確保されない期間を短くすることができる。このため、電荷漏れによる表示不良を効果的に抑制することができる。

【0025】

上記第 3 の発明によれば、上記第 2 の発明と同様、電荷漏れによる表示不良を効果的に抑制することができる。

【0026】

上記第 4 の発明によれば、上記第 2 の発明と同様、電荷漏れによる表示不良を効果的に抑制することができる。

【0027】

上記第 5 の発明によれば、上記第 2 の発明と同様、電荷漏れによる表示不良を効果的に抑制することができる。

【0028】

上記第 6 の発明によれば、共通電極は走査信号線と 1 対 1 で対応するように設けられる。このため、走査信号線毎に共通電極の信号波形を異ならせることができる。これにより、走査信号線毎のムラが生ずることなく、表示画面全体についての均一な輝度表示が実現される。

【0029】

上記第 7 の発明によれば、補助容量配線駆動信号の電圧レベルは 1 フレーム期間毎に変化する。このため、共通電極の電圧レベルの変化についての周波数が小さくなる。これにより、消費電力が低減され、音鳴りも低減される。

10

20

30

40

50

【 0 0 3 0 】

上記第 8 の発明によれば、大半の期間、補助容量配線駆動信号の電圧レベルは 0 V となる。このため、効果的に消費電力を低減することができる。

【 0 0 3 1 】

上記第 9 の発明によれば、走査信号線駆動回路と補助容量配線駆動回路とはシフトレジスタを共用している。このため、回路規模の増大が抑制され、例えば額縁領域の縮小化を図ることができる。また、製造不良の発生が抑制されるので、歩留まりが向上する。

【 0 0 3 2 】

上記第 10 の発明によれば、回路規模の増大が抑制され、例えば額縁領域の縮小化を図ることができる。

【発明を実施するための最良の形態】

【 0 0 3 3 】

以下、本発明の一実施形態について添付図面を参照しつつ説明する。

< 1 . 液晶表示装置の全体構成および動作 >

図 2 は、本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示制御回路 200 と、映像信号線駆動回路 300 と、走査側駆動回路 400 と、表示部 500 とを備えている。走査側駆動回路 400 には、シフトレジスタ 41 と補助容量配線駆動回路 42 とゲート駆動部 43 とが含まれている。表示部 500 には、複数本 (n 本) の映像信号線 $SL_1 \sim SL_n$ と、複数本 (m 本) の走査信号線 $GL_1 \sim GL_m$ と、それら複数本の映像信号線 $SL_1 \sim SL_n$ と複数本の走査信号線 $GL_1 \sim GL_m$ との交差点にそれぞれ対応して設けられた複数個 ($n \times m$ 個) の画素形成部と、各走査信号線 $GL_1 \sim GL_m$ に対応して設けられた補助容量配線 $CSL_1 \sim CSL_m$ と、各走査信号線 $GL_1 \sim GL_m$ に対応して設けられた対向電極 (共通電極) $TD_1 \sim TD_m$ とが含まれている。また、この液晶表示装置は対向する 1 対のガラス基板である第 1 のガラス基板 101 と第 2 のガラス基板 102 とを有している。映像信号線駆動回路 300 と走査側駆動回路 400 と映像信号線 $SL_1 \sim SL_n$ と走査信号線 $GL_1 \sim GL_m$ と補助容量配線 $CSL_1 \sim CSL_m$ とは第 1 のガラス基板 101 上に形成され、対向電極 $TD_1 \sim TD_m$ は第 2 のガラス基板 102 上に形成されている。また、補助容量配線 $CSL_1 \sim CSL_m$ と対向電極 $TD_1 \sim TD_m$ とは転移部 $TN_1 \sim TN_m$ で電気的に接続されている。

【 0 0 3 4 】

図 3 は、画素形成部の構成を示す回路図である。各画素形成部には、スイッチング素子としての TFT50 と、その TFT50 のドレイン端子に接続された画素電極 51 と、走査信号線 GL 毎に設けられた対向電極 TD および補助容量配線 CSL とが含まれている。画素電極 51 と対向電極 TD とによって液晶容量 53 が形成され、画素電極 51 と補助容量配線 CSL とによって補助容量 52 が形成されている。そして、液晶容量 53 と補助容量 52 とによって画素容量が構成されている。また、各 TFT50 のゲート端子は対応する交差点を通過する走査信号線 GL に接続され、各 TFT50 のソース端子は対応する交差点を通過する映像信号線 SL に接続されている。

【 0 0 3 5 】

次に、図 2 を参照しつつ、各構成要素の動作について説明する。表示制御回路 200 は、外部から送られるデータ信号 DAT とタイミング制御信号 TS とを受け取り、デジタル映像信号 DV と、表示部 500 に画像を表示するタイミングを制御するためのソーススタートパルス信号 SSP、ソースクロック信号 SCK、ラッチストロープ信号 LS、ゲートスタートパルス信号 GSP、ゲートクロック信号 GCK、および補助容量配線駆動用基準信号 VK を出力する。

【 0 0 3 6 】

映像信号線駆動回路 300 は、表示制御回路 200 から出力されるデジタル映像信号 DV、ソーススタートパルス信号 SSP、ソースクロック信号 SCK、およびラッチストロープ信号 LS を受け取り、表示部 500 内の各画素形成部の画素容量を充電するために駆

10

20

30

40

50

動用映像信号を各映像信号線 $SL1 \sim SLn$ に印加する。このとき、映像信号線駆動回路 300 では、ソースクロック信号 SCK のパルスが発生するタイミングで、各映像信号線 $SL1 \sim SLn$ に印加すべき電圧を示すデジタル映像信号 DV が順次に保持される。そして、ラッチストロブ信号 LS のパルスが発生するタイミングで、上記保持されたデジタル映像信号 DV がアナログ電圧に変換され、駆動用映像信号として全ての映像信号線 $SL1 \sim SLn$ に一斉に印加される。

【0037】

走査側駆動回路 400 は、表示制御回路 200 から出力されるゲートスタートパルス信号 GSP とゲートクロック信号 GCK と補助容量配線駆動用基準信号 VK とに基づいて、各走査信号線 $GL1 \sim GLm$ にアクティブな走査信号を印加するとともに各補助容量配線 $CSL1 \sim CSLm$ に交流の補助容量配線駆動信号を印加する。また、上述のとおり補助容量配線 $CSL1 \sim CSLm$ と対向電極 $TD1 \sim TDm$ とは転移部 $TN1 \sim TNm$ で電氣的に接続されているので、対向電極 $TD1 \sim TDm$ には補助容量配線駆動信号と同波形の対向電極駆動信号が印加される。

10

【0038】

以上のようにして、各映像信号線 $SL1 \sim SLn$ に駆動用映像信号が印加され、各走査信号線 $GL1 \sim GLm$ に走査信号が印加され、各対向電極 $TD1 \sim TDm$ に対向電極駆動信号が印加されることにより、表示部 500 に画像が表示される。

【0039】

< 2 . 対向電極の構成 >

20

図 1 は、本実施形態における対向電極の構成を模式的に示す平面図である。図 1 に示すように、この液晶表示装置においては、 m 本の補助容量配線 $CSL1 \sim CSLm$ が補助容量配線駆動回路 42 から走査信号線（不図示）と平行に伸びるように形成されている。それら補助容量配線 $CSL1 \sim CSLm$ と 1 対 1 で対応するように対向電極 $TD1 \sim TDm$ が設けられている。対向電極 $TD1 \sim TDm$ はそれぞれ互いに分離されている。また、各対向電極 $TD1 \sim TDm$ は、走査信号線が延びる方向を長辺とし、映像信号線が延びる方向を短辺とするほぼ長方形の形状をしている。

【0040】

図 4 は、図 1 の A - A 線断面図である。図 4 に示すように、補助容量配線駆動回路 42 と補助容量配線 CSL とは第 1 のガラス基板 101 に形成され、対向電極 TD は第 2 のガラス基板 102 に形成されている。補助容量配線 CSL と対向電極 TD とは、対向電極 TD の端部近傍の転移部 TN で電氣的に接続されている。この転移部 TN は、例えばシール材に含有された金などの導電性ペースで形成されている。

30

【0041】

< 3 . 走査側駆動回路の構成および動作 >

図 5 は、本実施形態における走査側駆動回路 400 の構成を示すブロック図である。この走査側駆動回路 400 は、シフトレジスタ 41 と補助容量配線駆動回路 42 とゲート駆動部 43 とを備えている。なお、シフトレジスタ 41 とゲート駆動部 43 とによって走査信号線駆動回路が実現されている。補助容量配線駆動回路 42 には、各補助容量配線 $CSL1 \sim CSLm$ と 1 対 1 で対応するようにクロックインバータ $CLI1 \sim CLIm$ が設けられている。ゲート駆動部 43 には、各走査信号線 $GL1 \sim GLm$ と 1 対 1 で対応するようにレベルシフタ $LVS1 \sim LVS m$ が設けられている。

40

【0042】

シフトレジスタ 41 には、ゲートスタートパルス信号 GSP とゲートクロック信号 GCK とが入力される。シフトレジスタ 41 は、これらの信号 GSP 、 GCK に基づき、ゲートスタートパルス信号 GSP に含まれるパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じて、シフトレジスタ 41 からパルス信号 $PLS0 \sim PLS m$ が順次に出力される。

【0043】

図 6 は、補助容量配線駆動回路 42 内のクロックインバータ CLI の動作について説

50

明するための図である。このクロックドインバータC L Iには入力信号I Nとクロック信号C L Kとが入力される。また、このクロックドインバータC L Iからは出力信号O U Tが出力される。クロック信号C L Kの電位がハイレベルの時には、このクロックドインバータC L Iはインバータ回路として機能する。すなわち、クロック信号C L Kの電位がハイレベルの時には、入力信号I Nの電位がハイレベルであれば出力信号O U Tの電位はロウレベルとなり、入力信号I Nの電位がロウレベルであれば出力信号O U Tの電位はハイレベルとなる。一方、クロック信号C L Kの電位がロウレベルの時には、出力信号O U Tの出力レベルは維持される。

【0044】

本実施形態では、図5に示すように、クロックドインバータC L I 1には、図6に示したクロック信号C L Kとしてパルス信号P L S 0が入力され、図6に示した入力信号I Nとして補助容量配線駆動用基準信号V Kが入力される。そして、クロックドインバータC L I 1からは、図6に示した出力信号O U Tとして補助容量配線駆動信号V C S 1が出力される。また、クロックドインバータC L I 2 ~ C L I mには、図6に示したクロック信号C L Kとしてパルス信号P L S 1 ~ P L S m - 1が入力され、図6に示した入力信号I Nとして補助容量配線駆動信号V C S 1 ~ V C S m - 1が入力される。そして、クロックドインバータC L I 2 ~ C L I mからは、図6に示した出力信号O U Tとして補助容量配線駆動信号V C S 2 ~ V C S mが出力される。

10

【0045】

レベルシフタL V S 1 ~ L V S mは、シフトレジスタ41から出力されるパルス信号P L S 1 ~ P L S mを受け取り、その電圧レベルを変換して走査信号G 1 ~ G mとして出力する。

20

【0046】

< 4 . 駆動方法 >

次に、本実施形態における駆動方法について説明する。図7は、本実施形態における駆動方法を説明するための信号波形図である。本実施形態では、ハイレベルの電位とロウレベルの電位とが1フレーム期間毎に交互に現れる補助容量配線駆動用基準信号V KがクロックドインバータC L I 1に与えられる。なお、以下においては、図7 (e)に示すように、補助容量配線駆動用基準信号V Kの電位は、時点t 1に - 1 V (ロウレベルの電位) から4 V (ハイレベルの電位) に変化し、時点t 6に4 Vから - 1 Vに変化するものとして説明する。また、本実施形態においては、第2の所定数が「2」となっている。

30

【0047】

まず、クロックドインバータC L I 1についての入出力信号に着目する。図7 (b)に示すように、時点t 2にパルス信号P L S 0の電位がハイレベルになると、そのハイレベルの状態が時点t 3まで維持される。時点t 2から時点t 3までの期間には、図7 (e)に示すように補助容量配線駆動用基準信号V Kの電位は4 Vになっているので、クロックドインバータC L I 1から出力される補助容量配線駆動信号V C S 1の電位は - 1 Vとなる。

【0048】

時点t 3にパルス信号P L S 0の電位がロウレベルになると、そのロウレベルの状態が時点t 7まで維持される。上述のように時点t 3には補助容量配線駆動信号V C S 1の電位は - 1 Vとなっているので、時点t 3から時点t 7までの期間には、補助容量配線駆動信号V C S 1の電位は - 1 Vで維持される。

40

【0049】

時点t 7にパルス信号P L S 0の電位がハイレベルになると、そのハイレベルの状態が時点t 8まで維持される。時点t 7から時点t 8までの期間には、図7 (e)に示すように補助容量配線駆動用基準信号V Kの電位は - 1 Vになっているので、補助容量配線駆動信号V C S 1の電位は4 Vとなる。

【0050】

以上のようにして、補助容量配線駆動信号V C S 1の波形は、図7 (f)に示すような

50

ものとなる。また、図 1 に示したように補助容量配線 C S L 1 と対向電極 T D 1 とは転移部 T N 1 で電氣的に接続されているので、図 7 (f) に示すように、対向電極駆動信号 V C O M 1 の電位と補助容量配線駆動信号 V C S 1 の電位とは同じになる。

【 0 0 5 1 】

次に、クロックドインバータ C L I 2 についての入出力信号に着目する。図 7 (c) に示すように、時点 t 3 にパルス信号 P L S 1 の電位がハイレベルになると、そのハイレベルの状態が時点 t 4 まで維持される。時点 t 3 から時点 t 4 までの期間には、図 7 (f) に示すように補助容量配線駆動信号 V C S 1 の電位は - 1 V になっているので、クロックドインバータ C L I 2 から出力される補助容量配線駆動信号 V C S 2 の電位は 4 V となる。なお、図 7 (c) にはパルス信号 P L S 1 と走査信号 G 1 とを同波形で示しているが、

10

【 0 0 5 2 】

時点 t 4 にパルス信号 P L S 1 の電位がロウレベルになると、そのロウレベルの状態が時点 t 8 まで維持される。上述のように時点 t 4 には補助容量配線駆動信号 V C S 2 の電位は 4 V となっているので、時点 t 4 から時点 t 8 までの期間には、補助容量配線駆動信号 V C S 2 の電位は 4 V で維持される。

【 0 0 5 3 】

時点 t 8 にパルス信号 P L S 1 の電位がハイレベルになると、そのハイレベルの状態が時点 t 9 まで維持される。時点 t 8 から時点 t 9 までの期間には、図 7 (f) に示すように補助容量配線駆動信号 V C S 1 の電位は 4 V になっているので、補助容量配線駆動信号 V C S 2 の電位は - 1 V となる。

20

【 0 0 5 4 】

以上のようにして、補助容量配線駆動信号 V C S 2 の波形は、図 7 (g) に示すようなものとなる。また、図 1 に示したように補助容量配線 C S L 2 と対向電極 T D 2 とは転移部 T N 2 で電氣的に接続されているので、図 7 (g) に示すように、対向電極駆動信号 V C O M 2 の電位と補助容量配線駆動信号 V C S 2 の電位とは同じになる。

【 0 0 5 5 】

次に、第 1 の画素形成部に着目する。時点 t 2 になると、対向電極駆動信号 V C O M 1 の電位が 4 V から - 1 V に低下するのに伴い、画素電極 5 1 の電位 V P 1 は - 0 . 5 V から - 5 . 5 V に低下する。時点 t 3 に走査信号 G 1 の電位がハイレベルになると、そのハイレベルの状態が時点 t 4 まで維持される。時点 t 3 から時点 t 4 までの期間には、図 7 (a) に示すように駆動用映像信号 V S の電位は 4 V になっているので、画素電極 5 1 の電位 V P 1 は 4 V となる。

30

【 0 0 5 6 】

時点 t 4 になると、走査信号 G 1 の電位はハイレベルからロウレベルに変化する。この時、画素電極 5 1 の電位 V P 1 は、T F T 5 0 のゲート電極と画素電極 5 1 との間の寄生容量の影響を受けて、4 V から 3 . 5 V に低下する。画素電極 5 1 の電位 V P 1 が 3 . 5 V に低下した後、時点 t 7 までの期間には、対向電極駆動信号 V C O M 1 の電位は - 1 V で維持されており、かつ、走査信号 G 1 の電位はロウレベルで維持されている。従って、画素電極 5 1 の電位 V P 1 が 3 . 5 V に低下した後、時点 t 7 までの期間には、画素電極 5 1 の電位 V P 1 は 3 . 5 V で維持される。

40

【 0 0 5 7 】

時点 t 7 になると、対向電極駆動信号 V C O M 1 の電位が - 1 V から 4 V に上昇するのに伴い、画素電極 5 1 の電位 V P 1 は 3 . 5 V から 8 . 5 V に上昇する。時点 t 8 に走査信号 G 1 の電位がハイレベルになると、そのハイレベルの状態が時点 t 9 まで維持される。時点 t 8 から時点 t 9 までの期間には、図 7 (a) に示すように駆動用映像信号 V S の電位は 0 V になっているので、画素電極 5 1 の電位 V P 1 は 0 V となる。

【 0 0 5 8 】

時点 t 9 になると、走査信号 G 1 の電位はハイレベルからロウレベルに変化する。この時、画素電極 5 1 の電位 V P 1 は、T F T 5 0 のゲート電極と画素電極 5 1 との間の寄生

50

容量の影響を受けて、0 V から - 0.5 V に低下する。画素電極 51 の電位 V_{P1} が - 0.5 V に低下した後、対向電極駆動信号 V_{COM1} の電位は 4 V で維持されており、かつ、走査信号 $G1$ の電位はロウレベルで維持されている。従って、画素電極 51 の電位 V_{P1} が - 0.5 V に低下した後、画素電極 51 の電位 V_{P1} は - 0.5 V で維持される。

【0059】

以上のようにして、第1の画素形成部の画素電極 51 の電位 V_{P1} は、図7(h)に示すように変化する。その結果、第1の画素形成部の液晶層に印加される電圧 $V1$ は、図7(i)に示すように変化する。

【0060】

次に、第2の画素形成部に着目する。時点 $t3$ になると、対向電極駆動信号 V_{COM2} の電位が - 1 から 4 V に上昇するのに伴い、画素電極 51 の電位 V_{P2} は 3.5 V から 8.5 V に上昇する。時点 $t4$ に走査信号 $G2$ の電位がハイレベルになると、そのハイレベルの状態が時点 $t5$ まで維持される。時点 $t4$ から時点 $t5$ までの期間には、図7(a)に示すように駆動用映像信号 V_S の電位は 0 V になっているので、画素電極 51 の電位 V_{P2} は 0 V となる。

10

【0061】

時点 $t5$ になると、走査信号 $G2$ の電位はハイレベルからロウレベルに変化する。この時、画素電極 51 の電位 V_{P2} は、 $TFT50$ のゲート電極と画素電極 51 との間の寄生容量の影響を受けて、0 V から - 0.5 V に低下する。画素電極 51 の電位 V_{P2} が - 0.5 V に低下した後、時点 $t8$ までの期間には、対向電極駆動信号 V_{CS2} の電位は 4 V で維持されており、かつ、走査信号 $G2$ の電位はロウレベルで維持されている。従って、画素電極 51 の電位 V_{P2} が - 0.5 V に低下した後、時点 $t8$ までの期間には、画素電極 51 の電位 V_{P2} は - 0.5 V で維持される。

20

【0062】

時点 $t8$ になると、対向電極駆動信号 V_{COM2} の電位が 4 V から - 1 V に低下するのに伴い、画素電極 51 の電位 V_{P2} は - 0.5 V から - 5.5 V に低下する。時点 $t9$ に走査信号 $G2$ の電位がハイレベルになると、そのハイレベルの状態が時点 $t10$ まで維持される。時点 $t9$ から時点 $t10$ までの期間には、図7(a)に示すように駆動用映像信号 V_S の電位は 4 V になっているので、画素電極 51 の電位 V_{P2} は 4 V となる。

【0063】

30

時点 $t10$ になると、走査信号 $G2$ の電位はハイレベルからロウレベルに変化する。この時、画素電極 51 の電位 V_{P2} は、 $TFT50$ のゲート電極と画素電極 51 との間の寄生容量の影響を受けて、4 V から 3.5 V に低下する。画素電極 51 の電位 V_{P2} が 3.5 V に低下した後、対向電極駆動信号 V_{CS2} の電位は - 1 V で維持されており、かつ、走査信号 $G2$ の電位はロウレベルで維持されている。従って、画素電極 51 の電位 V_{P2} が 3.5 V に低下した後、画素電極 51 の電位 V_{P2} は 3.5 V で維持される。

【0064】

以上のようにして、第2の画素形成部の画素電極 51 の電位 V_{P2} は、図7(j)に示すように変化する。その結果、第2の画素形成部の液晶層に印加される電圧 $V2$ は、図7(k)に示すように変化する。

40

【0065】

< 5. 効果 >

従来、対向電極は分割されていなかった（全ての走査信号線に共通的に設けられた1つの対向電極が存在していた）ので、走査信号線 $GL1 \sim GLm$ 毎に画素形成部への書き込みが行われるようにするため、対向電極は1水平走査期間毎に交流駆動されていた。一方、本実施形態によると、走査信号線 $GL1 \sim GLm$ と1対1で対応するように対向電極 $TD1 \sim TDM$ が設けられているので、走査信号線 $GL1 \sim GLm$ 毎に、対向電極 $TD1 \sim TDM$ の電位の変化を異ならせることができる。このため、従来は1水平走査期間毎に対向電極を交流駆動させる構成にしていたが、本実施形態では1フレーム期間毎に対向電極を交流駆動させる構成にすることができる。これにより、例えば図7(h)の時点 $t9$ 以

50

降のように、第 1 の画素形成部における画素電極の電位 V_{P1} がロウレベルにあるときに、対向電極の電位の低下に伴って当該画素電極の電位 V_{P1} が低下することはない。第 2 以降の画素形成部における画素電極の電位についても同様である。その結果、画素電極の電位と走査信号の電位との電位差が小さくなることを抑制することができ、電荷漏れによる表示不良が抑制される。また、駆動用映像信号の振幅や対向電極駆動信号の振幅を大きくしても電荷漏れが生じないので、液晶層への印加電圧を大きくすることができ、高輝度化を図ることができる。

【0066】

また、上述のように本実施形態によると 1 フレーム期間毎に対向電極を交流駆動させる構成にすることができるので、1 水平走査期間毎に対向電極を交流駆動させる従来の構成に比べて消費電力が低減され、パネルからの音鳴りも低減される。

10

【0067】

さらに、本実施形態では、走査側駆動回路 400 に補助容量配線駆動回路 42 とゲート駆動部 43 とが含まれ、補助容量配線駆動回路 42 とゲート駆動部 43 とはシフトレジスタ 41 を共用している。このため、回路規模の増大が抑制されるので、額縁領域の縮小化を図ることができる。また、ドライバ（駆動回路）に起因する製造不良の発生を抑制することができ、歩留まりが向上する。

【0068】

< 6 . 変形例 >

< 6 . 1 第 1 の変形例 >

20

上記実施形態の第 1 の変形例について、図 8 および図 9 を参照しつつ説明する。図 8 は、本変形例における走査側駆動回路 400 の構成を示すブロック図であり、図 9 は、本変形例における信号波形図である。上記実施形態においては、図 5 に示すように、各補助容量配線 $CSL1 \sim CSLm$ と対応付けられているクロックインバータ $CLI1 \sim CLIm$ には、その 1 行前の走査信号線に与えられるパルス信号 $PLS0 \sim PLSm - 1$ がクロック信号 CLK として入力されていた。また、上記実施形態においては、図 7 (e) に示すように、補助容量配線駆動用基準信号 V_K の電位は、時点 t_1 にロウレベルからハイレベルに変化し、時点 t_6 にハイレベルからロウレベルに変化していた。一方、本変形例においては、各補助容量配線 $CSL1 \sim CSLm$ と対応付けられているクロックインバータ $CLI1 \sim CLIm$ には、それらと同じ行の走査信号線に与えられるパルス信号 $PLS1 \sim PLSm$ がクロック信号 CLK として入力される。また、補助容量配線駆動用基準信号 V_K の電位は、時点 t_2 にロウレベルからハイレベルに変化し、時点 t_7 にハイレベルからロウレベルに変化している。すなわち、上記実施形態と比べると、1 水平走査期間だけ補助容量配線駆動用基準信号 V_K の電位の変化が遅れている。従って、本変形例においては、第 2 の所定数が「1」となっている。

30

【0069】

本変形例に係る駆動方法によっても、図 9 (g) や図 9 (i) に示すように、1 水平走査期間毎の対向電極の交流駆動に起因して画素電極の電位と走査信号の電位との電位差が小さくなるということはない。さらに詳しく説明すると、各走査信号 $G1 \sim Gm$ の電位がハイレベルからロウレベルに変化する時点までに当該各走査信号 $G1 \sim Gm$ に対応する対向電極 $TD1 \sim TDM$ の極性反転が終了していれば良い。但し、対向電極の極性反転が終了した時点から当該対向電極に対応する走査信号の電位がロウレベルからハイレベルに変化する時点までの期間が長くなると、画素電極の電位と走査信号の電位との電位差が小さくなる期間が長くなるので好ましくない。

40

【0070】

なお、上記実施形態では「第 2 の所定数」が「2」、上記第 1 の変形例では「第 2 の所定数」が「1」となっているが、本発明はこれに限定されない。例えば、「第 2 の所定数」を走査信号線 $GL1 \sim GLm$ の本数の「10 分の 1」にしたり、「第 2 の所定数」を「10 以下の数」にするなどして、「第 2 の所定数」を十分に小さい値にすれば良い。また、「第 2 の所定数」を「5 以下の数」、さらには「2 以下の数」にすることで電荷漏れを

50

更に効果良く抑制することができる。

【 0 0 7 1 】

< 6 . 2 第 2 の 変 形 例 >

上記実施形態の第 2 の変形例について、図 1 0 および図 1 1 を参照しつつ説明する。図 1 0 は、本変形例における走査側駆動回路 4 0 0 の構成を示すブロック図であり、図 1 1 は、本変形例における信号波形図である。本変形例に係る走査側駆動回路 4 0 0 の補助容量配線駆動回路 4 2 には、各補助容量配線 C S L 1 ~ C S L m に対応するようにして、S R 型フリップフロップ回路 S R F F 1 ~ m と、クロックインバータ C L I 1 ~ C L I m と、インバータ I N V a 1 ~ I N V a m、I N V b 1 ~ I N V b m と、AND 回路 A N D a 1 ~ A N D a m、A N D b 1 ~ A N D b m と、スイッチ S W a 1 ~ S W a m、S W b 1 ~ S W b m、S W c 1 ~ S W c m とが設けられている。

10

【 0 0 7 2 】

1 行目に着目して説明すると、S R 型フリップフロップ回路 S R F F 1 のセット端子にはパルス信号 P L S 0 が入力され、リセット端子にはパルス信号 P L S 2 が入力される。その結果、出力端子からは図 1 1 (f) に示すような信号 S R O 1 が出力される。その信号 S R O 1 は、AND 回路 A N D a 1、A N D b 1 に与えられるとともに、インバータ I N V a 1 に与えられる。クロックインバータ C L I 1 には、クロック信号としてパルス信号 P L S 0 が入力され、入力信号として補助容量配線駆動用基準信号 V K が入力される。その結果、クロックインバータ C L I 1 からは、図 1 1 (g) に示すような信号 C I O 1 が出力される。その信号 C I O 1 は AND 回路 A N D a 1 に与えられるとともに、その信号 C I O 1 の反転信号が AND 回路 A N D b 1 に与えられる。スイッチ S W a 1 にはグラウンド電位 G N D が与えられ、スイッチ S W b 1 には高電位 V c s H が与えられ、スイッチ S W c 1 には低電位 V c s L が与えられる。また、インバータ I N V a 1 からの出力信号がスイッチ S W a 1 のオン / オフを制御し、AND 回路 A N D a 1 からの出力信号がスイッチ S W b 1 のオン / オフを制御し、AND 回路 A N D b 1 からの出力信号がスイッチ S W c 1 のオン / オフを制御する。

20

【 0 0 7 3 】

以上のような構成により、補助容量配線駆動信号 V C S 1 の電位と対向電極駆動信号 V C O M 1 の電位の変化は、図 1 1 (h) に示すようなものとなる。上記実施形態においては、図 7 (f)、(g) に示すように、補助容量配線駆動信号 V C S および対向電極駆動信号 V C O M は 1 フレーム期間毎に 4 V の電位と - 1 V の電位とが現れる信号とされていた。一方、本変形例においては、補助容量配線駆動信号 V C S および対向電極駆動信号 V C O M の電位は、0 V を基準として所定の範囲内で変化している。このように、本変形例によれば、大半の期間、補助容量配線駆動信号 V C S および対向電極駆動信号 V C O M の電位が 0 V となるので、効果的に消費電力が低減される。

30

【 0 0 7 4 】

< 6 . 3 第 3 の 変 形 例 >

上記実施形態においては、走査側駆動回路 4 0 0 に補助容量配線 C S L 1 ~ C S L m を駆動するための補助容量配線駆動回路 4 2 と走査信号線 G L 1 ~ G L m を駆動するためのゲート駆動部 4 3 とが含まれ、補助容量配線駆動回路 4 2 とゲート駆動部 4 3 とがシフトレジスタ 4 1 を共用する構成となっているが、本発明はこれに限定されず、補助容量配線駆動回路 4 2 は走査側駆動回路 4 0 0 に含まれていなくても良い。例えば、各補助容量配線 C S L 1 ~ C S L m と 1 対 1 で対応するように、図 1 2 に示すような選択回路 4 5 を備える構成にしても良い。この場合、選択回路 4 5 には 4 V と - 1 V の電位を与え、選択信号 S E L によって 1 フレーム期間毎に 4 V と - 1 V とを交互に選択し、当該選択された電位の信号を補助容量配線駆動信号 V C S として出力すれば良い。

40

【 0 0 7 5 】

< 6 . 4 第 4 の 変 形 例 >

上記実施形態においては、補助容量配線 C S L 1 ~ C S L m と 1 対 1 で対応するように対向電極 T D 1 ~ T D m が設けられているが、本発明はこれに限定されない。例えば、図

50

13に示すように、3本の補助容量配線毎に1つの対向電極を備える構成にすることもできる。この場合、補助容量配線を3本毎に駆動することによって、各対向電極の信号波形を異ならせることができる。また、補助容量配線駆動信号および抵抗電極駆動信号の極性反転は、それら3本の補助容量配線のうち最後に駆動されるものに対応する走査信号がハイレベルからロウレベルに変化する直前の時点以前の所定期間（第2の所定数の水平走査期間以内）に行われれば良い。

【0076】

< 6.5 その他 >

上記実施形態においては、画素電極と対向電極とがそれぞれ異なるガラス基板に設けられていることを前提にして説明しているが、本発明はこれに限定されず、両電極が同一の基板に設けられたIPS(In-Plane-Switching)方式の液晶表示装置にも適用することができる。

【図面の簡単な説明】

【0077】

【図1】本発明の一実施形態における対向電極の構成を模式的に示す平面図である。

【図2】上記実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図3】上記実施形態において、画素形成部の構成を示す回路図である。

【図4】図1のA-A線断面図である。

【図5】上記実施形態における走査側駆動回路の構成を示すブロック図である。

【図6】上記実施形態において、補助容量配線駆動回路内のクロックインバータの動作について説明するための図である。

【図7】上記実施形態における駆動方法を説明するための信号波形図である。

【図8】上記実施形態の第1の変形例における走査側駆動回路の構成を示すブロック図である。

【図9】上記実施形態の第1の変形例における信号波形図である。

【図10】上記実施形態の第2の変形例における走査側駆動回路の構成を示すブロック図である。

【図11】上記実施形態の第2の変形例における信号波形図である。

【図12】上記実施形態の第3の変形例において、選択回路について説明するための図である。

【図13】上記実施形態の第4の変形例における対向電極の構成を模式的に示す平面図である。

【図14】従来例における駆動方法を説明するための信号波形図である。

【符号の説明】

【0078】

41...シフトレジスタ

42...補助容量配線駆動回路

43...ゲート駆動部

51...画素電極

101...第1のガラス基板

102...第2のガラス基板

200...表示制御回路

300...映像信号線駆動回路

400...走査側駆動回路

500...表示部

CLI1~CLIm...クロックインバータ

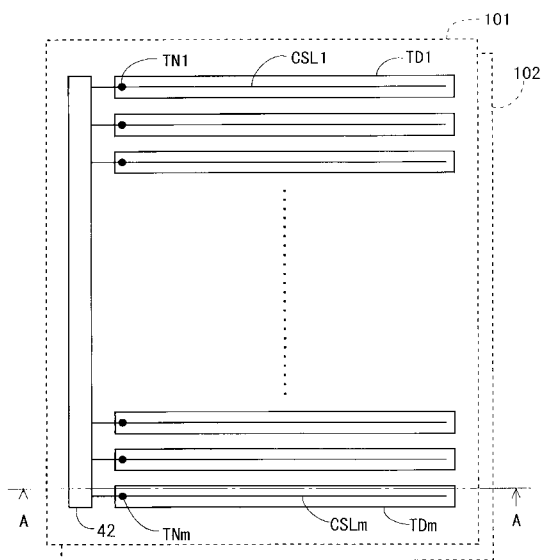
CSL1~CSLm...補助容量配線

GL1~GLm...走査信号線

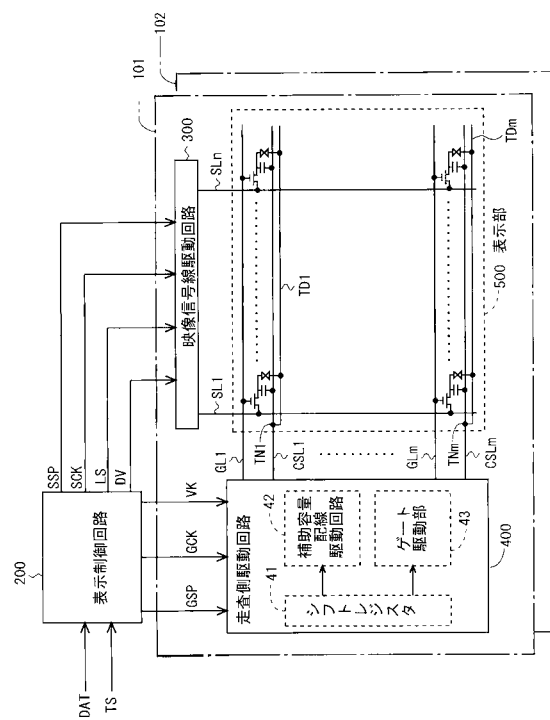
SL1~SLn...映像信号線

T D 1 ~ T D m ... 対向電極
 T N ... 転移部
 L V S ... レベルシフタ

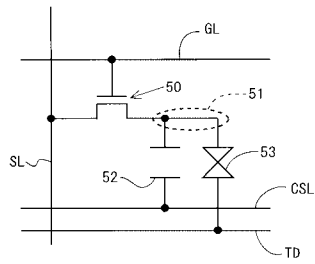
【図 1】



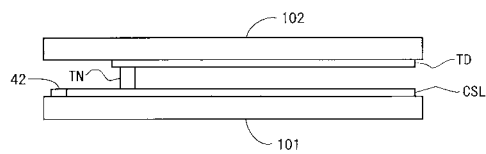
【図 2】



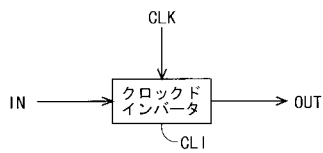
【図 3】



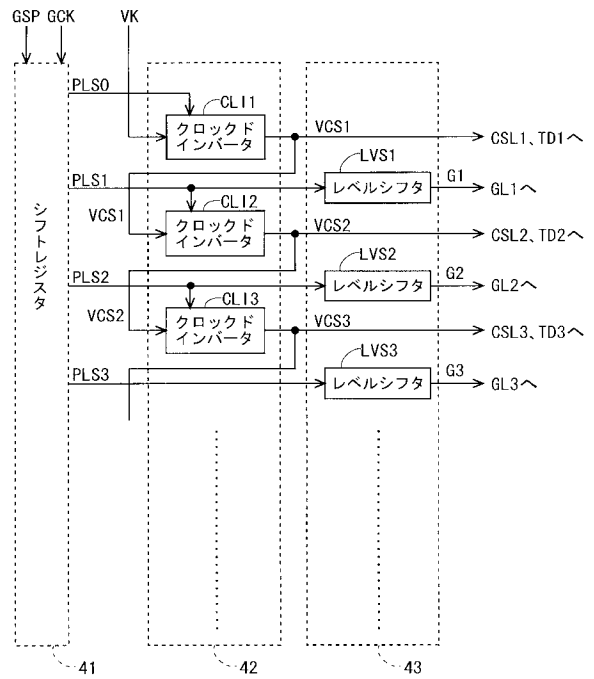
【図 4】



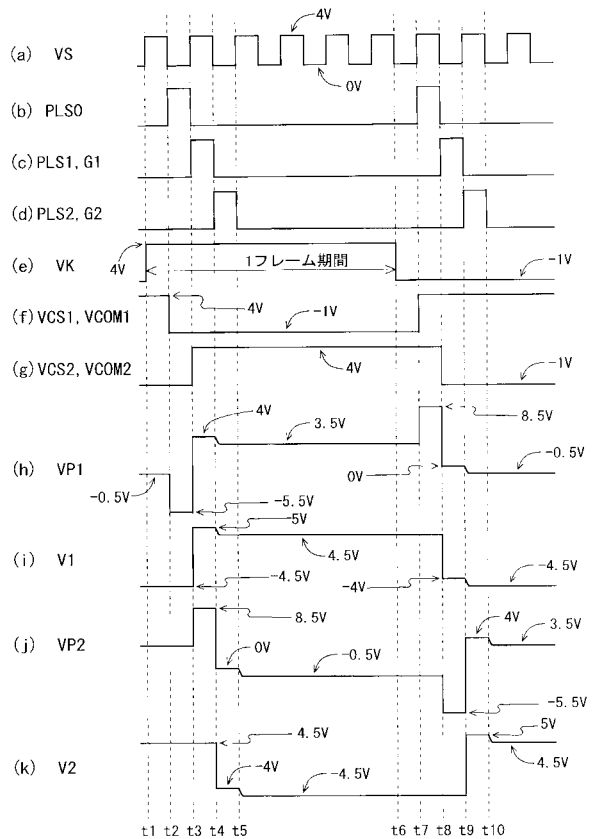
【図 6】



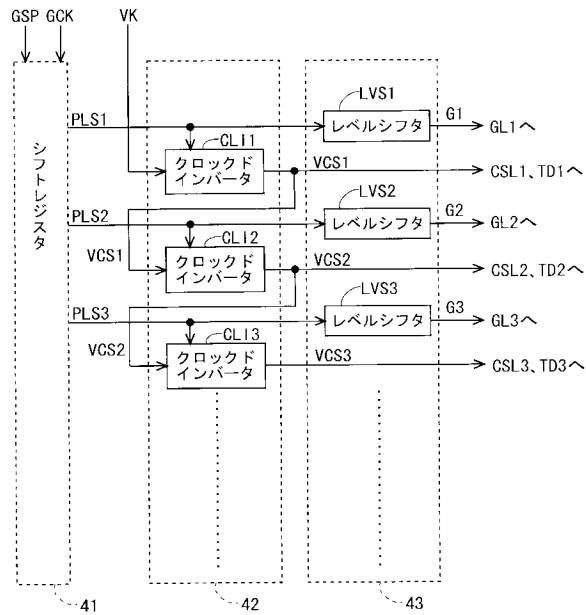
【図 5】



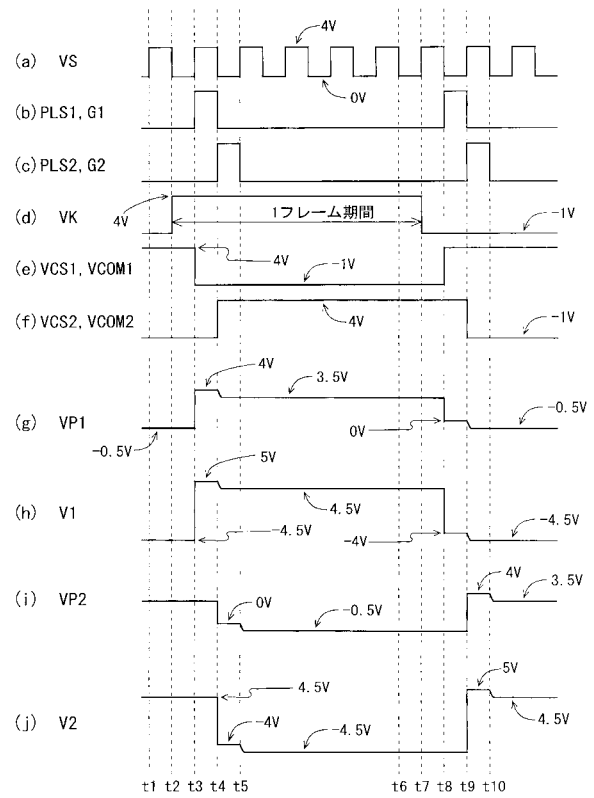
【図 7】



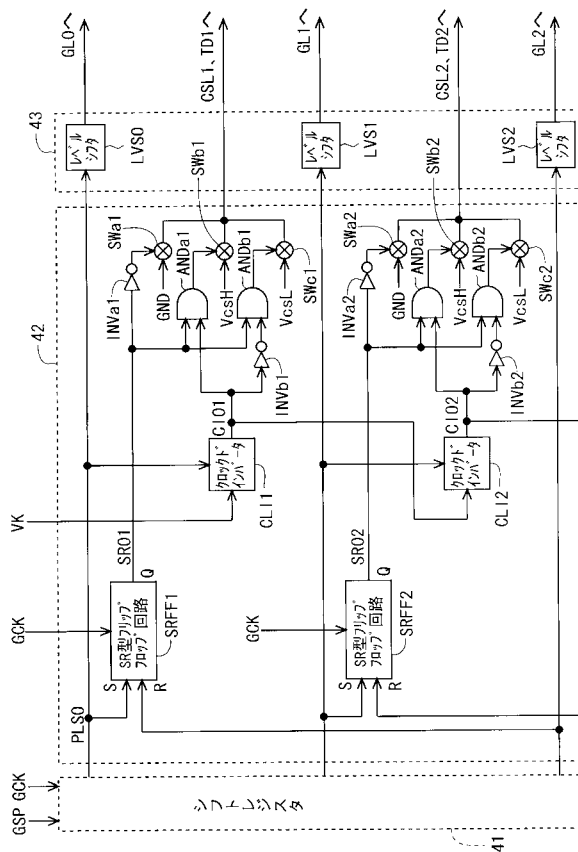
【図 8】



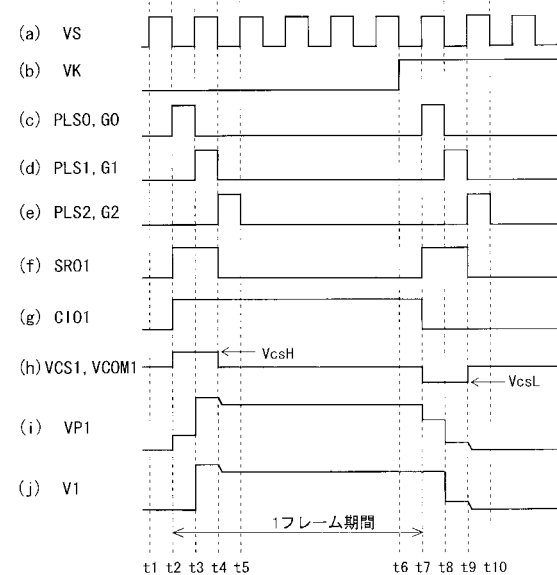
【図 9】



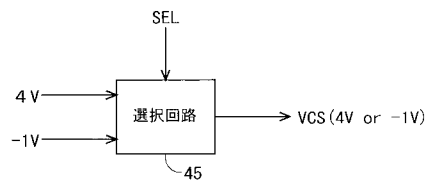
【図 10】



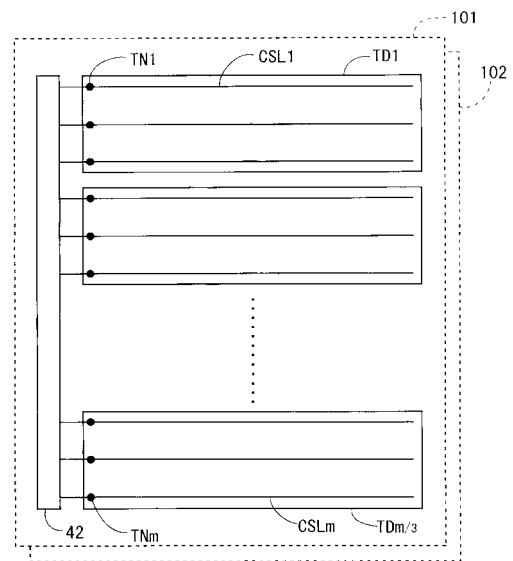
【図 11】



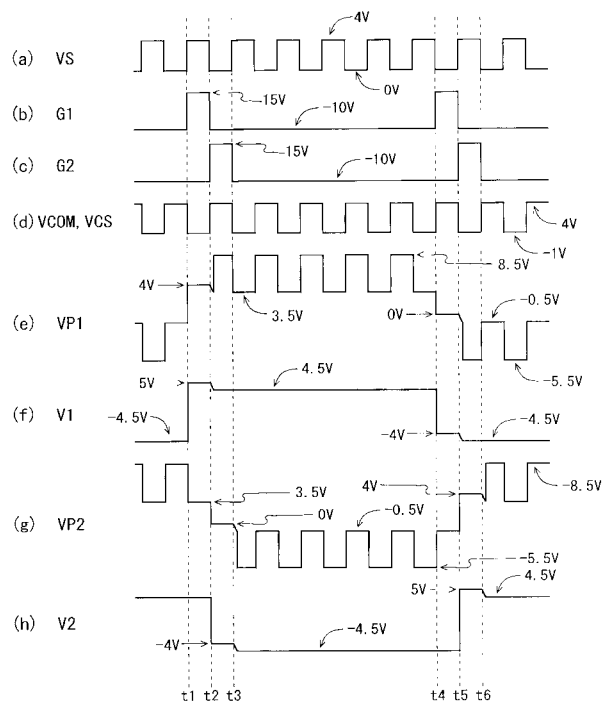
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 2 E
	G 0 9 G 3/20	6 4 2 A

F ターム(参考) 5C080 AA10 BB05 DD05 DD12 DD26 EE29 FF07 FF11 JJ02 JJ03
JJ04 JJ06

要解决的问题：提供能够抑制由于电荷泄漏引起的亮度劣化的液晶显示器。ŽSOLUTION：对电极TD1-TDm设置在第二基板102上，以便与辅助电容配线CSL1-CSLm一一对应。辅助电容配线CSL1-CSLm和对电极TD1-TDm在各个对电极的边缘部分附近的转印部分TN1-TNm处彼此电连接。辅助电容布线驱动电路42将辅助电容布线驱动信号施加到辅助电容布线CSL1-CSLm，其中在单个帧周期中交替的高电平电位和低电平电位交替。在每个扫描信号线的扫描信号的电位从高电平变为低电平之前，仅在预定时段中改变辅助电容布线驱动信号的电位。而在其他时段中，保持辅助电容布线驱动信号的电位。Ž

