

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-293023

(P2007-293023A)

(43) 公開日 平成19年11月8日(2007.11.8)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 575	2H093
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/34 (2006.01)	G09G 3/34 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 612U	
	G09G 3/20 642E	

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21) 出願番号 特願2006-120658 (P2006-120658)
 (22) 出願日 平成18年4月25日 (2006.4.25)

(71) 出願人 000103747
 オプトレックス株式会社
 東京都荒川区東日暮里五丁目7番18号
 (74) 代理人 100103090
 弁理士 岩壁 冬樹
 (74) 代理人 100124501
 弁理士 塩川 誠人
 (72) 発明者 川俣 昇寛
 東京都荒川区東日暮里5丁目7番18号
 オプトレックス株式会社内

F ターム(参考) 2H093 NA51 NC11 NC15 NC42 NC65
 ND03 ND04 ND05 ND06 ND58
 5C006 AF13 AF45 AF46 AF61 BB16
 BB29 BF14 EA01 FA54

最終頁に続く

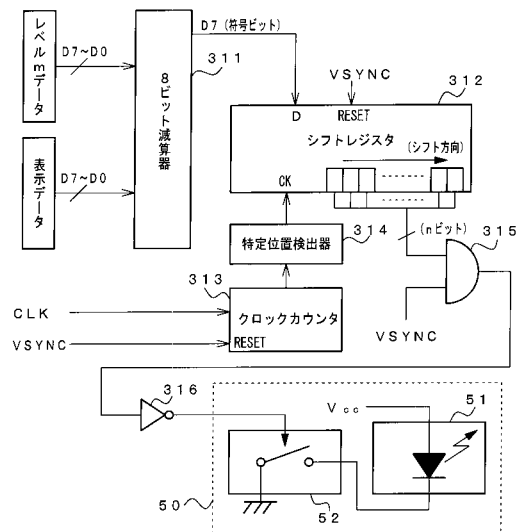
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示パネルの表示を黒表示にするように制御するにもかかわらず黒浮き等が生じてしまうという不具合をなくす。

【解決手段】 階調データ監視回路は、レベルmのデータの値から表示データの値を減算し、減算結果を出力する8ビット減算器311、CLK信号の出力回数すなわちクロック数をカウントするクロックカウンタ313、クロックカウンタ313のカウント値をあらかじめ決められている値と比較し、一致したら一致信号を出力する特定位置検出器314、一致信号が入力されたときに8ビット減算器311が出力したデータを取り込むとともに、取り込まれたデータをシフトするシフトレジスタ312、VSYNC信号が出力されたときにシフトレジスタ312のn(n:自然数)段のデータが全て「1」である場合に、バックライトを消灯させるために出力をハイレベルにする論理回路315を有する。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

液晶表示パネルと、液晶表示パネルを駆動する駆動回路とを備えた液晶表示装置において、

基準階調レベルを越える階調レベルが、基準階調レベル以下の階調レベルよりも暗いレベルとされ、

表示画面における所定範囲の画素データのうちのあらかじめ定められた位置の複数の画素データの階調レベルと前記基準階調レベルとの比較結果を出力する比較部と、

前記比較部の比較結果が、所定数以上の画素データの階調レベルが前記基準階調レベルを越えたことを示している場合に、バックライトを消灯させる消灯制御部とを備えたことを特徴とする液晶表示装置。

10

【請求項 2】

液晶表示パネルと、液晶表示パネルを駆動する駆動回路とを備えた液晶表示装置において、

基準階調レベルを越える階調レベルが、基準階調レベル以下の階調レベルよりも暗いレベルとされ、

画素データの階調レベルと基準階調レベルとを比較する比較回路と、

あらかじめ定められた位置を示す信号を出力する特定位置検出器と、

前記特定位置検出器が出力した信号が示す位置の前記比較回路の比較結果を記憶する記憶回路と、

表示画面における所定範囲に対応する期間が経過したときに、前記記憶回路に記憶されていた全ての比較結果が前記基準階調レベルを越えたことを示している場合に、バックライトを消灯させる信号を出力する論理回路とを備えた

20

ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、液晶表示パネルの黒浮きの発生等を防止することができる液晶表示装置に関する。

【背景技術】

30

【0002】

TFT (Thin Film Transistor) 型液晶表示装置において、TN (Twisted Nematic) 液晶表示素子が広く用いられている。液晶表示素子としてTN素子を用いる場合、一般に、透過型の液晶表示パネルの構造は、液晶分子を含む液晶セルを封止している2枚の基板 (例えば、ガラス板) のそれぞれに、吸収軸方向が互いに直交している偏光板が貼り付けられた構造である。そして、偏光板と液晶分子とで、バックライトからの光を透過させるか遮断するか制御される。吸収軸方向が互いに直交している偏光板が用いられる場合には、液晶表示パネルはノーマリーホワイトモードの液晶表示パネルになる。

【0003】

ノーマリーホワイトモードの液晶表示パネルでは、電圧が印加されていないときに液晶分子はねじれ状態になり、液晶表示パネルは光を透過させる。ノーマリーブラックモードの液晶表示パネルとして、2枚の偏光板の吸収軸方向を揃えたものが用いられる。また、電圧が印加されていないときに液晶分子が垂直配向する垂直配向 (VA) 方式も用いられている。

40

【0004】

また、カラー表示を行う液晶表示装置等では階調制御を行う必要があるが、階調制御は、例えば、階調に応じて印加電圧の値を変え、液晶分子の複屈折の程度を制御することによって実現される。ノーマリーホワイトモードの液晶表示パネルを用いている場合には、低階調になるほど (黒表示に近づくほど)、印加電圧の値を高くして、液晶分子の配向を垂直配向に近づけていく。なお、本明細書では、最も暗い表示 (以下、黒表示という。) 50

が最も低い階調であり、最も明るい表示（以下、白表示という。）が最も高い階調であると表現する。

【0005】

液晶表示パネルで黒表示を行うときに、幕を張ったようにぼやっと明るくなる黒浮きが発生することがあることが知られている（例えば、特許文献1, 2参照。）。その原因は、印加電圧の値を黒表示に応じた最大値にしても、液晶セルの配向膜付近の液晶分子が水平配向のままになり、複屈折性によって光漏れが生ずるからである。

【0006】

【特許文献1】特開2003-255307号公報（段落0031）

【特許文献2】特開2005-115282号公報（段落0066）

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

図10は、例えば特許文献1に記載されているようなノーマリーホワイトモードの液晶表示パネルの透過率特性（以下、V-T特性という。）を模式的に示す説明図である。図10（A）,（B）において、縦軸は透過率を示し、横軸は液晶表示パネルへの印加電圧を示す。ただし、以下の説明において、ソース配線に印加される電圧の値が制御される。よって、図10（B）における横軸は、印加電圧値に応じたソース配線に印加される電圧値に相当するものとして説明を行う。図10（A）に示すように、電圧が高くなると、徐々に透過率が低くなる範囲（範囲A）があり、一般に、範囲Aにおいて、階調制御が行われ 20

【0008】

しかし、図10（A）に示すV-T特性は理想的な特性であり、図10（B）に示すように、液晶セルが、一旦透過率が最も低い状態になった後に、電圧の値を高くしていくと、再度透過率が高くなるような特性を示すことがある。すなわち、レベルmよりも階調レベルが低い（レベルを示す数としては大きい。）範囲Bのように、液晶セルに供給される電圧の値の上昇と透過率の低下とが整合しない範囲が生じうる。そのような特性を示す液晶セルを用いた場合、範囲Aで階調制御を行うと、黒表示に応じた電圧や黒表示に近い電圧を液晶セルに印加したときに、黒浮き、階調の逆転、コントラストの低下などが生ずる 30

【0009】

そこで、本発明は、液晶表示パネルの表示を黒表示にするように制御するにも関わらず黒浮き等が生じてしまうという不具合をなくすことができる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明による液晶表示装置は、基準階調レベルを越える階調レベルが基準階調レベル以下の階調レベルよりも暗いレベルとされ（図10参照）、表示画面における所定範囲の画素データのうちのあらかじめ定められた位置の複数の画素データの階調レベルと基準階調レベル（例えば、レベルm。）との比較結果を出力する比較部（例えば、クロックカウンタ313、特定位置検出器314、および8ビット減算器311（より具体的には、8ビット減算器311からシフトレジスタ312に取り込まれるデータ）で実現される。）と、比較部の比較結果が、所定数以上の画素データの階調レベルが基準階調レベルを越えたことを示している場合に、バックライトを消灯させる消灯制御部（例えば、シフトレジスタ312、論理回路315および反転回路316）とを備えたことを特徴とする。 40

【0011】

本発明による他の態様の液晶表示装置は、基準階調レベルを越える階調レベルが、基準階調レベル以下の階調レベルよりも暗いレベルとされ、画素データの階調レベルと基準階 50

調レベルとを比較する比較回路（例えば、8ビット減算器311。）と、あらかじめ定められた位置を示す信号を出力する特定位置検出器（例えば、特定位置検出器314。）と、特定位置検出器が出力した信号が示す位置の比較回路の比較結果を記憶する記憶回路（例えば、シフトレジスタ314）と、表示画面における所定範囲に対応する期間が経過したときに、記憶回路に記憶されていた全ての比較結果が基準階調レベルを越えたことを示している場合に、バックライトを消灯させる信号を出力する論理回路（例えば、論理回路315）とを備えたことを特徴とする。

【発明の効果】

【0012】

本発明によれば、所定数以上の画素データの階調レベルが基準階調レベルを越えたことを示している場合に、バックライトを消灯させるので、液晶表示パネルの表示を黒表示にするように制御するにも関わらず黒浮き等が生じてしまうという不具合をなくすることが可能になる。

10

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態を図面を参照して説明する。

【0014】

（実施の形態1）

図1は、本発明による液晶表示装置の第1の実施の形態の一例を示すブロック図である。図1に示す例では、TFTがマトリクス状に配され、画素電極とコモン電極との間に液晶が挟持されたTFT型の液晶表示パネル10が用いられている。液晶表示パネル10を駆動する駆動回路には、液晶表示パネル10における同列のTFTのソースに接続されるデータ電極としての各ソース電極（ソース配線）が繋がれたソースドライバ（データ電極ドライバ）12、液晶表示パネル10における同行のTFTのゲートに接続される走査電極としての各ゲート電極（ゲート配線）が繋がれたゲートドライバ（走査電極ドライバ）13、データ電圧を作成するための電圧をソースドライバ12に供給するとともに、選択電圧（オン電圧）と非選択電圧（オフ電圧）とを作成するための電圧をゲートドライバ13に供給する電源回路14が設けられている。

20

【0015】

制御回路としてのコントローラ11は、駆動回路の外部（例えば、携帯電話機のMPU（Micro Processing Unit））から入力される表示データ（画素データ）を一時記憶するRAM111を有し、ソースドライバ12およびゲートドライバ13に、フレームの開始を示す信号に相当するVSYNC信号を出力するとともに、各選択期間（1本のゲート配線にオン電圧としての選択電圧が印加される期間）毎に、LP（Latch Pulse）信号を出力する。

30

【0016】

ゲートドライバ13は、カウンタを内蔵し、VSYNC信号が入力されるとカウンタをリセットし、LP信号が入力されるとカウンタの値を+1する。そして、カウンタの値が示すゲート配線にTFTのゲートを導通状態にさせるための選択電圧を印加し、他のゲート配線にTFTのゲートを遮断状態にさせるための非選択電圧を印加する。また、ゲートドライバ13に内蔵されているコモン電圧出力部131は、コモン配線にコモン電圧を印加する。

40

【0017】

ソースドライバ12は、LP信号が入力されると、データ信号をラッチするとともに、ラッチしているデータ信号に応じたデータ電圧をソース配線に印加する。ゲートドライバ13はLP信号に同期してゲート配線に選択電圧を印加するので、ソースドライバ12は、ゲート配線への選択電圧の印加に同期して各ソース配線にデータ電圧を印加することになる。

【0018】

また、本実施の形態では、コントローラ11とソースドライバ12との間に、階調デー

50

タ制御回路20が設けられている。階調データ制御回路20は、RAM111から読み出されたデータ信号(表示データ)の階調レベルが所定値を越えている場合に、階調レベルを所定値に制限する処理を行う回路である。なお、以下に説明するように、階調データ制御回路20の設置位置は、コントローラ11とソースドライバ12との間に限られない。

【0019】

図2は、階調データ制御回路20の構成を模式的に示すブロック図である。図2に示すように、減算/比較回路21は、レベルmのデータから表示データの値を減算することによってレベルmのデータと表示データとを比較し、いずれの値の方が大きいのかを判定する回路である。選択回路22は、減算/比較回路21の判定結果に応じて、レベルmのデータと表示データとのうちの何れかをソースドライバ12に出力する回路である。

10

【0020】

図10(B)に示されたように、液晶表示パネル10の液晶セルが、一旦透過率が最も低い状態になった後に、電圧の値を高くしていくと、再度透過率が高くなるような特性を示すことがある。そのような特性を示す液晶表示パネル10を用いる場合に、電圧の値を上げていったときに最初に透過率が最も低い状態になる電圧値を、試験等によってあらかじめ知ることができる。その電圧値に対応する階調レベルをレベルmとする。本実施の形態では、128階調の階調制御を行うことが可能であって、例えば、レベルmはレベル120(白表示から数えて120番目の低階調レベル)であるとする。

【0021】

また、本実施の形態では、階調レベルを示すデータは、2進8ビットのデータで表され、「01111111」が最も低階調のレベル(黒表示のレベル)であり、「00000000」は最も高階調のレベル(白表示のレベル)であるとする。よって、レベルmを示すデータは、「01111000」である。8ビットの数値のうち最も左側のビットがD7であり、最も右側のビットがD0である。

20

【0022】

なお、最も低階調のレベルを「00000000」で表し、最も高階調のレベルを「01111111」で表す場合には、レベルmを示すデータは、「00000111」である。この場合も、最も左側のビットがD7であり、最も右側のビットがD0である。

【0023】

図3は、階調データ制御回路20の具体的な構成例を示すブロック図である。図3に示す例では、階調データ制御回路20は、表示データの値からレベルmのデータの値を減算し、減算結果を出力する8ビット減算器211、8ビット減算器211による減算結果に応じてレベルmのデータを出力するスイッチ回路212、および8ビット減算器211による減算結果に応じて表示データを出力するスイッチ回路213を有する。なお、スイッチ回路212がレベルmのデータを出力するときには、スイッチ回路213は表示データを出力せず、スイッチ回路213が表示データを出力するときには、スイッチ回路212はレベルmのデータを出力しない。

30

【0024】

次に、図3に示す階調データ制御回路20の動作を説明する。図1に示すRAM111には、R、G、Bそれぞれの表示データが格納されている。図3に例示する階調データ制御回路20は、R、G、Bそれぞれの表示データのうちのいずれかの表示データを制御する回路である。実際には、一例として、R、G、Bの表示データのそれぞれについて図3に例示する回路が設けられる。あるいは、階調データ制御回路20が、R、G、Bそれぞれの表示データをまとめたデータを対象として制御を行うようにしてもよい。また、レベルmのデータは、あらかじめ駆動回路の外部(例えば、MPU)から入力され、例えば、階調データ制御回路20が有するレジスタ等に格納されていたり、コントローラ11が有するレジスタに格納されコントローラ11から階調データ制御回路20に与えられる。

40

【0025】

RAM111から読み出された表示データが8ビット減算器211に入力される度に、8ビット減算器211は、レベルmのデータから表示データの値を減算し、減算結果を出

50

力する。なお、表示データは、CLK信号に同期してRAM111から出力される。

【0026】

8ビット減算器211は、符号付き2進数（結果が0または正ならD7=0、結果が負ならD7=1）で減算結果を得るとする。よって、表示データの値がレベルmのデータの値よりも小さい場合、または表示データの値がレベルmのデータの値と等しい場合には、減算結果は0または正なので、D7は0になる。また、表示データの値がレベルmのデータの値よりも大きい場合には、減算結果は負になるので、D7は1になる。よって、D7の値のみで、レベルmのデータの値と表示データの値との大小関係がわかるので、8ビット減算器211は、8ビットの演算結果のD7のみを出力する。

【0027】

スイッチ回路212は、8ビット減算器211が出力したD7がHレベル（=1）である場合には、レベルmのデータをソースドライバ12に出力する。よって、表示データの値がレベルmのデータの値よりも大きい場合には、レベルmのデータがソースドライバ12に出力される。従って、表示データの値がレベルmのデータの値に制限されることになる。また、スイッチ回路213は、8ビット減算器211が出力したD7がLレベル（=0）である場合には、表示データをソースドライバ12に出力する。よって、表示データの値がレベルmのデータの値よりも小さい場合、または表示データの値がレベルmのデータの値と等しい場合には、表示データが、そのままソースドライバ12に出力される。ソースドライバ12は、階調データ制御回路20から出力されたデータの値（階調レベルの値）に応じた電圧を、対応するソース配線に印加する。

10

20

【0028】

以上のような制御によって、レベルmの値よりも大きい値のデータがソースドライバ12に出力されることはない。よって、図10（B）に示された範囲B、すなわち電圧の値の上昇と透過率の低下とが整合しない領域において階調制御がなされるようなことはない。その結果、黒浮き、階調の逆転、コントラストの低下などの問題が発生することが防止される。

【0029】

また、本実施の形態では、RAM111から読み出された表示データについて表示データの値をレベルmのデータの値に制限する制御が行われたが、RAM111が設けられていないような場合等であって駆動回路の外部から入力された表示データがそのままソースドライバ12に出力されるときには、階調データ制御回路20は、外部から入力された表示データについて表示データの値をレベルmのデータの値に制限する上記の制御を行えばよい。

30

【0030】

RAM111から読み出された表示データについて表示データの値をレベルmのデータの値に制限する制御を行う場合であっても、外部から入力された表示データについて表示データの値をレベルmのデータの値に制限する上記の制御を行う場合であっても、表示データがソースドライバ12に出力されるときに、階調レベルを制限する制御が動的に実行される。

【0031】

また、RAM111が設けられている場合に、図4に示すように、階調データ制御回路20は、RAM111に書き込まれる表示データについて表示データの値をレベルmのデータの値に制限する上記の制御を行ってもよい。

40

【0032】

なお、本実施の形態では、ノーマリーホワイトモードの液晶表示装置を例にしたが、ノーマリーブラックモードの液晶表示装置において、一旦透過率が最も高い状態になった後に、電圧の値を低くしていくと、再度透過率が低くなるような電圧と透過率とが整合しない範囲を有する特性を示す液晶表示パネルを用いるときに、整合しない範囲で階調制御がしないようにするために本実施の形態の考え方を適用することができる。

【0033】

50

(実施の形態2)

図5は、本発明による液晶表示装置の第2の実施の形態の一例を示すブロック図である。図5に示す液晶表示装置の構成は、図1に示された液晶表示装置の構成から階調データ制御回路20をなくし、代わりに階調データ監視回路30が設けられた構成である。コントローラ11、ソースドライバ12、ゲートドライバ13および電源回路14の構成および動作は、第1の実施の形態におけるそれらの構成および動作と同じである。

【0034】

図6は、階調データ監視回路30の構成を模式的に示すブロック図である。図6に示すように、減算/比較回路31は、レベルmのデータの値から表示データの値を減算することによってレベルmのデータと表示データとを比較し、いずれの値の方が大きいのかを判定する回路である。バックライト制御回路32は、減算/比較回路31の判定結果に応じて、外部装置としてのバックライト部50を消灯させるための制御を行う回路である。なお、外部装置における「外部」とは、例えば、階調データ監視回路30を含む駆動回路がLSIで形成される場合のLSIの外部を意味する。

【0035】

本実施の形態でも、階調レベルを示すデータは、2進8ビットのデータで表され、「01111111」が最も低階調のレベル(黒表示のレベル)であり、「00000000」は最も高階調のレベル(白表示のレベル)であるとする。

【0036】

図7は、階調データ監視回路30の具体的な構成例を示すブロック図である。図7に示す例では、階調データ監視回路30は、レベルmのデータの値から表示データの値を減算し、減算結果を出力する8ビット減算器311、CLK信号の出力回数すなわちクロック数をカウントするクロックカウンタ313、クロックカウンタ313のカウント値をあらかじめ決められている値と比較し、一致したら一致信号を出力する特定位置検出器314、一致信号が入力されたときに8ビット減算器311が出力したデータを取り込むとともに、取り込まれたデータをシフトするシフトレジスタ312、VSYNC信号が出力されたときにシフトレジスタ312のn(n:自然数)段のデータが全て「1」である場合に出力をハイレベルにする論理回路315を有する。また、論理回路315の出力を反転する反転回路316が設けられている。

【0037】

8ビット減算器311は、符号付き2進数(結果が0または正ならD7=0、結果が負ならD7=1)で減算結果を得るとする。よって、表示データの値がレベルmのデータの値よりも大きい場合には、演算結果は負になるので、D7は1になる。表示データの値がレベルmのデータの値よりも小さい場合、または表示データの値がレベルmのデータの値と等しい場合には、減算結果は0または正なので、D7は0になる。よって、D7の値のみで、レベルmのデータの値と表示データの値との大小関係がわかるので、8ビット減算器311は、8ビットの演算結果のD7のみを出力する。

【0038】

なお、図5に示すRAM111には、R、G、Bそれぞれの表示データが格納されている。よって、一例として、例えば、R、G、Bの表示データのそれぞれについて図7に示す8ビット減算器311が設けられ、さらに、R、G、Bの表示データのそれぞれについての8ビット減算器311の出力の論理積をとる論理積回路が設けられ、その論理積回路の出力がシフトレジスタ312に入力されるように構成される。あるいは、階調データ監視回路30が、R、G、Bそれぞれの表示データをまとめたデータを対象として制御を行うようにしてもよい。しかし、本実施の形態の特徴的事項は、図7に例示されたような構成にあるので、以下、図7に示す構成について説明を行う。

【0039】

また、図6に示す減算/比較回路31は、図7における8ビット減算器311に相当し、バックライト制御部32は、クロックカウンタ313、特定位置検出器314、シフトレジスタ312、論理回路315および反転回路316に相当する。

10

20

30

40

50

【0040】

次に、図5に示す階調データ監視回路30の動作を説明する。図8は、本実施の形態における制御の方法を説明するための説明図である。図8に示す矩形は、RAM111に格納されている1フレーム分の画素の表示データ(1画面分の表示データ)を示す。図8に記されている「アドレス」は、RAM111のアドレスを示す。つまり、RAM111において、表示データは、アドレスが連続する領域に1画素のデータずつ格納されている。なお、液晶表示パネル10における1(1:自然数)行目のデータの次に、(1+1)行目のデータが格納されている。

【0041】

図9は、本実施の形態における制御に関する信号の出力状態の一例を示すタイミング図である。図9(B)に示すCLK信号に同期して表示データがRAM111から読み出される。また、クロックカウンタ313は、図9(A)に示すVSYNC信号によってリセットされ、CLK信号をカウントする。そして、カウンタ313のカウント値が所定値になる毎に、図9(C)に示すように特定位置検出器314から一致信号が出力される。所定値は、特定位置検出器314にあらかじめ設定されている値であり、図8における×印で示されている位置を示す値である。また、所定値は、例えば、素数、およびその素数の整数倍の値である。そして、所定値に対応する位置は、1フレーム内で分散して配置されている。なお、×印で示されている箇所は、できるだけ多いことが好ましい。

10

【0042】

図8における×印で示されている位置の画素がRAM111から出力されたときに、特定位置検出器314から、一致信号が出力される。

20

【0043】

また、レベルmのデータは、あらかじめ駆動回路の外部(例えば、MPU)から入力され、例えば、階調データ監視回路30が有するレジスタ等に格納されていたり、コントローラ11が有するレジスタに格納されコントローラ11から階調データ監視回路30に与えられる。

【0044】

シフトレジスタ312は、VSYNC信号の立ち下がり時点(図9(A)参照)でリセットされ、特定位置検出器314から一致信号が出力されたときに、既に取り込んでいるデータをシフトするとともに、8ビット減算器311が出力しているデータを取り込む。なお、例えば、8ビット減算器311は、CLK信号の立ち上がりに同期して減算処理を行い、クロックカウンタ313はCLK信号の立ち下がりに同期してカウント処理を行う。

30

【0045】

論理回路315は、VSYNC信号の立ち上がり時点(図9(A)参照)で、シフトレジスタ312のn段の出力を入力し、n段の出力(nビット)が全て「1」(Hレベル)である場合に、Hレベルの信号を出力する。そして、論理回路315の出力は、反転回路316で反転された後、バックライト部50に入力される。

【0046】

図7に例示する構成では、バックライト部50は、バックライトとしてのLED51と、LED51のカソード側を接地レベルに接続するか切り離すスイッチ回路52とを含む。なお、スイッチ回路52は、制御信号がLレベルである場合に、LED51のカソード側を接地レベルから切り離す。すなわち、LED51を消灯させる。また、反転回路316が出力する信号が、スイッチ回路52に対する制御信号になる。なお、スイッチ回路52が、制御信号がHレベルである場合にLED51のカソード側を接地レベルから切り離すように構成されている場合には、反転回路316は設けられない。

40

【0047】

8ビット減算器311は、表示データの値がレベルmのデータの値よりも大きい場合には、出力であるD7を「1」(Hレベル)にする。特定位置検出器314は、図8において×印で示された箇所の表示データが出力されたときに一致信号を出力する。よって、一

50

致信号によって8ビット減算器311を取り込むシフトレジスタ312には、1フレームにおける×印で示された箇所の表示データについての8ビット減算器311の減算結果がサンプリングされて保存される。

【0048】

1フレームにおける×印で示された箇所(図8参照)の表示データの値が全てレベルmのデータの値よりも大きい場合には、シフトレジスタ312のn段の出力が全て「1」(Hレベル)になる。その場合には、反転回路316の出力がLレベルになってLED51が消灯される。

【0049】

よって、本実施の形態では、あらかじめ決められている×印で示された箇所の表示データの値が全てレベルmのデータの値よりも大きい場合には、LED51が消灯される。×印で示された箇所は1フレーム内で分散して配置されているので、×印で示された箇所の表示データの値が全てレベルmのデータの値よりも大きい場合には、1フレームにおける全画素(全表示データ)または大部分の画素(表示データ)の値がレベルmのデータの値よりも大きくなっている可能性が高い。従って、×印で示された箇所の表示データの値が全てレベルmのデータの値よりも大きい場合にバックライトを消灯させることによって、すなわち液晶表示パネル10を全くの黒表示状態にさせることによって、図10(B)に示された範囲Bで階調制御がなされることが防止される。

10

【0050】

よって、印加される電圧の値の上昇と透過率の低下とが整合しない範囲Bで階調制御が行われることにもとづく黒浮き、階調の逆転、コントラストの低下などを防止できる。

20

【0051】

なお、本実施の形態では、1フレーム期間においてサンプリングされた表示データの階調レベルにもとづいてバックライトを消灯させるか否かが決定されたが、階調データ監視回路30は、数フレーム(例えば、3~5フレーム)期間に亘ってサンプリングされた表示データの階調レベルにもとづいてバックライトを消灯させるか否か決定するようにしてもよい。

【0052】

また、本実施の形態では、RAM111から読み出された表示データについてバックライトを消灯させるか否かの決定が行われたが、RAM111が設けられていないような場合等であって駆動回路の外部から入力された表示データがそのままソースドライバ12に出力されるときには、階調データ監視回路30は、外部から入力された表示データについてバックライトを消灯させるか否かの決定を行えばよい。

30

【0053】

また、RAM111が設けられている場合に、階調データ監視回路30は、RAM111に書き込まれている表示データについて表示データの値をレベルmのデータの値に制限する上記の制御を行ってもよい。その場合、例えば、ソースドライバ12に出力するためにRAM111から表示データを読み出す制御とは関係なく、階調データ監視回路30がRAM111内の表示データ内の表示データを1フレーム分または数フレーム分読み出して、表示データの階調レベルにもとづいてバックライトを消灯させるか否か決定する。そして、決定結果にもとづいてバックライトを消灯させる。

40

【0054】

なお、本実施の形態では、8ビット減算器311が全ての表示データについて減算処理を行って表示データの階調レベルとレベルmとを比較し、その後、特定位置検出器314によって所定位置の画素についての減算結果がサンプリングされたが、まず、1フレームまたは数フレーム期間内の所定位置の画素の表示データをサンプリングし、サンプリングされた画素の表示データについて減算処理を行うようにしてもよい。

【0055】

(実施の形態3)

第1の実施の形態の制御と第2の実施の形態の制御とをともに行うようにしてもよい。

50

すなわち、階調データ制御回路 20 と階調データ監視回路 30 とをともに備えるようにしてもよい。階調データ制御回路 20 と階調データ監視回路 30 とがともに備えられている場合には、第 1 の実施の形態のように、表示データがソースドライバ 12 に出力されるとき、または表示データが RAM 111 に書き込まれるときに、階調データ制御回路 20 の制御によって階調レベルを制限する制御が動的に実行される。また、1 フレームまたは数フレームにおける全画素または大部分の画素の値がレベル m のデータの値よりも大きくなっている可能性が高い場合に、階調データ監視回路 30 の制御によってバックライトが消灯される。

【0056】

なお、階調データ制御回路 20 と階調データ監視回路 30 とをともに備えるように構成する場合には、8 ビット減算器 211 と 8 ビット減算器 311 とを、一つの 8 ビット減算器で兼用するようにしてもよい。

【産業上の利用可能性】

【0057】

本発明は、液晶表示パネルの表示を黒表示にするように制御するにも関わらず黒浮き等が生じてしまうことを防止して表示品位を向上させるために効果的に適用される。

【図面の簡単な説明】

【0058】

【図 1】液晶表示装置の第 1 の実施の形態の一例を示すブロック図。

【図 2】階調データ制御回路の構成を模式的に示すブロック図。

【図 3】階調データ制御回路の具体的な構成例を示すブロック図。

【図 4】液晶表示装置の第 1 の実施の形態の他の例を示すブロック図。

【図 5】液晶表示装置の第 2 の実施の形態の一例を示すブロック図。

【図 6】階調データ監視回路の構成を模式的に示すブロック図。

【図 7】階調データ監視回路の具体的な構成例を示すブロック図。

【図 8】第 2 の実施の形態の制御の方法を説明するための説明図。

【図 9】第 2 の実施の形態における制御に関する信号の出力状態の一例を示すタイミング図。

【図 10】ノーマリーホワイトモードの液晶表示パネルの透過率特性を模式的に示す説明図。

【符号の説明】

【0059】

- 10 液晶表示パネル
- 11 コントローラ
- 12 ソースドライバ
- 13 ゲートドライバ
- 20 階調データ制御回路
- 21 減算 / 比較回路
- 22 選択回路
- 30 階調データ監視回路
- 31 減算 / 監視回路
- 32 バックライト制御回路
- 50 バックライト部
- 51 スイッチ回路
- 52 LED
- 211 8 ビット減算器
- 212, 213 スイッチ回路
- 311 8 ビット減算器
- 312 シフトレジスタ
- 313 クロックカウンタ

10

20

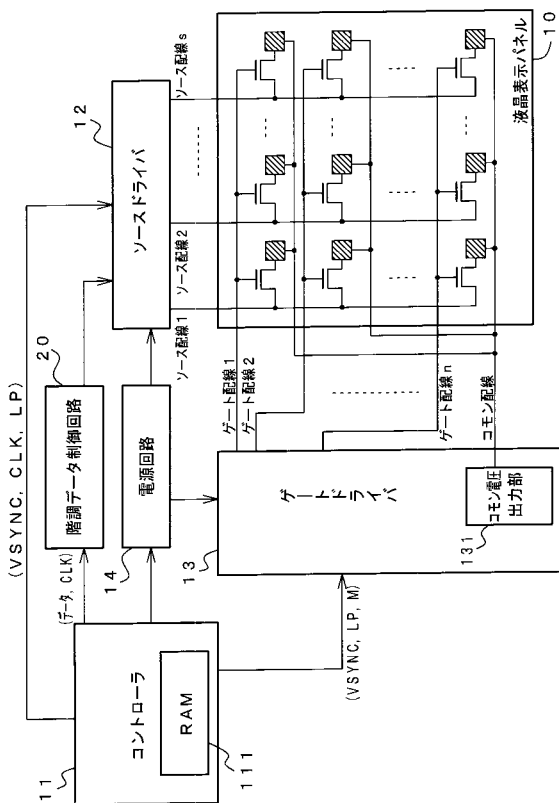
30

40

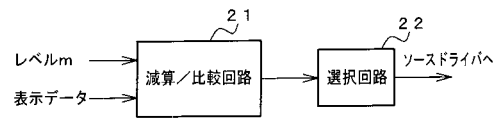
50

- 3 1 4 特定位置検出器
- 3 1 5 論理回路

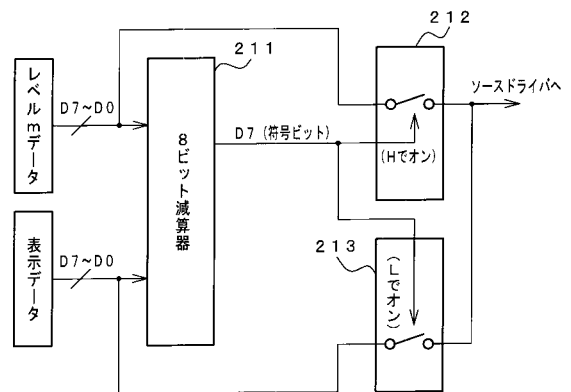
【 図 1 】



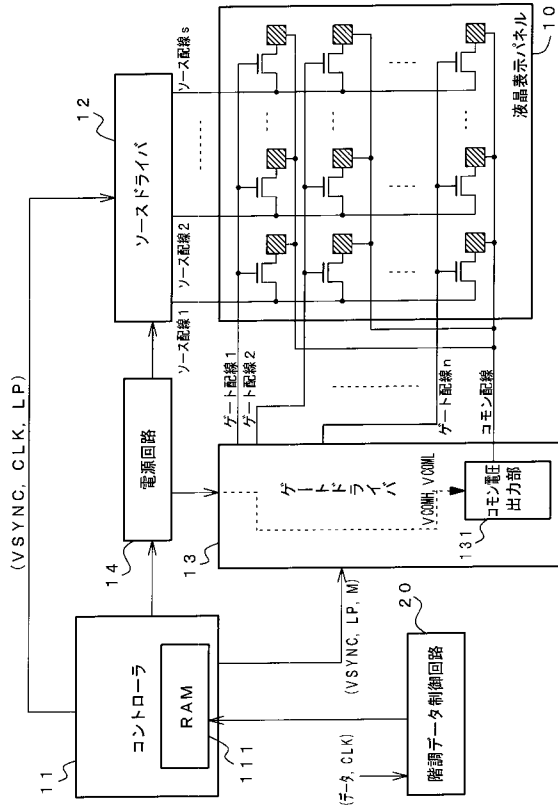
【 図 2 】



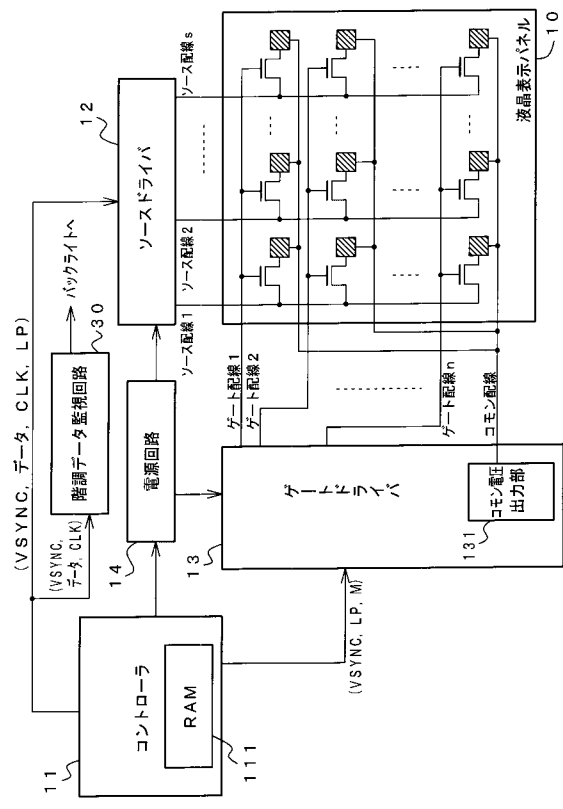
【 図 3 】



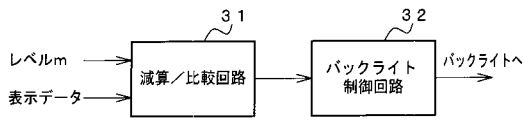
【図4】



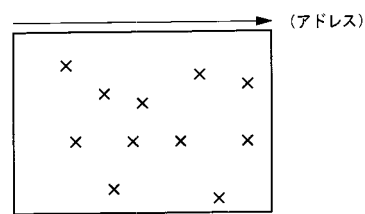
【図5】



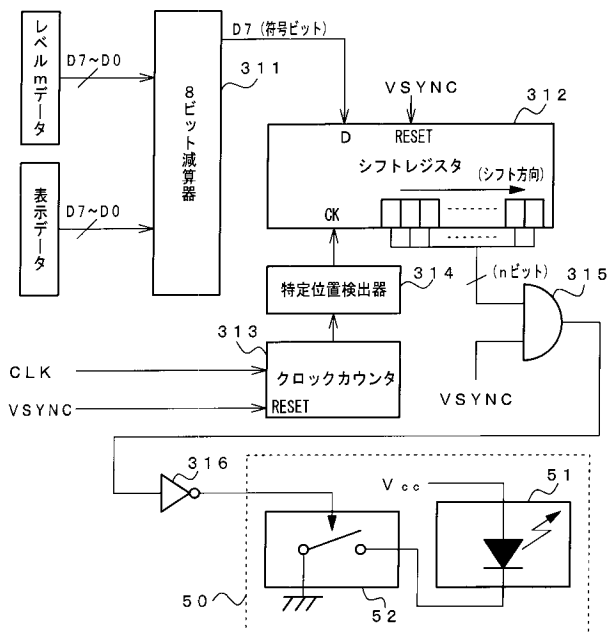
【図6】



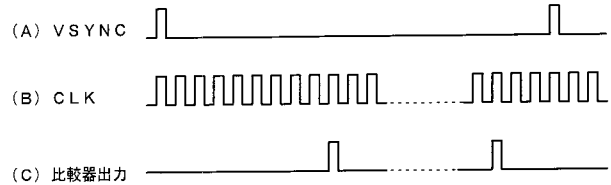
【図8】



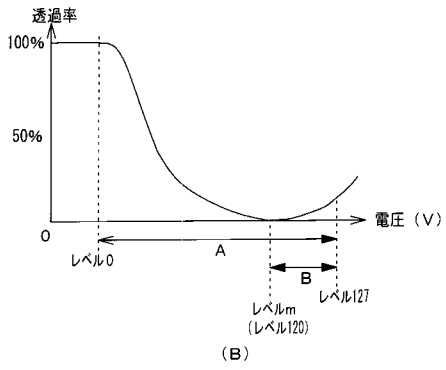
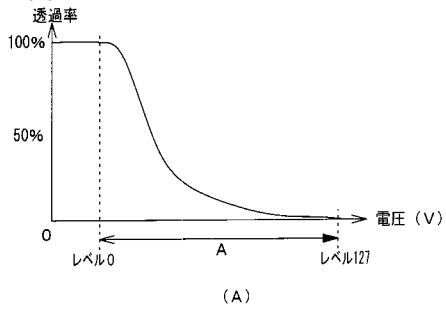
【図7】



【図9】



【図10】



フロントページの続き

Fターム(参考) 5C080 AA10 BB05 DD01 EE29 FF01 FF11 GG09 GG12 JJ02 JJ04
JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2007293023A	公开(公告)日	2007-11-08
申请号	JP2006120658	申请日	2006-04-25
申请(专利权)人(译)	光王公司		
[标]发明人	川俣昇寛		
发明人	川俣 昇寛		
IPC分类号	G02F1/133 G09G3/36 G09G3/34 G09G3/20		
FI分类号	G02F1/133.575 G09G3/36 G09G3/34.J G09G3/20.612.U G09G3/20.642.E		
F-TERM分类号	2H093/NA51 2H093/NC11 2H093/NC15 2H093/NC42 2H093/NC65 2H093/ND03 2H093/ND04 2H093/ND05 2H093/ND06 2H093/ND58 5C006/AF13 5C006/AF45 5C006/AF46 5C006/AF61 5C006/BB16 5C006/BB29 5C006/BF14 5C006/EA01 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD01 5C080/EE29 5C080/FF01 5C080/FF11 5C080/GG09 5C080/GG12 5C080/JJ02 5C080/JJ04 5C080/JJ05 2H193/ZD21 2H193/ZD34 2H193/ZH40		
代理人(译)	岩冬树 盐川正人		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使将液晶显示面板的显示控制为黑色显示，也要消除产生黑色浮动等的缺陷。ZOLUTION：灰度数据监视电路具有8位减法装置311，用于从电平m的数据值中减去显示数据值并输出相减结果，时钟计数器313用于计数输出频率或时钟数。CLK信号，指定位置检测器314，用于将时钟计数器313的计数值与预定值进行比较，并输出识别信号，如果计数值与预定值一致，则移位寄存器312取出由8输出的数据当输入同意信号并移位所获取的数据时，比特减法装置311和用于将VSYNC（垂直同步）信号的输出置于高电平以关闭背光的逻辑电路315，当n（n）的所有数据时当输出VSYNC信号时，移位寄存器312的步数为“1”。

