

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-53533
(P2006-53533A)

(43) 公開日 平成18年2月23日(2006.2.23)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 21/28 (2006.01)	HO1L 21/28 3O1R	4M104
HO1L 21/336 (2006.01)	HO1L 29/78 612D	5F110
HO1L 29/786 (2006.01)	HO1L 29/78 617L	
HO1L 29/423 (2006.01)	HO1L 29/58 G	
審査請求 有 請求項の数 30 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2005-180837 (P2005-180837)	(71) 出願人 599127667 エルジー フィリップス エルシーディー カンパニー リミテッド 大韓民国 ソウル, ヨンドンポーク, ヨイドードン 2 O
(22) 出願日 平成17年6月21日 (2005.6.21)	(74) 代理人 100057874 弁理士 曾我 道照
(31) 優先権主張番号 10-2004-0063590	(74) 代理人 100110423 弁理士 曾我 道治
(32) 優先日 平成16年8月12日 (2004.8.12)	(74) 代理人 100084010 弁理士 古川 秀利
(33) 優先権主張国 韓国 (KR)	(74) 代理人 100094695 弁理士 鈴木 憲七
	(74) 代理人 100111648 弁理士 梶並 順
	最終頁に続く

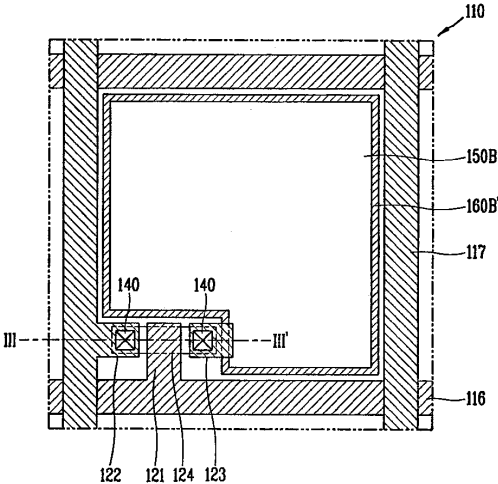
(54) 【発明の名称】 液晶表示素子及びその製造方法

(57) 【要約】 (修正有)

【課題】 薄膜トランジスタの製造に使用されるマスクの数を減少させる液 晶表示素子及びその製造方法を提供する。

【解決手段】 第1基板上にソース領域とドレイン領域及びチャンネル領域を有したアクティブ層を形成し、その上に第1絶縁膜を形成する段階と、第1絶縁膜上に第1導電膜と第2導電膜を形成、パターニングしてゲート電極とゲートライン及び画素電極を形成する段階と、この上に第2絶縁膜を形成し、前記第1絶縁膜と第2絶縁膜のソース/ドレイン部にコンタクトホールを形成して、前記画素電極の上部の第2絶縁膜を除去する段階と、その上に第3導電膜を形成パターニングして前記コンタクトホールを通じてソース/ドレイン領域と電気的に接続されるソース/ドレイン電極を形成し、前記画素電極の上部の第2導電膜を露出させる段階と、前記第1基板と第2基板間に液晶層を形成する段階とを含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 基板と第 2 基板を提供する段階と、
前記第 1 基板上にソース領域とドレイン領域及びチャンネル領域を有したアクティブ層を形成する段階と、
前記第 1 基板上に第 1 絶縁膜を形成する段階と、
前記第 1 基板上に第 1 導電膜と第 2 導電膜を形成する段階と、
前記第 1 導電膜と第 2 導電膜をパターニングしてゲート電極とゲートライン及び画素電極を形成する段階と、
前記第 1 基板上に第 2 絶縁膜を形成する段階と、
前記第 1 絶縁膜と第 2 絶縁膜の一部領域を除去してソース / ドレイン領域の一部を露出させるコンタクトホールを形成し、前記画素電極の上部の第 2 絶縁膜を除去する段階と、
前記第 1 基板上に第 3 導電膜を形成する段階と、
該第 3 導電膜をパターニングして前記コンタクトホールを通じてソース / ドレイン領域と電氣的に接続されるソース / ドレイン電極を形成し、前記画素電極の上部の第 2 導電膜を露出させる段階と、
前記第 1 基板と第 2 基板間に液晶層を形成する段階と
を含むことを特徴とする液晶表示素子の製造方法。

10

【請求項 2】

前記アクティブ層は、シリコン層により形成される
ことを特徴とする請求項 1 記載の液晶表示素子の製造方法。

20

【請求項 3】

前記シリコン層は、結晶化されたシリコン薄膜により形成される
ことを特徴とする請求項 2 記載の液晶表示素子の製造方法。

【請求項 4】

前記第 1 導電膜と第 2 導電膜をパターニングして該第 1 導電膜と第 2 導電膜の二重層から成るゲート電極とゲートラインを形成する
ことを特徴とする請求項 1 記載の液晶表示素子の製造方法。

【請求項 5】

前記第 1 導電膜と第 2 導電膜をパターニングして前記第 1 導電膜から成る画素電極を形成する
ことを特徴とする請求項 1 記載の液晶表示素子の製造方法。

30

【請求項 6】

前記画素電極の上部に第 2 導電膜から成る画素電極パターンが残る
ことを特徴とする請求項 5 記載の液晶表示素子の製造方法。

【請求項 7】

前記画素電極の上部の第 2 絶縁膜を除去して前記画素電極パターンを露出させる
ことを特徴とする請求項 6 記載の液晶表示素子の製造方法。

【請求項 8】

前記第 1 導電膜又は第 2 導電膜は、インジウム - スズ - オキサイド又はインジウム - 亜鉛 - オキサイドの中の一つで形成されることを特徴とする請求項 1 記載の液晶表示素子の製造方法。

40

【請求項 9】

前記第 2 導電膜は、アルミニウム、アルミニウム合金、タングステン、銅、クロム、モリブデンの中の一つで形成される
ことを特徴とする請求項 1 記載の液晶表示素子の製造方法。

【請求項 10】

前記画素電極の上部縁に前記ドレイン電極と電氣的に接続される第 2 導電膜パターンが残るように前記画素電極の上部の第 2 導電膜をパターニングする段階をさらに包含する
ことを特徴とする請求項 1 記載の液晶表示素子の製造方法。

50

【請求項 1 1】

前記ドレイン電極の一部と画素電極の上部の第 2 導電膜パターンとが電氣的に接続された状態で、画素電極の上部の第 3 導電膜と第 2 導電膜がパターンニングされる

ことを特徴とする請求項 1 0 記載の液晶表示素子の製造方法。

【請求項 1 2】

前記コンタクトホールを形成するためのマスクは、画素電極領域をオープンさせるための画素電極パターンを包含する

ことを特徴とする請求項 1 記載の液晶表示素子の製造方法。

【請求項 1 3】

前記マスクを使用して画素電極の上部の第 2 絶縁膜を除去することで、前記画素電極の上部の第 2 導電膜を露出させる

ことを特徴とする請求項 1 2 記載の液晶表示素子の製造方法。

【請求項 1 4】

ゲート電極を形成した後、前記ゲート電極をマスクとして前記アクティブパターンの所定領域に不純物イオンを注入してソース領域とドレイン領域を形成する段階をさらに包含する

ことを特徴とする請求項 1 記載の液晶表示素子の製造方法。

【請求項 1 5】

前記コンタクトホールを形成する段階と画素電極の上部の第 2 絶縁膜を除去する段階は、実質的に同時に進行される

ことを特徴とする請求項 1 記載の液晶表示素子の製造方法。

【請求項 1 6】

前記ソース電極とドレイン電極を形成する段階と画素電極の上部の第 2 導電膜を露出させる段階は、実質的に同時に進行される

ことを特徴とする請求項 1 記載の液晶表示素子の製造方法。

【請求項 1 7】

第 1 基板と第 2 基板を提供する段階と、

前記第 1 基板上にアクティブ層を形成する段階と、

前記第 1 基板上に第 1 絶縁膜を形成する段階と、

前記第 1 基板上に第 1 導電膜と第 2 導電膜の二重層から成るゲート電極とゲートライン及び画素電極を形成する段階と、

前記アクティブ層の所定領域及び画素電極を露出させる第 2 絶縁膜を形成する段階と、

前記第 1 基板上に第 3 導電膜を形成、パターンニングして前記コンタクトホールを通じてアクティブ層の所定領域と電氣的に接続されるソース/ドレイン電極を形成して、第 1 導電膜から成る画素電極を露出させる段階と、

前記第 1 基板と第 2 基板間に液晶層を形成する段階と

を含むことを特徴とする液晶表示素子の製造方法。

【請求項 1 8】

前記第 1 導電膜と第 2 導電膜をパターンニングして前記第 1 導電膜から成る画素電極を形成する

ことを特徴とする請求項 1 7 記載の液晶表示素子の製造方法。

【請求項 1 9】

前記画素電極の上部に第 2 導電膜から成る画素電極パターンが残る

ことを特徴とする請求項 1 8 記載の液晶表示素子の製造方法。

【請求項 2 0】

前記第 2 絶縁膜を形成する段階は、

前記第 1 基板上に第 2 絶縁膜を形成する段階と、

前記第 1 絶縁膜と第 2 絶縁膜の一部領域を除去して前記アクティブ層のソース領域とドレイン領域の一部を露出させるコンタクトホールを形成して、前記画素電極の上部の第 2 絶縁膜を除去して前記画素電極を露出させる段階と

10

20

30

40

50

を含むことを特徴とする請求項 17 記載の液晶表示素子の製造方法。

【請求項 21】

前記コンタクトホールを形成する段階と画素電極の上部の第 2 絶縁膜を除去する段階は、実質的に同様の工程で進行される

ことを特徴とする請求項 20 記載の液晶表示素子の製造方法。

【請求項 22】

前記画素電極の上部縁に前記ドレイン電極と電氣的に接続される第 2 導電膜パターンが残るように前記画素電極の上部の第 2 導電膜をパターンニングして第 1 導電膜から成る画素電極を露出させる

ことを特徴とする請求項 17 記載の液晶表示素子の製造方法。

10

【請求項 23】

第 1 基板と第 2 基板と、

前記第 1 基板上に形成されたアクティブ層と、

前記第 1 基板上に形成された第 1 絶縁膜と、

前記第 1 基板上に形成されて、第 1 導電膜と第 2 導電膜から成るゲート電極とゲートライン及び第 1 導電膜から成る画素電極と、

前記第 1 基板上に形成されて、コンタクトホールを持つ第 2 絶縁膜と、

前記第 1 基板上に形成されて、前記コンタクトホールを通じてソース領域と接続されるソース電極及びドレイン領域と接続されるドレイン電極と、

前記第 1 基板と第 2 基板間に形成された液晶層と

を包含して構成されることを特徴とする液晶表示素子。

20

【請求項 24】

前記画素電極の上部縁に第 2 導電膜から成る第 2 導電膜パターンが残る

ことを特徴とする請求項 23 記載の液晶表示素子の製造方法。

【請求項 25】

前記ドレイン電極の一部は、画素領域の方に延長されて、画素電極の上部の第 2 導電膜パターンと接続される

ことを特徴とする請求項 24 記載の液晶表示素子。

【請求項 26】

前記画素電極は、透明な導電性物質から構成される

ことを特徴とする請求項 23 記載の液晶表示素子。

30

【請求項 27】

前記透明な導電性物質は、インジウム - スズ - オキサイド又はインジウム - 亜鉛 - オキサイドを包含する

ことを特徴とする請求項 26 記載の液晶表示素子。

【請求項 28】

前記ゲート電極とゲートラインは、前記画素電極と同様の透明な導電性物質上に不透明な導電性物質が形成されている二重層から構成される

ことを特徴とする請求項 26 記載の液晶表示素子。

【請求項 29】

前記二重層は不透明な導電性物質と透明な導電性物質から構成される

ことを特徴とする請求項 28 記載の液晶表示素子。

40

【請求項 30】

前記不透明な導電性物質は透明な導電性物質上に形成されている

ことを特徴とする請求項 29 記載の液晶表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示素子及びその製造方法に係るもので、詳しくは、多結晶シリコン薄膜トランジスタの製造に使用されるマスクの数を減少させて製造工程を単純化し、歩留ま

50

りを向上させた液晶表示素子及びその製造方法に関するものである。

【背景技術】

【0002】

最近、情報を表示するディスプレイに関する関心が高まり、携帯可能な情報表示媒体を利用しようとする要求が高ってきており、既存の表示装置であるブラウン管（Cathode Ray Tube；CRT）を代替する軽量の薄膜型平板表示装置（Flat Panel Display；FPD）に対する研究及び商業化が重点的に行われている。特に、このような平板表示装置のうち液晶表示装置（Liquid Crystal Display；LCD）は、液晶の光学的異方性を利用してイメージを表現する装置であって、解像度とカラー表示及び画質などに優れていて、ノートパソコンやデスクトップのモニター等に活発に適用されている。

10

【0003】

また、前記液晶表示装置は、その構成を大別すると、第1基板であるカラーフィルター（color filter）基板と、第2基板のアレイ（array）基板、及び前記カラーフィルター基板と前記アレイ基板との間に形成された液晶層（liquid crystallayer）から構成される。

【0004】

ここで、前記液晶表示装置のスイッチング素子としては、一般的に薄膜トランジスタ（Thin Film Transistor；TFT）を使用し、該薄膜トランジスタのチャンネル層としては、非晶質シリコン（amorphous silicon）薄膜又は多結晶シリコン（polycrystalline silicon）薄膜を使用する。

20

【0005】

一方、前記液晶表示装置の製造工程は、基本的に薄膜トランジスタを包含する液晶表示素子の製作に複数のマスク工程（即ち、フォトリソグラフィ（photolithography）工程）を必要とするため、生産性の面で前記マスク工程の数を減らす方法が要求されている。

【0006】

以下、図7を参照して、従来の液晶表示素子の構造に対して詳細に説明する。

図7は、従来の液晶表示装置のアレイ基板の一部を示した平面図であって、実際の液晶表示素子においては、N個のゲートラインとM個のデータラインとが交差してM×N個の画素が存在するが、説明を簡単にするために、図面には一つのみの画素を示した。

【0007】

30

図面に示すように、前記アレイ基板10には、該基板10上に縦横に配列されて画素領域を定義するゲートライン16とデータライン17が形成されている。また、該ゲートライン16とデータライン17との交差領域には、スイッチング素子である薄膜トランジスタが形成されていて、前記各画素領域には、画素電極18が形成されている。

【0008】

ここで、前記薄膜トランジスタは、前記ゲートライン16に連結されたゲート電極21、データライン17に連結されたソース電極22、及び画素電極18に連結されたドレイン電極23から構成される。

【0009】

40

また、前記薄膜トランジスタは、前記ゲート電極21とソース/ドレイン電極22、23の絶縁のための第1絶縁膜（図示せず）と第2絶縁膜（図示せず）及び前記ゲート電極21に供給されるゲート電圧により前記ソース電極22とドレイン電極23間に伝導チャンネル（conductive channel）を形成するアクティブパターン24とを包含して構成される。

【0010】

ここで、前記ソース電極22は、前記第1絶縁膜及び第2絶縁膜に形成された第1コンタクトホール40Aを通じて前記アクティブパターン24のソース領域と電氣的に接続され、前記ドレイン電極23は、前記アクティブパターン24のドレイン領域と電氣的に接続されるようになる。また、前記ドレイン電極23上には、第2コンタクトホール40Bが形成された第3絶縁膜（図示せず）があって、前記第2コンタクトホール40Bを通じ

50

て前記ドレイン電極 2 3 と画素電極 1 8 とが電氣的に接続されるようになる。

【 0 0 1 1 】

以下、図 8 A 乃至図 8 F を参照して前記のように構成された液晶表示素子の製造工程について説明する。

図 8 A 乃至図 8 F は、図 7 に示す液晶表示素子の I - I' 線に係る製造工程を順次示す断面図であって、図示されている薄膜トランジスタは、チャンネル層として多結晶シリコンを利用した多結晶シリコン薄膜トランジスタを示している。

【 0 0 1 2 】

図 8 A に示すように、基板 1 0 上にフォトリソグラフィ工程（第 1 マスク工程）を利用して多結晶シリコン薄膜から成るアクティブパターン 2 4 を形成する。

10

【 0 0 1 3 】

次いで、図 8 B に示すように、前記アクティブパターン 2 4 が形成された基板 1 0 の前面に順次第 1 絶縁膜 1 5 A と導電性金属物質を蒸着した後、フォトリソグラフィ工程（第 2 マスク工程）を利用して前記導電性金属物質を選択的にパターニングすることで、アクティブパターン 2 4 上に第 1 絶縁膜 1 5 A が介在されたゲート電極 2 1 を形成する。

【 0 0 1 4 】

次いで、前記ゲート電極 2 1 をマスクとして前記アクティブパターン 2 4 の所定領域に高濃度の不純物イオンを注入して p + 又は n + のソース / ドレイン領域 2 4 A、2 4 B を形成する。該ソース / ドレイン領域 2 4 A、2 4 B は、後述するソース / ドレイン電極とのオーム - コンタクト（ohmic contact）のために形成する。

20

【 0 0 1 5 】

次いで、図 8 C に示すように、前記ゲート電極 2 1 が形成された基板 1 0 の前面に第 2 絶縁膜 1 5 B を蒸着した後、フォトリソグラフィ工程（第 3 マスク工程）を通じて前記第 1 絶縁膜 1 5 A と第 2 絶縁膜 1 5 B の一部領域を除去して前記ソース / ドレイン領域 2 4 A、2 4 B の一部を露出させる第 1 コンタクトホール 4 0 A を形成する。

【 0 0 1 6 】

次いで、図 8 D に示すように、導電性金属物質を前記基板 1 0 の前面に蒸着した後、フォトリソグラフィ工程（第 4 マスク工程）を利用してパターニングすることで、前記第 1 コンタクトホール 4 0 A を通じてソース領域 2 4 A と連結されるソース電極 2 2 及びドレイン領域 2 4 B と連結されるドレイン電極 2 3 を形成する。ここで、前記ソース電極 2 2 を構成する導電性金属層の一部は、一方向に延長されてデータライン 1 7 を構成するようになる。

30

【 0 0 1 7 】

次いで、図 8 E に示すように、前記基板 1 0 の前面に第 3 絶縁膜 1 5 C を蒸着した後、フォトリソグラフィ工程（第 5 マスク工程）を利用して前記ドレイン電極 2 3 の一部を露出させる第 2 コンタクトホール 4 0 B を形成する。

【 0 0 1 8 】

最後に、図 8 F に示したように、前記第 3 絶縁膜 1 5 C が形成された前記基板 1 0 の前面に透明な導電性金属物質を蒸着した後、フォトリソグラフィ工程（第 6 マスク工程）を利用してパターニングすることで、前記第 2 コンタクトホール 4 0 B を通じてドレイン電極 2 3 と連結される画素電極 1 8 を形成する。

40

【 0 0 1 9 】

前述したように、多結晶シリコン薄膜トランジスタを包含する液晶表示素子の製造には、アクティブパターン、ゲート電極、第 1 コンタクトホール、ソース / ドレイン電極、第 2 コンタクトホール及び画素電極等をパターニングするのに合計 6 回のフォトリソグラフィ工程を必要とする。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 2 0 】

しかしながら、このような従来のフォトリソグラフィ工程は、マスクに描かれたパター

50

ンを薄膜が蒸着された基板上に転写させて所望のパターンを形成する一連の工程であって、感光液の塗布、露光、現像工程等の複数の工程から成る。その結果、複数のフォトリソグラフィ工程は、生産性を低下させ、形成された薄膜トランジスタに欠陥が発生する確率が高くなるという問題があった。

【0021】

特に、パターンを形成するために設計されたマスクは、非常に高価で、工程に適用されるマスクの数が増加すると、液晶表示素子の製造コストが比例して上昇するという問題があった。

【0022】

本発明は、このような問題を解決するためになされたもので、ゲート電極とゲートライン及び画素電極を同時に形成することで、薄膜トランジスタの製造に使用されるマスクの数を減少させた液晶表示素子及びその製造方法を提供することを目的とする。

【0023】

また、本発明は、ソース/ドレイン電極のパターニング時に画素電極を露出させるゲートメタル除去工程を同時に行うことで、前記画素電極の縁におけるアンダーカットによるドレイン電極の断線不良を防止する液晶表示素子及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0024】

このような目的を達成するために、本発明に係る液晶表示素子の製造方法においては、第1基板と第2基板を提供する段階と、前記第1基板上にソース領域とドレイン領域及びチャンネル領域を有したアクティブ層を形成する段階と、前記第1基板上に第1絶縁膜を形成する段階と、前記第1基板上に第1導電膜と第2導電膜を形成する段階と、該第1導電膜と第2導電膜をパターニングしてゲート電極とゲートライン及び画素電極を形成する段階と、前記第1基板上に第2絶縁膜を形成する段階と、前記第1絶縁膜と第2絶縁膜の一部領域を除去してソース/ドレイン領域の一部を露出させるコンタクトホールを形成して、前記画素電極の上部の第2絶縁膜を除去する段階と、前記第1基板上に第3導電膜を形成する段階と、該第3導電膜をパターニングして前記コンタクトホールを通じてソース/ドレイン領域と電氣的に接続されるソース/ドレイン電極を形成し、前記画素電極の上部の第2導電膜を露出させる段階と、前記第1基板と第2基板間に液晶層を形成する段階とを含むことを特徴とする。

【0025】

また、他の発明に係る液晶表示素子の製造方法は、第1基板と第2基板を提供する段階と、前記第1基板上にアクティブ層を形成する段階と、前記第1基板上に第1絶縁膜を形成する段階と、前記第1基板上に第1導電膜と第2導電膜の二重層から成るゲート電極とゲートライン及び画素電極を形成する段階と、前記アクティブ層の所定領域及び画素電極を露出させる第2絶縁膜を形成する段階と、前記第1基板上に第3導電膜を形成、パターニングして前記コンタクトホールを通じてアクティブ層の所定領域と電氣的に接続されるソース/ドレイン電極を形成し、第1導電膜から成る画素電極を露出させる段階と、前記第1基板と第2基板間に液晶層を形成する段階とを含むことを特徴とする。

【0026】

また、本発明に係る液晶表示素子は、第1基板と第2基板と、前記第1基板上に形成されたアクティブ層と、前記第1基板上に形成された第1絶縁膜と、前記第1基板上に形成されて、第1導電膜と第2導電膜から成るゲート電極とゲートライン及び第1導電膜から成る画素電極と、前記第1基板上に形成されて、コンタクトホールを持つ第2絶縁膜と、前記第1基板上に形成されて前記コンタクトホールを通じてソース領域と接続されるソース電極及びドレイン領域と接続されるドレイン電極と、前記第1基板と第2基板間に形成された液晶層とを包含して構成されることを特徴とする。

【発明の効果】

【0027】

10

20

30

40

50

本発明に係る液晶表示素子及びその製造方法においては、ゲート電極と画素電極とを同時にパターンニングすることで、薄膜トランジスタの製造に使用されるマスクの数を減らし、製造工程及びコストを節減し得るという効果がある。

【 0 0 2 8 】

また、本発明は、4マスク構造の液晶表示素子の製造において、画素電極領域のオープン時に発生するドレイン電極の断線不良の問題を解決することで、収率を向上し得るという効果がある。

【発明を実施するための最良の形態】

【 0 0 2 9 】

以下、本発明に係る液晶表示素子及びその製造方法の好ましい実施の形態について図面を用いて説明する。 10

図1は、本発明の第1の実施の形態に係る液晶表示装置のアレイ基板の一部を示す平面図で、特に、薄膜トランジスタを包含する一つの画素を示している。

実際の液晶表示素子においては、N個のゲートラインとM個のデータラインとが交差してM×N個の画素が存在するが、説明を簡単にするために、図面には一つのための画素を示した。

ここで、本実施の形態においては、チャンネル層として多結晶シリコン薄膜を利用した多結晶シリコン薄膜トランジスタの例を挙げて説明しているが、本発明がこれに限定されず、薄膜トランジスタのチャンネル層として非晶質シリコン薄膜を利用することもできる。 20

【 0 0 3 0 】

図面に示すように、アレイ基板110には、該基板110上に縦横に配列され、画素領域を定義するゲートライン116とデータライン117が形成されている。また、前記ゲートライン116とデータライン117との交差領域には、スイッチング素子である薄膜トランジスタが形成されていて、前記画素領域の内部には、前記薄膜トランジスタに連結されて、カラーフィルター基板（図示せず）の共通電極と共に液晶（図示せず）を駆動させる画素電極150Bが形成されている。

【 0 0 3 1 】

また、前記薄膜トランジスタは、前記ゲートライン116に連結されたゲート電極121、データライン117に連結されたソース電極122及び画素電極150Bに連結されたドレイン電極123から構成されている。また、前記薄膜トランジスタは、前記ゲート電極121とソース/ドレイン電極122、123の絶縁のための第1絶縁膜（図示せず）と第2絶縁膜（図示せず）及び前記ゲート電極121に供給されるゲート電圧により前記ソース電極122とドレイン電極123間に伝導チャンネルを形成するアクティブパターン124とを包含して構成される。 30

【 0 0 3 2 】

ここで、前記ソース電極122の一部は、前記第1絶縁膜と第2絶縁膜に形成されたコンタクトホール140を通じて前記アクティブパターン124のソース領域と電氣的に接続され、前記ドレイン電極123の一部は、前記アクティブパターン124のドレイン領域と電氣的に接続されるようになる。 40

【 0 0 3 3 】

また、前記ソース電極122の他の一部は、前記データライン117に連結されて該データライン117の一部を構成し、前記ドレイン電極123の他の一部は、画素領域の方に延長されて、前記画素電極150Bに電氣的に接続されるようになる。

【 0 0 3 4 】

ここで、前記画素電極150Bの縁には、ゲートメタル（即ち、ゲート電極121とゲートライン116を構成する導電性物質）から成る導電膜パターン160B'が残っていて、前記画素電極150Bは、前記ゲート電極121及びゲートライン116と同時に同一層に形成することで、薄膜トランジスタの製作に使用されるマスクの数を減少させ得る。 50

【 0 0 3 5 】

以下、液晶表示素子の製造工程を通して詳細に説明する。

図 2 A 乃至図 2 D は、図 1 に示される液晶表示素子の III - III' 線に係る製造工程を順次示す断面図である。

図 2 A に示すように、ガラスのような透明な絶縁物質から成る基板 1 1 0 上にフォトリソグラフィ工程（第 1 マスク工程）を利用してシリコン層から成るアクティブパターン 1 2 4 を形成する。

【 0 0 3 6 】

ここで、前記基板 1 1 0 上にシリコン酸化膜（ SiO_2 ）から構成されるバッファ層（buffer layer）を形成した後、該バッファ層上にアクティブパターン 1 2 4 を形成することもできる。また、前記バッファ層は、ガラス基板 1 1 0 の内部に存在するナトリウム（sodium; Na）等の不純物が工程の途中で上部層に侵入することを遮断する役割をする。

【 0 0 3 7 】

また、前記シリコン層は、非晶質シリコン薄膜又は結晶化されたシリコン薄膜により形成し得るが、本実施の形態においては、結晶化された多結晶シリコン薄膜を利用して薄膜トランジスタを構成した場合の例を挙げている。ここで、多結晶シリコン薄膜は、基板上に非晶質シリコン薄膜を蒸着した後、多様な結晶化方式を利用して形成することができ、これに対して説明すると、次のとおりである。

【 0 0 3 8 】

先ず、非晶質シリコン薄膜は、多様な方法により蒸着して形成することができ、前記非晶質シリコン薄膜を蒸着する代表的な方法としては、低圧化学気相蒸着（Low Pressure Chemical Vapor Deposition; LPCVD）方法とプラズマ化学気相蒸着（Plasma Enhanced Chemical Vapor Deposition; PECVD）方法がある。

【 0 0 3 9 】

次いで、前記非晶質シリコン薄膜の内部に存在する水素原子を除去するための脱水素化（dehydrogenation）工程を進行した後、結晶化を実施する。ここで、非晶質シリコン薄膜を結晶化する方法としては、非晶質シリコン薄膜を高温窯炉（furnace）で熱処理する固相結晶化（Solid Phase Crystallization; SPC）方法とレーザーを利用するエキシマーレーザーアニーリング（Eximer Laser Annealing; ELA）方法がある。

【 0 0 4 0 】

一方、前記レーザー結晶化としては、パルス（pulse）状のレーザーを利用したエキシマーレーザーアニーリング方法が主に利用されるが、近来では、グレイン（grain）を水平方向に成長させて結晶化の特性を画期的に向上させた逐次的横方向結晶化（Sequential Lateral Solidification; SLS）方法が研究されている。

【 0 0 4 1 】

前記逐次的横方向結晶化は、グレインが液相（liquid phase）シリコンと固相（solid phase）シリコンの境界面において、該境界面に対して垂直方向に成長するという事実を利用した方法であって、レーザーエネルギーの大きさとレーザービームの照射範囲を適切に調節してグレインを所定の長さだけ側面成長させることで、シリコングレインの大きさを向上し得る結晶化方法である。

【 0 0 4 2 】

次いで、図 2 B 及び図 2 C は、第 1 の実施の形態によってゲート電極とゲートライン及び画素電極を同時に形成する過程を示していて、これを図 3 A 乃至図 3 D を参照して詳細に説明する。

【 0 0 4 3 】

図 3 A に示すように、アクティブパターン 1 2 4 が形成されている前記基板 1 1 0 の前面にゲート絶縁膜の第 1 絶縁膜 1 1 5 A と第 1 導電膜 1 5 0 及び第 2 導電膜 1 6 0 を順次形成する。

【 0 0 4 4 】

10

20

30

40

50

ここで、前記第1導電膜150は、画素電極を構成するためのインジウム - スズ - オキサイド (Indium Tin Oxide; ITO) 又はインジウム - 亜鉛 - オキサイド (Indium Zinc Oxide; IZO) 等のような透過率に優れた透明導電性物質を使用し、前記第2導電膜160は、ゲート電極とゲートラインを構成するためのアルミニウム (aluminium; Al)、アルミニウム合金 (Al alloy)、タングステン (tungsten; W)、銅 (copper; Cu)、クロム (chromium; Cr)、モリブデン (molybdenum; Mo) 等のような低抵抗の不透明導電性物質を使用することができる。

【0045】

次いで、図3B (又は図2B) に示すように、フォトリソグラフィ工程 (第2マスク工程) を利用して前記第2導電膜160と第1導電膜150を選択的にパターンニングすることで、前記ゲート電極121とゲートライン116及び画素電極150Bを形成する。 10

【0046】

ここで、前記ゲート電極121は、透明な第1導電膜から成る第1ゲート電極パターン150Aと不透明な第2導電膜から成る第2ゲート電極パターン160Aから構成され、透明な第1導電膜から成る画素電極150Bの上部には、前記画素電極150Bと同様の形態の不透明な第2導電膜から成る画素電極パターン160Bが残るようになる。

【0047】

次いで、前記ゲート電極121をマスクとして前記アクティブパターン124の所定領域に不純物イオンを注入して抵抗性接触層 (ohmic contact layer) であるソース領域124Aとドレイン領域124Bを形成する。ここで、前記ゲート電極121は、前記アクティブパターン124のチャンネル領域124Cにドーパント (dopant) が侵入することを防止するイオン - ストップャー (ion stopper) の役割をするようになる。 20

【0048】

また、前記アクティブパターン124の電気的な特性は、注入されるドーパントの種類によって変わるようになり、該注入されるドーパントがホウ素B等の3族元素に該当すると、P - タイプ薄膜トランジスタに、リン (P) 等の5族元素に該当すると、N - タイプ薄膜トランジスタに動作するようになる。

ここで、前記イオンの注入工程後に注入されたドーパントを活性化する工程を行うこともできる。

【0049】

次いで、図3Cに示すように、前記ゲート電極121とゲートライン116及び画素電極150Bが形成された基板110の前面に第2絶縁膜115Bを蒸着した後、フォトリジスト (photoresist) のような感光性物質から成る感光膜170を形成する。 30

また、前記第2絶縁膜115Bは、高開口率のためのベンゾシクロブテン (Benzocyclobutene; BCB) 又はアクリル系樹脂 (resin) のような透明有機絶縁物質に形成することができる。

【0050】

次いで、図3Dに示すように、フォトリソグラフィ工程 (第3マスク工程) を通じて前記感光膜170に光を選択的に照射した後、露光された感光膜170を現像することで、コンタクトホール領域及び画素電極領域をオープン (open) させるための所定の感光膜パターン170'を形成する。 40

【0051】

次いで、該感光膜パターン170'をマスクとして下部の第2絶縁膜115Bと第1絶縁膜115Aの一部領域を除去して前記アクティブパターン124のソース/ドレイン領域124A、124Bの一部を露出させる一対のコンタクトホール140を形成すると同時に、画素電極領域の第2絶縁膜115Bと第2導電膜から成る画素電極パターン160Bを除去して透明な導電性物質の第1導電膜から成る画素電極150Bの表面を露出させる。

【0052】

ここで、フォトリソグラフィ装置とマスクの整列マージンを考慮すると、前記画素電極 50

150Bの所定距離の内側に画素電極領域がオープンされるようになり、前記画素電極150Bの縁の上部に第2導電膜から成る第2導電膜パターン160B'が残るようになる。

【0053】

このように前記画素電極150Bの上部に残る画素電極パターン160Bは、別途のマスクを使用して除去することではなく、前記コンタクトホール140の形成時に画素電極領域も同時にオープンされるようにパターニングされた第2絶縁膜115Bパターン（又は、感光膜パターン170'）を利用して除去するようになるが、この場合、前記画素電極パターン160Bの第2導電膜が過蝕刻されるようになり、前記画素電極150Bの縁の上部の前記第2絶縁膜115Bと第2導電膜パターン160B'の境界にアンダーカット（undercut）が発生するようになる。

10

【0054】

次いで、図2Cに示すように、前記感光膜パターン170を除去すると、2回のフォトリソグラフィ工程を経て前記ゲート電極121とゲートライン116及び画素電極150Bが形成されるようになる。

【0055】

そして、図2Dに示すように、前記基板110の前面に第3導電膜を蒸着した後、フォトリソグラフィ工程（第4マスク工程）を利用してパターニングすることで、前記コンタクトホール140を通じてソース領域124Aと連結されるソース電極122及びドレイン領域124Bと連結されるドレイン電極123を形成する。

20

【0056】

ここで、前記ソース電極122の一部は、一方向に延長されて前記データライン117を構成し、前記ドレイン電極123の一部は、画素領域の方に延長されて画素電極150Bと連結されるようになる。

【0057】

このように前記第1の実施の形態に係る液晶表示素子の製造工程は、ゲート電極とゲートライン及び画素電極を同時にパターニングしてコンタクトホールの形成工程を一つ減らすことで、一般的な製造工程に比べて2回のマスク工程を減らすことができる。その結果、製造工程の単純化による収率の増加及び製造コストを低減し得る等の効果を呈する。

【0058】

30

しかしながら、図示するように、前記画素電極150Bの縁の上部に形成された第2導電膜パターン160B'のアンダーカットにより前記ドレイン電極123が画素電極150Bと連結されない断線D不良が発生するようになる。

【0059】

従って、画素電極領域をオープンさせる第2導電膜の蝕刻を後工程であるソース/ドレイン電極を形成する過程で行うことで、前述した第2導電膜パターンのアンダーカットによるドレイン電極の断線不良を防止できるようになるが、これに対し、以下、第2の実施の形態を通して詳細に説明する。

【0060】

図4A乃至図4Dは、本発明の第2の実施の形態に係る液晶表示素子の製造工程を順次示す断面図であり、図5A乃至図5Dは、前記第2の実施の形態に係る液晶表示素子の製造工程を順次示す平面図である。

40

ここで、本実施の形態の液晶表示素子の製造工程は、画素電極領域の第2絶縁膜と該第2導電膜を蝕刻する時に発生する第2導電膜パターンのアンダーカットによるドレイン電極の断線不良を防止するために、工程の順序を変えて行うことを除いては第1の実施の形態の液晶表示素子の製造工程と同様の構成からなっている。

【0061】

図4A及び図5Aに示すように、ガラスのような透明な絶縁物質から成る基板210上にフォトリソグラフィ工程（第1マスク工程）を利用してシリコン層から成るアクティブパターン224を形成する。

50

【0062】

次いで、図4B及び図5Bに示すように、前記基板210の前面に順序どおり第1絶縁膜215Aと第1導電膜及び第2導電膜を形成する。

【0063】

次いで、フォトリソグラフィ工程（第2マスク工程）を利用して前記第2導電膜と第1導電膜を選択的にパターンニングすることで、ゲート電極221とゲートライン216及び画素電極250Bを同時に形成する。

【0064】

ここで、前記ゲート電極221は、透明な第1導電膜から成る第1ゲート電極パターン250Aと不透明な第2導電膜から成る第2ゲート電極パターン260Aから構成されて、透明な第1導電膜から成る画素電極250Bの上部には、前記画素電極250Bと同様の形態の不透明な第2導電膜から成る画素電極パターン260Bが残るようになる。

【0065】

次いで、前記ゲート電極221をマスクとして前記アクティブパターン224の所定領域に不純物イオンを注入して抵抗性接触層であるソース領域224Aとドレイン領域224Bを形成する。

【0066】

前述した第1の実施の形態に係る第2導電膜パターンのアンダーカットによるドレイン電極の断線を防止するために、本実施の形態においては、画素電極領域をオープンさせる第2導電膜の蝕刻を後工程であるソース/ドレイン電極を形成する過程で行うようになるが、これに対し、図4C及び図4Dに示した後続工程を通して詳細に説明する。

【0067】

図4C及び図5Cに示すように、前記ゲート電極221とゲートライン及び画素電極250Bが形成された基板210の前面に第2絶縁膜215Bを蒸着した後、フォトリソグラフィ工程（第3マスク工程）を通じて前記第2絶縁膜215Bをパターンニングしてソース/ドレイン領域224A、224Bにコンタクトホール240を形成すると同時に、画素電極領域をオープンさせる。ここで、本実施の形態においては、前記画素電極領域の第2絶縁膜215Bのみを除去して第2導電膜から成る画素電極パターン260Bが画素電極250Bの上部に残るようにする。

【0068】

以下、図6A乃至図6Dを通じて前述した第3マスク工程に対し、詳細に説明する。

先ず、図6Aに示すように、第2絶縁膜215Bが形成されている基板210の前面にフォトレジストのような感光性物質から成る第1感光膜270を形成する。

【0069】

次いで、図6Bに示すように、前記第1感光膜270に光を選択的に照射した後、露光された第1感光膜270を現像することで、コンタクトホール領域及び画素電極領域をオープンさせるための所定の第1感光膜パターン270'を形成する。

【0070】

次いで、該第1感光膜パターン270'をマスクとして下部の第2絶縁膜215Bと第1絶縁膜215Aの一部領域を除去して前記アクティブパターン224のソース/ドレイン領域224A、224Bの一部を露出させる一対のコンタクトホール240を形成すると同時に、画素電極領域の第2絶縁膜215Bを除去して第2導電膜から成る画素電極パターン260Bの表面が露出されるようにする。

【0071】

次いで、図6Cに示すように、前記基板210の前面に第3導電膜280を蒸着した後、ソース/ドレイン電極をパターンニングするための第2感光膜370を形成する。

【0072】

ここで、画素電極領域の画素電極パターン250Bの上部には、直接的に前記第3導電膜280が蒸着されて前記画素電極パターン250Bと電氣的に接続され、後述する蝕刻工程を通じて前記第3導電膜280と画素電極パターン250Bの一部が除去されても第

10

20

30

40

50

1の実施の形態のようなドレイン電極の断線不良が発生しなくなる。

【0073】

次いで、フォトリソグラフィ工程（第4マスク工程）を通じて前記第2感光膜370に光を選択的に照射した後、露光された第2感光膜370を現像することで、図6Dに示すように、ソース/ドレイン電極領域を定義して画素電極領域の画素電極パターン260Bを除去するための所定の第2感光膜パターン370'を形成する。

【0074】

前記第2感光膜パターン370'をマスクとして下部の第3導電膜280の一部領域を除去し、前記コンタクトホール240を通じてソース領域224Aと連結されるソース電極222及びドレイン領域224Bと連結されるドレイン電極223を形成すると同時に、画素電極領域の画素電極パターン260Bを除去して透明な第1導電膜から成る画素電極250Bの表面が露出されるようにする。

10

【0075】

ここで、1回の蝕刻工程により前記ソース/ドレイン電極222、223を構成する第3導電膜と画素電極パターン260Bを構成する第2導電膜を同時に蝕刻するために、前記第2導電膜と第3導電膜は、同様の導電性金属物質に形成することができる。

【0076】

また、前記画素電極領域の画素電極パターン260Bは、前述した第1の実施の形態と同様の理由によって前記画素電極250Bの縁の上部に蝕刻されない状態で残って第2導電膜パターン260B'を形成するようになる。

20

【0077】

前述した本実施の形態のように、前記画素電極250Bの上部に残る第2導電膜から成る画素電極パターン260Bの除去をソース/ドレイン電極222、223の形成時に共に行うようになると、前記第2導電膜の過蝕刻による第2導電膜パターン260B'の境界にアンダーカットが発生しても、前述したように、前記ドレイン電極223と前記第2導電膜パターン260B'とが連結された状態であるため、前記第1の実施の形態のようなドレイン電極223の断線不良が防止されるようになる。

【0078】

次いで、図4D及び図5Dに示すように、前記第2感光膜パターン370'を除去すると、前記ゲート電極221とソース/ドレイン電極222、223及び画素電極250Bが形成されるようになる。

30

【0079】

ここで、前記ソース電極222の一部は、一方向に延長されてデータライン217を構成し、前記ドレイン電極223の一部は、画素領域の方に延長されて画素電極250Bと連結されるようになる。

【図面の簡単な説明】

【0080】

【図1】本発明の第1の実施の形態に係る液晶表示装置のアレイ基板の一部を示す平面図である。

【図2A】図1に示される液晶表示素子のIII-III'線に係る製造工程を示す断面図である。

40

【図2B】図2Aに続く製造工程を示す断面図である。

【図2C】図2Bに続く製造工程を示す断面図である。

【図2D】図2Cに続く製造工程を示す断面図である。

【図3A】図2B及び図2Cにおいて、第1の実施の形態によってゲート電極とゲートライン及び画素電極を同時に形成する過程を具体的に示す断面図である。

【図3B】図3Aに続く製造工程を示す断面図である。

【図3C】図3Bに続く製造工程を示す断面図である。

【図3D】図3Cに続く製造工程を示す断面図である。

【図4A】本発明の第2の実施の形態に係る液晶表示素子の製造工程を示す断面図である

50

。

【図 4 B】図 4 A に続く製造工程を示す断面図である。

【図 4 C】図 4 B に続く製造工程を示す断面図である。

【図 4 D】図 4 C に続く製造工程を示す断面図である。

【図 5 A】本発明の第 2 の実施の形態に係る液晶表示素子の製造工程を示す平面図である

。

【図 5 B】図 5 A に続く製造工程を示す断面図である。

【図 5 C】図 5 B に続く製造工程を示す断面図である。

【図 5 D】図 5 C に続く製造工程を示す断面図である。

【図 6 A】図 4 B 乃至図 4 D において、第 2 の実施の形態によってゲート電極とゲートラ 10
イン及び画素電極を同時に形成する過程を具体的に示す断面図である。

【図 6 B】図 6 A に続く製造工程を示す断面図である。

【図 6 C】図 6 B に続く製造工程を示す断面図である。

【図 6 D】図 6 C に続く製造工程を示す断面図である。

【図 7】従来の技術の液晶表示装置のアレイ基板の一部を示す平面図である。

【図 8 A】図 7 に示される液晶表示素子の I - I' 線に係る製造工程を示す断面図である。

【図 8 B】図 8 A に続く製造工程を示す断面図である。

【図 8 C】図 8 B に続く製造工程を示す断面図である。

【図 8 D】図 8 C に続く製造工程を示す断面図である。

【図 8 E】図 8 D に続く製造工程を示す断面図である。 20

【図 8 F】図 8 E に続く製造工程を示す断面図である。

【符号の説明】

【 0 0 8 1 】

1 1 0 : アレイ基板

1 1 6 : ゲートライン

1 1 7 : データライン

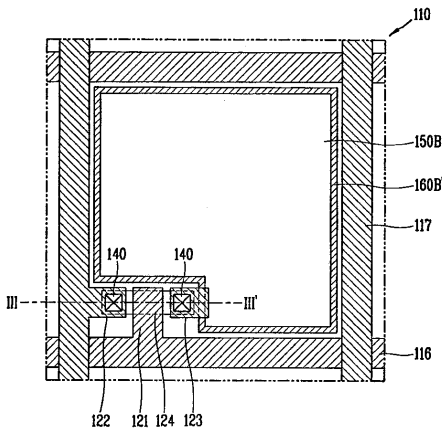
1 5 0 B : 画素電極

1 2 1 : ゲート電極

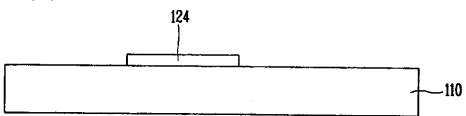
1 2 2 : ソース電極

1 2 2、1 2 3 : ソース / ドレイン電極 30

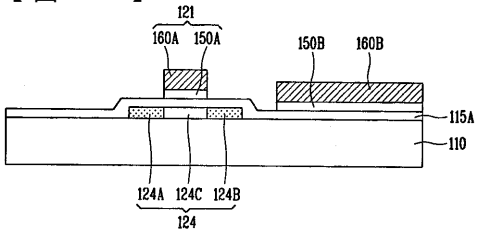
【図 1】



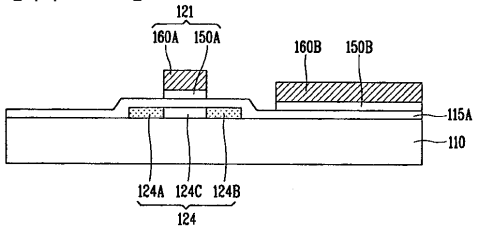
【図 2 A】



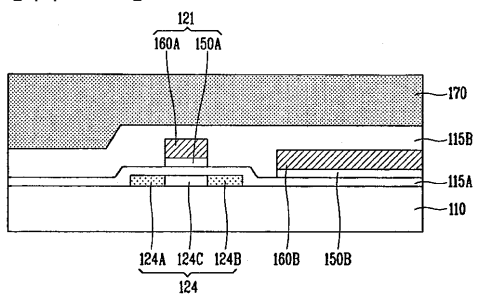
【図 2 B】



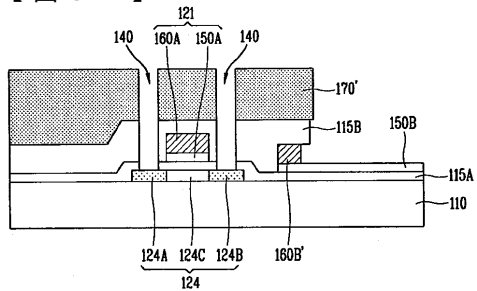
【図 3 B】



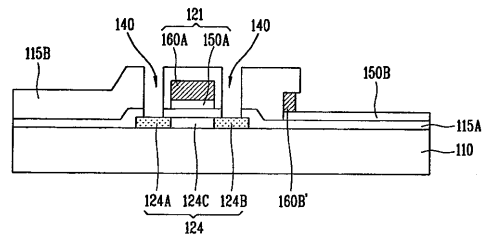
【図 3 C】



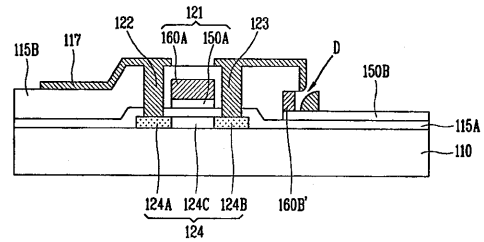
【図 3 D】



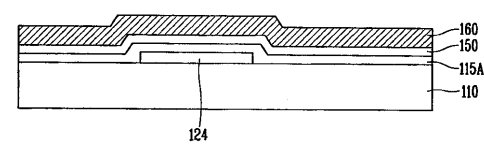
【図 2 C】



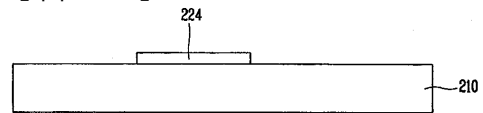
【図 2 D】



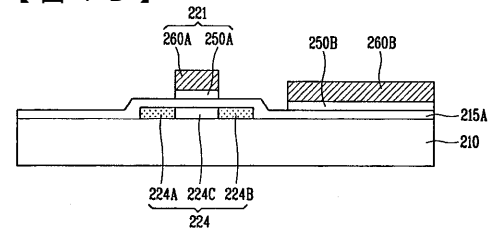
【図 3 A】



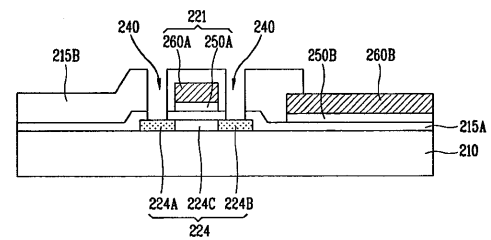
【図 4 A】



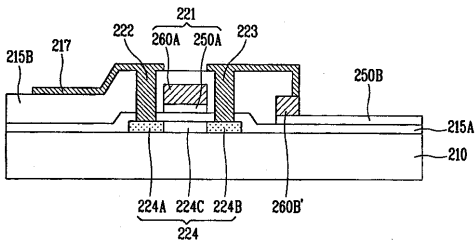
【図 4 B】



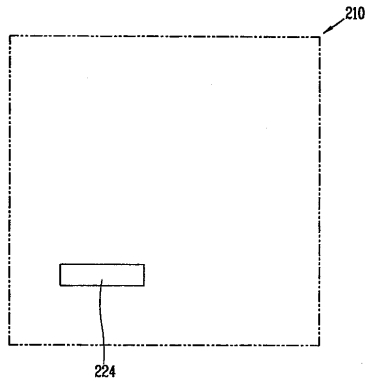
【図 4 C】



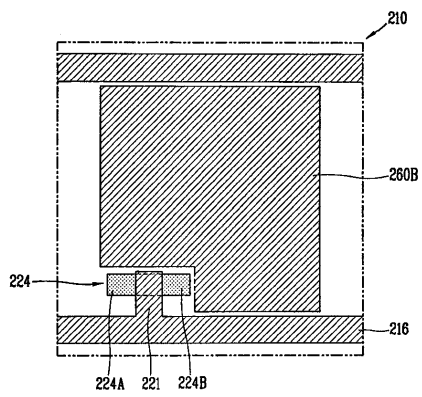
【図 4 D】



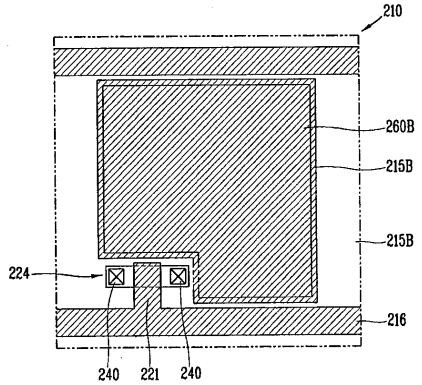
【図 5 A】



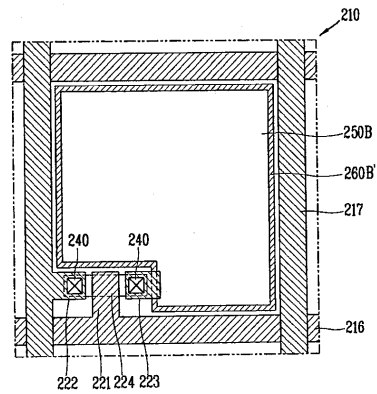
【図 5 B】



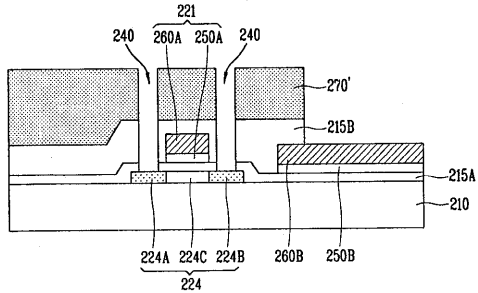
【図 5 C】



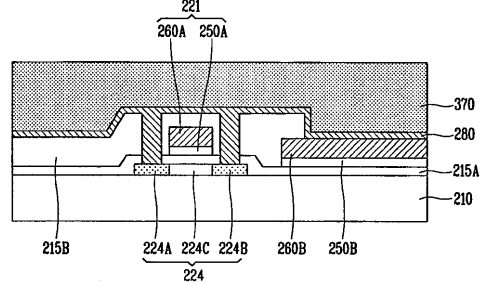
【図 5 D】



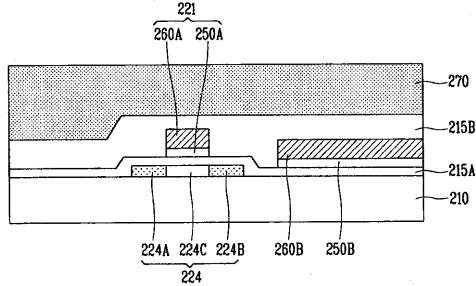
【図 6 B】



【図 6 C】



【図 6 A】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/49 (2006.01)

(72)発明者 ヨンイン・パク
 大韓民国、ソウル、ヤンチョン - グ、シンウォル - ドン 9 8 7 - 1、シンウォル・ムニシバル・
 アpartment 1 5 - 1 0 0 4

(72)発明者 ジュンスク・ヨ
 大韓民国、ソウル、ソチヨ - グ、ソチヨ - ドン 1 4 9 4 - 6、ロイヤル・カウンティー・ヴィラ
 3 0 2

F ターム(参考) 2H092 JA25 JA40 JA46 KA03 KA04 KA17 KA19 KB04 KB14 MA14
 MA17 MA27 MA37 NA27
 4M104 AA09 BB02 BB04 BB13 BB16 BB18 BB36 CC05 DD20 FF13
 GG09 GG10 GG14
 5F110 AA16 BB02 CC02 DD02 DD13 EE02 EE03 EE04 EE06 EE07
 EE14 GG02 GG13 GG15 GG45 GG47 HJ01 HJ13 HJ23 HM18
 NN02 NN27 NN72 PP01 PP03 PP35 QQ01 QQ08 QQ10

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2006053533A	公开(公告)日	2006-02-23
申请号	JP2005180837	申请日	2005-06-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	ヨンインパク ジュンスクヨ		
发明人	ヨンイン・パク ジュンスク・ヨ		
IPC分类号	G02F1/1368 H01L21/28 H01L21/336 H01L29/786 H01L29/423 H01L29/49		
CPC分类号	G02F1/136227 G02F2001/136231 G02F2202/104 H01L27/124 H01L27/1288		
FI分类号	G02F1/1368 H01L21/28.301.R H01L29/78.612.D H01L29/78.617.L H01L29/58.G		
F-TERM分类号	2H092/JA25 2H092/JA40 2H092/JA46 2H092/KA03 2H092/KA04 2H092/KA17 2H092/KA19 2H092/KB04 2H092/KB14 2H092/MA14 2H092/MA17 2H092/MA27 2H092/MA37 2H092/NA27 4M104/AA09 4M104/BB02 4M104/BB04 4M104/BB13 4M104/BB16 4M104/BB18 4M104/BB36 4M104/CC05 4M104/DD20 4M104/FF13 4M104/GG09 4M104/GG10 4M104/GG14 5F110/AA16 5F110/BB02 5F110/CC02 5F110/DD02 5F110/DD13 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE14 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG45 5F110/GG47 5F110/HJ01 5F110/HJ13 5F110/HJ23 5F110/HM18 5F110/NN02 5F110/NN27 5F110/NN72 5F110/PP01 5F110/PP03 5F110/PP35 5F110/QQ01 5F110/QQ08 5F110/QQ10 2H192/AA24 2H192/BA42 2H192/BC42 2H192/CB02 2H192/CB34 2H192/CC32		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020040063590 2004-08-12 KR		
其他公开文献	JP4312177B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示元件及其制造方法，以减少用于制造薄膜晶体管的掩模的数量。 解决方案：在第一基板上形成具有源区，漏区和沟道区的有源层，并在有源层上形成第一绝缘膜和在第一绝缘膜上形成第一导电膜。 形成并图案化第二导电膜以形成栅电极，栅极线和像素电极，并在栅电极以及第一绝缘膜和第二绝缘膜的源极/漏极部分上形成第二绝缘膜。 在像素电极上形成接触孔并去除像素电极上的第二绝缘膜，并在其上形成并构图第三导电膜以通过接触孔电连接到源/漏区。 形成源极/漏极并在像素电极上暴露第二导电膜，并在第一基板和第二基板之间形成液晶层。 [选型图]图1

