

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-328464

(P2005-328464A)

(43) 公開日 平成17年11月24日(2005.11.24)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H03F 3/30	H03F 3/30	2H093
G02F 1/133	G02F 1/133 570	5C006
G09G 3/20	G09G 3/20 611A	5C058
G09G 3/36	G09G 3/20 621F	5C080
H03F 3/34	G09G 3/20 621L	5J500
審査請求 有 請求項の数 8 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2004-146556 (P2004-146556)

(22) 出願日 平成16年5月17日 (2004.5.17)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100092196

弁理士 橋本 良郎

最終頁に続く

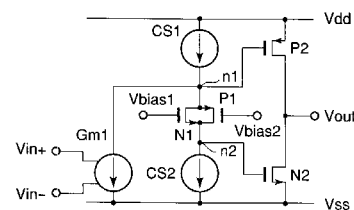
(54) 【発明の名称】 増幅器及びこれを用いた液晶ディスプレイ装置

(57) 【要約】

【課題】出力段を一つのフローティングレジスタによって駆動可能とすることにより、高速セトリングを実現しつつ低消費電流でチップ面積の小さい増幅器を提供する。

【解決手段】差動入力信号 V_{in+} , V_{in-} を差動入力 / 単相出力型の電圧 - 電流変換増幅器 G_{m1} で受け、電圧 - 電流変換増幅器 G_{m1} の単相出力信号をトランジスタ $P1$, $N2$ による一つのフローティングレジスタで受けて、フローティングレジスタにより出力段のトランジスタ $P2$, $N2$ を駆動する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

差動入力信号を受ける差動入力端子対及び単相出力信号を出力する単相出力端子を有する電圧 - 電流変換増幅器と；

前記単相出力端子に接続される第 1 ノードと第 1 の電源との間に接続される第 1 の電流源と；

第 2 ノードと第 2 の電源との間に接続される第 2 の電流源と；

前記第 1 ノードに接続される第 1 ドレイン端子、前記第 2 ノードに接続される第 1 ソース端子、及び第 1 のバイアス電圧が印加される第 1 ゲート端子を有する第 1 導電型の第 1 の MOS トランジスタと；

10

前記第 1 ノードに接続される第 2 ソース端子、前記第 2 ノードに接続される第 2 ドレイン端子、及び第 2 のバイアス電圧が印加される第 2 ゲート端子を有する第 2 導電型の第 2 の MOS トランジスタと；

前記第 1 ノードに接続される第 3 ゲート端子、信号出力端子に接続される第 3 ドレイン端子、及び前記第 1 の電源に接続される第 3 ソース端子を有する第 2 導電型の第 3 の MOS トランジスタと；

前記第 2 ノードに接続される第 4 ゲート端子、前記信号出力端子に接続される第 4 ドレイン端子、及び前記第 2 の電源に接続される第 4 ソース端子を有する第 1 導電型の第 4 の MOS トランジスタとを具備する増幅器。

【請求項 2】

20

前記電圧 - 電流変換増幅器は、前記差動入力端子対として機能する第 5 ゲート端子及び第 6 ゲート端子と、第 5 ドレイン端子及び第 6 ドレイン端子をそれぞれ有する第 2 導電型の第 5 及び第 6 の MOS トランジスタの差動対と；前記第 5 ドレイン端子に接続される電流入力端子、及び前記第 6 ドレイン端子と前記単相出力端子に接続される電流出力端子を有する能動負荷とを含む請求項 1 記載の増幅器。

【請求項 3】

差動入力信号を受ける差動入力端子対及び単相出力信号を出力する単相出力端子を有する電圧 - 電流変換増幅器と；

第 1 ノードと第 1 の電源との間に接続される第 1 の電流源と；

前記単相出力端子に接続される第 2 ノードと第 2 の電源との間に接続される第 2 の電流源と；

30

前記第 1 ノードに接続される第 1 ドレイン端子、前記第 2 ノードに接続される第 1 ソース端子、及び第 1 のバイアス電圧が印加される第 1 ゲート端子を有する第 1 導電型の第 1 の MOS トランジスタと；

前記第 1 ノードに接続される第 2 ソース端子、前記第 2 ノードに接続される第 2 ドレイン端子、及び第 2 のバイアス電圧が印加される第 2 ゲート端子を有する第 2 導電型の第 2 の MOS トランジスタと；

前記第 1 ノードに接続される第 3 ゲート端子、信号出力端子に接続される第 3 ドレイン端子、及び前記第 1 の電源に接続される第 3 ソース端子を有する第 2 導電型の第 3 の MOS トランジスタと；

40

前記第 2 ノードに接続される第 4 ゲート端子、前記信号出力端子に接続される第 4 ドレイン端子、及び前記第 2 の電源に接続される第 4 ソース端子を有する第 1 導電型の第 4 の MOS トランジスタとを具備する増幅器。

【請求項 4】

前記電圧 - 電流変換増幅器は、前記差動入力端子対として機能する第 5 ゲート端子及び第 6 ゲート端子と、第 5 ドレイン端子及び第 6 ドレイン端子をそれぞれ有する第 1 導電型の第 5 及び第 6 の MOS トランジスタの差動対と、前記第 5 ドレイン端子に接続される電流入力端子、及び前記第 6 ドレイン端子と前記単相出力端子に接続される電流出力端子を有する能動負荷とを含む請求項 3 記載の増幅器。

【請求項 5】

50

前記電圧 - 電流変換増幅器は、前記差動入力信号が零のときは前記単相出力端子からの出力電流が零であり、前記第 1 の電流源及び第 2 の電流源は、前記差動入力信号が零のときに等しい電流を出力する請求項 1 または 3 のいずれか 1 項記載の増幅器。

【請求項 6】

差動入力信号を受ける第 1 差動入力端子対、第 2 導電型の二つの MOS トランジスタの第 1 差動対、及び第 1 の単相出力信号を出力する第 1 単相出力端子を有する第 1 の電圧 - 電流変換増幅器と；

前記差動入力信号を受ける第 2 差動入力端子対、第 1 導電型の二つの MOS トランジスタの第 2 差動対、及び第 2 の単相出力信号を出力する第 2 単相出力端子を有する第 2 の電圧 - 電流変換増幅器と；

10

前記第 1 単相出力端子に接続される第 1 ノードと第 1 の電源との間に接続される第 1 の電流源と；

前記第 2 単相出力端子に接続される第 2 ノードと第 2 の電源との間に接続される第 2 の電流源と；

前記第 1 ノードに接続される第 1 ドレイン端子、前記第 2 ノードに接続される第 1 ソース端子、及び第 1 のバイアス電圧が印加される第 1 ゲート端子を有する第 1 導電型の第 1 の MOS トランジスタと；

前記第 1 ノードに接続される第 2 ソース端子、前記第 2 ノードに接続される第 2 ドレイン端子、及び第 2 のバイアス電圧が印加される第 2 ゲート端子を有する第 2 導電型の第 2 の MOS トランジスタと；

20

前記第 1 ノードに接続される第 3 ゲート端子、信号出力端子に接続される第 3 ドレイン端子、及び前記第 1 の電源に接続される第 3 ソース端子を有する第 1 導電型の第 3 の MOS トランジスタと；

前記第 2 ノードに接続される第 4 ゲート端子、前記信号出力端子に接続される第 4 ドレイン端子、及び前記第 2 の電源に接続される第 4 ソース端子を有する第 2 導電型の第 4 の MOS トランジスタとを具備する増幅器。

【請求項 7】

前記第 1 の電圧 - 電流変換増幅器は、前記第 1 の差動入力端子対として機能する第 5 ゲート端子及び第 6 ゲート端子と、第 5 ドレイン端子及び第 6 ドレイン端子をそれぞれ有する第 2 導電型の第 5 及び第 6 の MOS トランジスタの差動対と、前記第 5 ドレイン端子に接続される第 1 電流入力端子、及び前記第 6 ドレイン端子と前記第 1 単相出力端子に接続される第 1 電流出力端子を有する第 1 の能動負荷とを含み、

30

前記第 2 の電圧 - 電流変換増幅器は、前記第 2 の差動入力端子対として機能する第 7 ゲート端子及び第 8 ゲート端子と、第 7 ドレイン端子及び第 8 ドレイン端子をそれぞれ有する第 1 導電型の第 7 及び第 8 の MOS トランジスタの差動対と、前記第 7 ドレイン端子に接続される第 2 電流入力端子、及び前記第 8 ドレイン端子と前記第 2 単相出力端子に接続される第 2 電流出力端子を有する第 2 の能動負荷とを含む請求項 6 記載の増幅器。

【請求項 8】

複数の画素と該画素に映像信号に応じた信号電圧を選択的に与えるための信号線及び該信号線と交差する走査線を有する液晶ディスプレイと；

40

前記信号線を画像信号に応じて駆動する、請求項 1 乃至 7 のいずれか 1 項記載の増幅器を有する駆動回路と；

前記走査線を順次選択する選択回路とを具備する液晶ディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶デバイスのような容量性負荷を高速駆動するのに適した増幅器及びこれを用いた液晶ディスプレイ装置に関する。

【背景技術】

【0002】

50

増幅器にとってセトリングタイムは回路の性能を決定する重要なファクターの一つであり、高速なセトリングを得ることは極めて重要な事項である。特に大容量負荷を駆動する増幅器の場合、出力電流駆動能力が低いと大容量負荷を充放電するために長い時間がかかり、高速のセトリングを実現できない。

【0003】

一般に増幅器のセトリングタイムは、増幅器に供給するバイアス電流を増加し、出力電流の駆動能力を高くすることで短くすることができる。しかし、バイアス電流を増加すれば、それだけ消費電流も増加する。この点を解決するため、A B 級出力段を用いたりプッシュプル構成とした増幅器が多く用いられている。

【0004】

例えば、米国特許第 5, 311, 145 号明細書の図 1 には、入力信号を差動入力 / 差動出力型の入力段で受け、異なる導電型の二つのゲート接地トランジスタを組み合わせたフローティングレジスタを介して A B 級の出力段を駆動する増幅器が開示されている。フローティングレジスタを用いると、静的状態の消費電流は、ゲート接地トランジスタに与えるバイアス電圧により決定されるため、小さく抑えられる。一方、大信号入力時にはゲート接地トランジスタがオフ状態となって、出力段のトランジスタのゲート端子に大きな信号電圧が加わるため、出力段のトランジスタを大電流で駆動することで高速セトリングを実現することができる。

【特許文献 1】米国特許第 5, 311, 145 号明細書、図 1

【発明の開示】

【発明が解決しようとする課題】

【0005】

特許文献 1 によると、出力段に直接接続されるフローティングレジスタは一つだけでよいが、入力段の差動出力を受けるために二つのフローティングレジスタを必要とする。すなわち、入力段からの差動出力は二つのフローティングレジスタに入力され、二つのフローティングレジスタの出力が結合されて出力段に入力される。従って、二つのフローティングレジスタの存在により、消費電流を小さく抑える効果が損なわれ、それに伴いチップ面積が大きくなるという問題点がある。

【0006】

本発明の目的は、出力段を一つのフローティングレジスタによって駆動可能とすることにより、高速セトリングを実現しつつ低消費電流でチップ面積の小さい増幅器及びこれを用いた液晶ディスプレイ装置を提供することにある。

【課題を解決するための手段】

【0007】

上記の課題を解決するため、本発明の第 1 の観点による増幅器は、差動入力信号を受ける差動入力端子対及び単相出力信号を出力する単相出力端子を有する電圧 - 電流変換増幅器と；前記単相出力端子に接続される第 1 ノードと第 1 の電源との間に接続される第 1 の電流源と；第 2 ノードと第 2 の電源との間に接続される第 2 の電流源と；前記第 1 ノードに接続される第 1 ドレイン端子、前記第 2 ノードに接続される第 1 ソース端子、及び第 1 のバイアス電圧が印加される第 1 ゲート端子を有する第 1 導電型の第 1 の MOS トランジスタと；前記第 1 ノードに接続される第 2 ソース端子、前記第 2 ノードに接続される第 2 ドレイン端子、及び第 2 のバイアス電圧が印加される第 2 ゲート端子を有する第 2 導電型の第 2 の MOS トランジスタと；前記第 1 ノードに接続される第 3 ゲート端子、信号出力端子に接続される第 3 ドレイン端子、及び前記第 1 の電源に接続される第 3 ソース端子を有する第 1 導電型の第 3 の MOS トランジスタと；前記第 2 ノードに接続される第 4 ゲート端子、前記信号出力端子に接続される第 4 ドレイン端子、及び前記第 2 の電源に接続される第 4 ソース端子を有する第 2 導電型の第 4 の MOS トランジスタとを具備する。

【0008】

本発明の第 2 の観点による増幅器は、差動入力信号を受ける差動入力端子対及び単相出力信号を出力する単相出力端子を有する電圧 - 電流変換増幅器と；第 1 ノードと第 1 の電

10

20

30

40

50

源との間に接続される第 1 の電流源と；前記単相出力端子に接続される第 2 ノードと第 2 の電流源との間に接続される第 2 の電流源と；前記第 1 ノードに接続される第 1 ドレイン端子、前記第 2 ノードに接続される第 1 ソース端子、及び第 1 のバイアス電圧が印加される第 1 ゲート端子を有する第 1 導電型の第 1 の MOS トランジスタと；前記第 1 ノードに接続される第 2 ソース端子、前記第 2 ノードに接続される第 2 ドレイン端子、及び第 2 のバイアス電圧が印加される第 2 ゲート端子を有する第 2 導電型の第 2 の MOS トランジスタと；前記第 1 ノードに接続される第 3 ゲート端子、信号出力端子に接続される第 3 ドレイン端子、及び前記第 1 の電流源に接続される第 3 ソース端子を有する第 1 導電型の第 3 の MOS トランジスタと；前記第 2 ノードに接続される第 4 ゲート端子、前記信号出力端子に接続される第 4 ドレイン端子、及び前記第 2 の電流源に接続される第 4 ソース端子を有する第 2 導電型の第 4 の MOS トランジスタとを具備する。

10

【発明の効果】

【0009】

本発明によれば、差動入力信号を差動入力／単相出力型の電圧 - 電流変換増幅器で受け、出力段を一つのフローティングレジスタによって駆動可能とすることにより、高速セトリングを実現しつつ低消費電流でチップ面積の小さい増幅器を提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態を図面に基づいて説明する。

（第 1 の実施形態）

20

まず、図 1 を用いて本発明の第 1 の実施形態に係る増幅器について説明する。図 1 に示す増幅器においては、差動入力信号 V_{in+} 及び V_{in-} は差動入力／単相出力型の電圧 - 電流変換増幅器 $Gm1$ の差動入力端子対に入力される。電圧 - 電流変換増幅器 $Gm1$ の単相出力端子は、第 1 ノード $n1$ に接続される。第 1 ノード $n1$ と高電圧側の電源 V_{dd} との間に第 1 の電流源 $CS1$ が接続され、第 2 ノード $n2$ と低電圧の電源 V_{ss} との間に第 2 の電流源 $CS2$ が接続される。この例では、第 1 の電流源 $CS1$ は電流吐き出し型電流源が用いられ、第 2 の電流源 $CS2$ は電流吸い込み型電流源が用いられる。

【0011】

第 1 ノード $n1$ と第 2 ノード $n2$ との間に、ゲート接地の P 型 MOS トランジスタ（以下、PMOS トランジスタという） $P1$ とゲート接地の N 型 MOS トランジスタ（以下、NMOS トランジスタという） $N1$ による一組のフローティングレジスタが接続される。すなわち、トランジスタ $N1$ のドレイン端子及びトランジスタ $P1$ のソース端子はノード $n1$ に接続され、トランジスタ $N1$ のソース端子及びトランジスタ $P1$ のドレイン端子はノード $n2$ に接続される。トランジスタ $P1$ のゲート端子には、第 1 のバイアス電圧 V_{bias1} が印加される。トランジスタ $N1$ のゲート端子には、第 2 のバイアス電圧 V_{bias2} が印加される。

30

【0012】

第 1 ノード $n1$ 及び第 2 ノード $n2$ に、出力段の PMOS トランジスタ $P2$ のゲート端子及び NMOS トランジスタ $N2$ のゲート端子がそれぞれ接続される。トランジスタ $P2$ のソース端子は電源 V_{dd} に接続され、トランジスタ $N2$ のソース端子は電源 V_{ss} に接続される。トランジスタ $P2$ のドレイン端子及びトランジスタ $N2$ のドレイン端子は信号出力端子に共通に接続され、この信号出力端子から増幅された出力信号 V_{out} が取り出される。

40

【0013】

次に、図 1 の増幅器の動作について説明する。

図 1 の増幅器は、無信号入力時（ $V_{in+} = V_{in-}$ の時）、すなわち差動入力信号が零のときには、電圧 - 電流変換増幅器 $Gm1$ から電流が出力されず、電流源 $CS1$ 及び $CS2$ の電流 $I1$ 、 $I2$ が等しくなるように設計される。この場合、出力段の PMOS トランジスタ $P2$ に流れる無信号時のバイアス電流をフローティングレジスタの PMOS トランジスタ $P1$ のゲート・ソース間電圧、すなわちトランジスタ $P1$ のゲート端子に与えるバイア

50

ス電圧 V_{bias1} により制御できる。同様に、出力段の $NMOS$ トランジスタ $N2$ に流れる無信号時のバイアス電流をフローティングレジスタの $NMOS$ トランジスタ $N1$ のゲート端子に与えるバイアス電圧 V_{bias2} により制御できる。従って、電源 V_{dd} から電源 V_{ss} に向かって出力段のトランジスタ $P2$ 及び $N2$ に流れる無信号入力時のバイアス電流をバイアス電圧 V_{bias1} 及び V_{bias2} により制御することができる。

【0014】

一方、正の大信号入力時 ($V_{in+} \gg V_{in-}$ の時) には、ノード $n1$ から電圧 - 電流変換増幅器 $Gm1$ に差動入力信号 V_{in+} 及び V_{in-} の電圧 ($V_{in+} - V_{in-}$) に応じた電流が流れ込むことにより、ノード $n1$ の電位が下がる。ノード $n1$ の電位が下がると、フローティングレジスタの $PMOS$ トランジスタ $P1$ のゲート・ソース間電圧が無信号入力時よりも減少するので、トランジスタ $P1$ を流れる電流が減少し、ノード $n2$ の電位も下がる。ノード $n2$ の電位が下がると、フローティングレジスタの $NMOS$ トランジスタ $N1$ のゲート・ソース間電圧が無信号入力時よりも増加するので、トランジスタ $N1$ を流れる電流が減少し、ノード $n1$ の電位は更に低下する。

10

【0015】

このように正の大信号入力時には、ノード $n1$ を起点とした正帰還がかかることにより、ノード $n1$ 及び $n2$ の電位が共に低下する。従って、ノード $n1$ の電位低下によりトランジスタ $P2$ が信号出力端子に大電流を供給し、ノード $n2$ の電位低下によりトランジスタ $N2$ がカットオフ状態となるため、高いスルーレートを得ることができる。

【0016】

次に、負の大信号入力時 ($V_{in+} \ll V_{in-}$ の時) には、ノード $n1$ に電圧 - 電流変換増幅器 $Gm1$ から差動入力信号 V_{in+} 及び V_{in-} の電圧 ($V_{in+} - V_{in-}$) に応じた電流が流れ込むことにより、ノード $n1$ の電位が上がる。ノード $n1$ の電位が上がると、フローティングレジスタの $PMOS$ トランジスタ $P1$ のゲート・ソース間電圧が無信号入力時よりも増加するので、トランジスタ $P1$ を流れる電流が増加し、ノード $n2$ の電位も上がる。ノード $n2$ の電位が上がると、フローティングレジスタの $NMOS$ トランジスタ $N1$ のゲート・ソース間電圧が無信号入力時よりも増加するので、トランジスタ $N1$ を流れる電流は減少し、ノード $n1$ の電位は更に増加する。

20

【0017】

このように負の大信号入力時においても、ノード $n1$ を起点とした正帰還がかかることにより、ノード $n1$ 及び $n2$ の電位が共に増加する。従って、ノード $n2$ の電位増加によりトランジスタ $N2$ が信号出力端子に大電流を供給し、ノード $n1$ の電位増加によりトランジスタ $P2$ がカットオフ状態となるため、高いスルーレートを得ることができる。

30

【0018】

図1中に示す差動入力 / 単相出力型の電圧 - 電流変換増幅器 $Gm1$ には、例えば図2に示されるような差動対とカレントミラーによる能動負荷を有する一般的な電圧 - 電流変換増幅器を用いることができる。

【0019】

図2の電圧 - 電流変換増幅器では、差動対を形成する $NMOS$ トランジスタ $N11$ 及び $N12$ のゲート端子は差動入力端子対として機能し、差動入力信号 V_{in+} 及び V_{in-} が入力される。トランジスタ $N11$ 及び $N12$ の共通ソース端子は電流源の $NMOS$ トランジスタ $N13$ のドレイン端子に接続され、トランジスタ $N13$ のソース端子は電源 V_{ss} に接続される。電流源のトランジスタ $N13$ のゲート端子には、バイアス電圧 V_{bias3} が与えられる。

40

【0020】

トランジスタ $N11$ のドレイン端子は、差動対の能動負荷であるカレントミラーの電流入力側の $PMOS$ トランジスタ $P11$ のドレイン及びゲート端子に接続される。トランジスタ $N12$ のドレイン端子は、該カレントミラーの電流出力側の $PMOS$ トランジスタ $P12$ のドレイン端子に接続されると共に単相出力端子に接続され、単相出力端子から出力信号電流 I_{out} が出力される。カレントミラーのトランジスタ $P11$ 及び $P12$ のソース

50

端子は、電源 V_{dd} に接続される。

【0021】

図3に、図1の増幅器のより具体的な構成例を示す。図3においては、図1中の電圧 - 電流変換増幅器 G_{m1} に図2の回路を用い、さらに図1中の電流源 C_{S1} にPMOSトランジスタ $P3$ 、電流源 C_{S2} にNMOSトランジスタ $N3$ を用いている。トランジスタ $P3$ のゲート端子にはバイアス電圧 V_{bias4} が与えられ、トランジスタ $N3$ のゲート端子にはバイアス電圧 V_{bias3} 、すなわち電流変換増幅器 G_{m1} の電流源のトランジスタ $N13$ のゲート端子に与えられているのと同じバイアス電圧が与えられる。

【0022】

次に、図3に示す増幅器と特許文献1に記載された増幅器について、定性的に必要なとなる消費電流の比較を行う。図3に示す増幅器において定性的に必要なとなる電流は、 $(n + 2 + o) * I$ で表される。ここで、 n 、 o は I をある単位電流としたとき、電流 - 電圧変換増幅器 G_{m1} 及び出力段に流れる電流の I に対する倍数であり、増幅器全体の利得などにより決定される。すなわち、電流 - 電圧変換増幅器 G_{m1} に流れる電流は $n * I$ 、出力段に流れる電流は $o * I$ で与えられる。 $2 * I$ は、トランジスタ $N1$ 及び $P2$ を含むフローティングレジスタに必要な電流であり、トランジスタ $N1$ 及び $P1$ にそれぞれ流れる電流を単位電流 I として、 I に対する倍数が2となっている。

【0023】

一方、特許文献1に記載された増幅器において定性的に必要なとなる電流は $(n + 4 + o) * I$ で表される。 n 、 o は図3の増幅器と同様であり、電流 - 電圧変換増幅器に流れる電流は $n * I$ 、出力段に流れる電流は $o * I$ で与えられる。特許文献1に記載された増幅器では、入力段に差動入力 / 差動出力の電圧 - 電流変換増幅器を用いているため、入力段の差動出力に対応して二つのフローティングレジスタが必要である。従って、二つのフローティングレジスタに合計 $4 * I$ の電流が必要となる。

【0024】

このように本発明の実施形態に基づく図3に示す増幅器は、入力段に差動入力 / 単相出力型の電圧 - 電流変換増幅器 G_{m1} を用いているため、フローティングレジスタは G_{m1} の単相出力を受ける唯一つのみでよい。従って、特許文献1に記載の増幅器に比較して単位電流 I の2倍だけ消費電流が低く抑えられる。

【0025】

さらに、特許文献1に記載の増幅器では、二つのフローティングレジスタに対応して図3中の $P3$ に相当する二つの電流源及び $N3$ に相当する二つの電流源が必要である。従って、図3に示す増幅器を特許文献1に記載の増幅器を素子数、すなわちトランジスタの個数について比較した場合、図3に示す増幅器は一つのフローティングレジスタに含まれる二つのトランジスタと、二つの電流源のトランジスタが削減されるので、トランジスタの個数を4個減少させることができる。

【0026】

(第2の実施形態)

次に、図4を用いて本発明の第2の実施形態に係る増幅器について説明する。図4に示す増幅器は、電圧 - 電流変換増幅器 G_{m2} の単相出力端子が第2ノード $n2$ に接続されている点が図1に示した増幅器と異なる。図4に示す増幅器においても、無信号入力時 ($V_{in+} = V_{in-}$ の時) には電圧 - 電流変換増幅器 G_{m2} から電流が出力されず、電流源 C_{S1} 及び C_{S2} の電流 I_1 、 I_2 が等しくなるように設計する。これによりトランジスタ $P2$ に流れる無信号時のバイアス電流をトランジスタ $P1$ のゲート端子に与えるバイアス電圧 V_{bias1} により制御でき、トランジスタ $N2$ に流れる無信号時のバイアス電流をトランジスタ $N1$ のゲート端子に与えるバイアス電圧 V_{bias2} により制御できるので、電源 V_{dd} から電源 V_{ss} に向かって出力段のトランジスタ $P2$ 及び $N2$ に流れる無信号時のバイアス電流をバイアス電圧 V_{bias1} 及び V_{bias2} により制御することができる。

【0027】

また、正の大信号入力時 ($V_{in+} \gg V_{in-}$ の時) 及び負の大信号入力時 ($V_{in+} \ll V_{in-}$ の時) においても、図4に示す増幅器は、図1に示す増幅器と同様に動作する。

n-の時)においても、図1の増幅器においてはノードn1が正帰還の起点だったのに対し、図4の増幅器ではノードn2を起点とする正帰還がかかることにより、高いスルーレートを得ることができる。

【0028】

図5には、図4中に示す差動入力/単相出力型の電圧-電流変換増幅器Gm2の具体例を示す。図2に示した電圧-電流変換増幅器Gm1と同様に、差動対とカレントミラーによる能動負荷を有する一般的な電圧-電流変換増幅器であるが、差動対とカレントミラーにそれぞれ図2とは逆導型のMOSトランジスタを用いている。

【0029】

すなわち、図5の電圧-電流変換増幅器では、差動対を形成するPMOSトランジスタP21及びP22のゲート端子は差動入力端子対として機能し、差動入力信号Vin+及びVin-が入力される。トランジスタP21及びP22の共通ソース端子は電流源のPMOSトランジスタP23のドレイン端子に接続され、トランジスタP23のソース端子は電源Vddに接続される。電流源のトランジスタP23のゲート端子には、バイアス電圧Vbias4が与えられる。

【0030】

トランジスタP21のドレイン端子は、差動対の能動負荷であるカレントミラーの電流入力側のNMOSトランジスタN21のドレイン及びゲート端子に接続される。トランジスタP22のドレイン端子は、該カレントミラーの電流出力側のNMOSトランジスタN22のドレイン端子に接続されると共に単相出力端子に接続され、単相出力端子から出力信号電流Ioutが出力される。カレントミラーのトランジスタN21及びN22のソース端子は、電源Vssに接続される。

【0031】

(第3の実施形態)

次に、図6を用いて本発明の第3の実施形態に係る増幅器について説明する。図6の増幅器では、図1中に示した電圧-電流変換増幅器Gm1と図4中に示した電圧-電流変換増幅器Gm2の両方が備えられ、Gm1の単相出力端子はノードn1に接続され、Gm2の単相出力端子はノードn2に接続される。

【0032】

図6に示す増幅器においても、無信号入力時(Vin+=Vin-の時)には電圧-電流変換増幅器Gm2から電流が出力されず、電流源CS1及びCS2の電流I1, I2が等しくなるように設計することにより、トランジスタP2に流れる無信号時のバイアス電流をトランジスタP1のゲート端子に与えるバイアス電圧Vbias1により制御でき、トランジスタN2に流れる無信号時のバイアス電流をトランジスタN1のゲート端子に与えるバイアス電圧Vbias2により制御できるので、電源Vddから電源Vssに向かって出力段のトランジスタP2及びN2に流れる無信号時のバイアス電流をバイアス電圧Vbias1及びVbias2により制御することができる。

【0033】

さらに、正の大信号入力時(Vin+ >> Vin-の時)及び負の大信号入力時(Vin+ << Vin-の時)においては、図1の増幅器ではノードn1、図4の増幅器ではノードn2をそれぞれ起点とする正帰還がかかっていたのに対して、図6の増幅器ではノードn1及びn2の両方を起点とする正帰還が施されることによって、より高いスルーレートを実現することができる。

【0034】

図7は、図6の増幅器をより具体的に示す回路図であり、電圧-電流変換増幅器Gm1として図2に示す回路を使用し、電圧-電流変換増幅器Gm2として図5に示す回路を使用している。このように導電型の異なるトランジスタを用いた二つの電圧-電流変換増幅器Gm1及び電圧-電流変換増幅器Gm2を入力段に用いると、Gm1のNMOSトランジスタがカットオフ状態となるような信号が入力された場合には、Gm2のPMOSトランジスタが動作し、Gm2のPMOSトランジスタがカットオフするような信号が入力さ

れた場合には、G m 1 の N M O S トランジスタが動作する。従って、差動入力信号 V in+ 及び V in- の同相動作範囲を広くすることができる。

【 0 0 3 5 】

(増幅器の応用例について)

上述した本発明の実施形態に基づき増幅器は、例えば図 8 に示すような液晶ディスプレイ装置に好適である。図 8 の液晶ディスプレイ装置は、液晶セル 1 0 1 がマトリクス状に配列され、画像信号が供給される複数本の信号線 1 0 4 と複数本の走査線 1 0 5 が交差して配設されて構成された液晶ディスプレイパネル 1 0 0 と、画像信号を信号線 1 0 4 に供給して液晶ディスプレイパネル 1 0 0 を駆動するための液晶ディスプレイ駆動回路 1 0 2 、及び走査線 1 0 5 を選択的に駆動する走査線選択回路 1 0 3 を有する。

10

【 0 0 3 6 】

液晶ディスプレイ駆動回路 1 0 2 は、図示しないが例えば R G B 信号を記憶する 1 水平ラインに必要な画素数と同じ数の第 1 ラッチ群と、R G B 信号をラッチするタイミングパルスを転送するシフトレジスタと、第 1 ラッチ群で記憶された R G B 信号を 1 水平期間の周期でさらに記憶する第 2 ラッチ群と、第 2 ラッチ群で記憶された 1 水平ラインの R G B 信号をアナログ値に変換する D / A 変換器群と、D / A 変換器群によりアナログ電圧に変換された R G B 信号をそれぞれ増幅して、図 8 の液晶ディスプレイパネル 1 0 0 の信号線及び液晶セルを駆動するための増幅器群により構成される。これらの増幅器群に、本発明の実施形態に基づく増幅器を用いることができる。

【 図面の簡単な説明 】

20

【 0 0 3 7 】

【 図 1 】 本発明の第 1 の実施形態に係る増幅器の回路図

【 図 2 】 図 1 中に示す電圧 - 電流変換増幅器 G m 1 の具体例を示す回路図

【 図 3 】 図 1 の増幅器の具体例を示す回路図

【 図 4 】 本発明の第 2 の実施形態に係る増幅器の回路図

【 図 5 】 図 2 中に示す電圧 - 電流変換増幅器 G m 2 の具体例を示す回路図

【 図 6 】 本発明の第 3 の実施形態に係る増幅器の回路図

【 図 7 】 図 6 の増幅器の具体例を示す回路図

【 図 8 】 液晶ディスプレイ装置の回路図

【 符号の説明 】

30

【 0 0 3 8 】

V in+ , V in- ... 差動入力信号

G m 1 , G m 2 ... 電圧 - 電流変換増幅器

V out ... 出力信号

n 1 ... 第 1 ノード

n 2 ... 第 2 ノード

P 1 , N 1 ... フローティングレジスタのトランジスタ

P 2 , N 2 ... 出力段のトランジスタ

P 3 , N 3 ... 電流源のトランジスタ

C S 1 , C S 2 ... 電流源

40

N 1 1 , N 1 2 ... 差動対のトランジスタ

P 1 1 , P 1 2 ... 能動負荷のトランジスタ

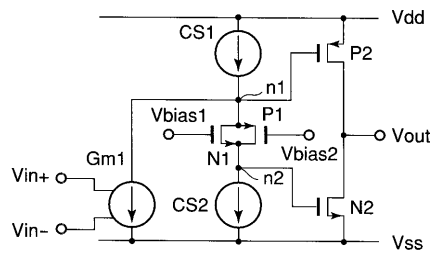
N 1 3 ... 電流源のトランジスタ

P 2 1 , P 2 2 ... 差動対のトランジスタ

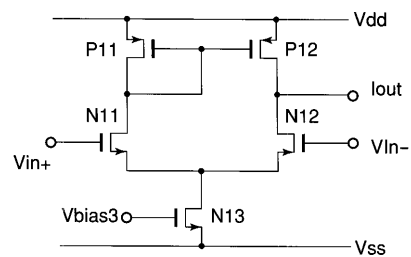
N 2 1 , N 2 2 ... 能動負荷のトランジスタ

P 2 3 ... 電流源のトランジスタ

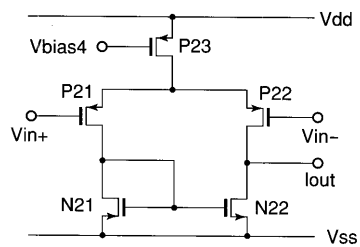
【図 1】



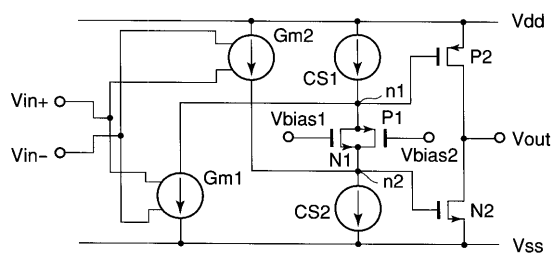
【図 2】



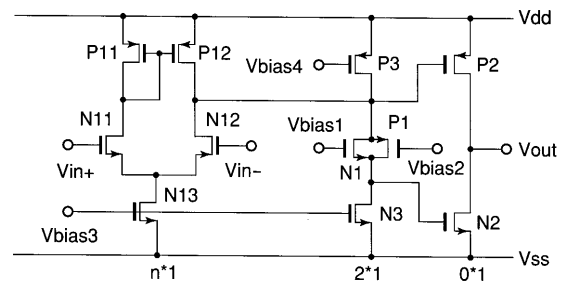
【図 5】



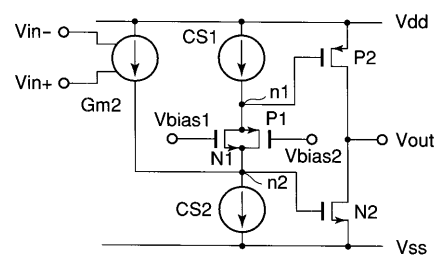
【図 6】



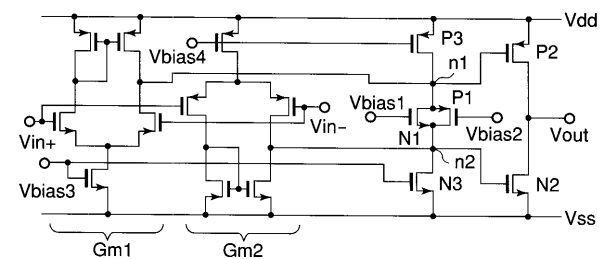
【図 3】



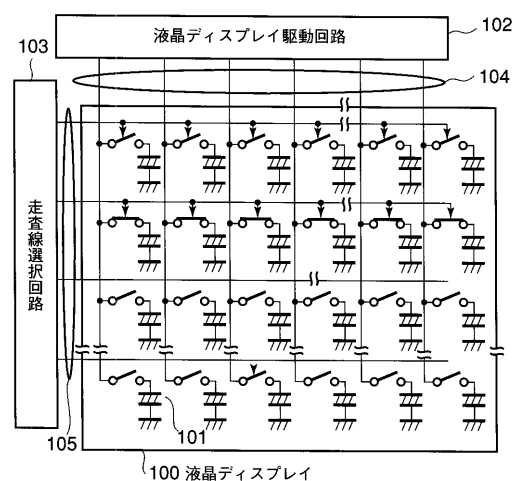
【図 4】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 4 N 5/66	G 0 9 G 3/20 6 2 3 B	
	G 0 9 G 3/36	
	H 0 3 F 3/34 C	
	H 0 4 N 5/66 1 0 2 B	

(72)発明者 伊藤 類

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

(72)発明者 板倉 哲朗

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

F ターム(参考) 2H093 NA16 NC23 NC25 NC28 ND32 ND39 ND42
 5C006 AA16 AC11 AC21 AF43 BB15 BC12 BF25 FA12 FA47
 5C058 AA06 BA01 BA26
 5C080 AA10 BB05 DD08 DD26 EE29 FF11 JJ02 JJ03
 5J500 AA01 AA11 AA18 AC36 AC65 AC92 AF20 AH10 AH17 AH29
 AH38 AK00 AK02 AK05 AK07 AK09 AK48 AM22 AS00 AT01

专利名称(译)	放大器和使用该放大器的液晶显示装置		
公开(公告)号	JP2005328464A	公开(公告)日	2005-11-24
申请号	JP2004146556	申请日	2004-05-17
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	伊藤 類 板倉 哲朗		
发明人	伊藤 類 板倉 哲朗		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H03F3/30 H03F3/34 H04N5/66		
FI分类号	H03F3/30 G02F1/133.570 G09G3/20.611.A G09G3/20.621.F G09G3/20.621.L G09G3/20.623.B G09G3/36 H03F3/34.C H04N5/66.102.B H03F3/34.230		
F-TERM分类号	2H093/NA16 2H093/NC23 2H093/NC25 2H093/NC28 2H093/ND32 2H093/ND39 2H093/ND42 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF43 5C006/BB15 5C006/BC12 5C006/BF25 5C006/FA12 5C006/FA47 5C058/AA06 5C058/BA01 5C058/BA26 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5J500/AA01 5J500/AA11 5J500/AA18 5J500/AC36 5J500/AC65 5J500/AC92 5J500/AF20 5J500/AH10 5J500/AH17 5J500/AH29 5J500/AH38 5J500/AK00 5J500/AK02 5J500/AK05 5J500/AK07 5J500/AK09 5J500/AK48 5J500/AM22 5J500/AS00 5J500/AT01		
代理人(译)	河野 哲 中村 诚		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一个降低电流消耗和芯片面积的放大器，同时通过使用一个浮动寄存器驱动输出级来实现高速建立。ŽSOLUTION：差分输入信号 V_{in+} ， V_{in-} 由差分输入/单相输出型电压/电流转换放大器 $Gm1$ 接收，电压/电流转换放大器 $Gm1$ 的单相输出信号由一个浮动寄存器接收。输出级的晶体管 $P1$ ， $N2$ 和晶体管 $P2$ ， $N2$ 由浮动寄存器驱动。Ž

