

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-317579

(P2005-317579A)

(43) 公開日 平成17年11月10日(2005.11.10)

(51) Int.Cl.⁷

H01L 29/786
G02F 1/1362
G09F 9/30
G09F 9/35
H01L 21/28

F I

H01L 29/78 616V
G02F 1/1362
G09F 9/30 338
G09F 9/35
H01L 21/28 301R

テーマコード(参考)

2H092
4M104
5C094
5F033
5F110

審査請求 未請求 請求項の数 7 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2004-130702 (P2004-130702)

(22) 出願日 平成16年4月27日(2004.4.27)

(71) 出願人 000183646

出光興産株式会社

東京都千代田区丸の内3丁目1番1号

(74) 代理人 100109014

弁理士 伊藤 充

(72) 発明者 井上 一吉

千葉県袖ヶ浦市上泉1280番地 出光興産株式会社中央研究所内

(72) 発明者 松原 雅人

千葉県袖ヶ浦市上泉1280番地 出光興産株式会社中央研究所内

Fターム(参考) 2H092 GA11 GA28 GA29 HA04 JA24

JB01 JB04 JB05 KB01 KB11

4M104 AA09 BB02 BB36 BB38 CC01

CC05 GG09 GG10 GG14 HH15

最終頁に続く

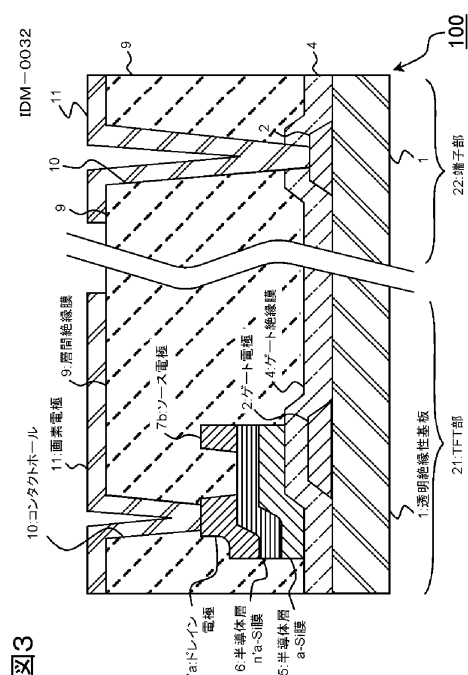
(54) 【発明の名称】 薄膜トランジスタ及び薄膜トランジスタ基板及び薄膜トランジスタ基板の製造方法及び薄膜トランジスタ基板を用いた液晶表示装置

(57) 【要約】

【課題】 第2導体と第1導体が電氣的に接続する際、コンタクト抵抗が低い薄膜トランジスタ基板を提供する。

【解決手段】 透明絶縁性基板上に、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びErからなる金属群M1から選ばれた一種又は二種以上の金属を含むAl合金を用いて、ゲート、ソース、及びドレインからなる導体群E1に含まれるいずれかの導体である第1導体を形成する第1導体形成工程と、形成された前記第1導体、及び前記透明絶縁性基板を覆うように、絶縁膜を成膜する絶縁膜成膜工程と、成膜された前記絶縁膜に、コンタクトホールを形成するコンタクトホール形成工程と、前記絶縁膜上に透明膜電極からなる第2導体を形成し、前記第2導体と、前記第1導体と、が前記コンタクトホールを介して電氣的に接続する電極接続工程と、を少なくとも含む薄膜トランジスタ基板の製造方法である。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びErからなる金属群M1から選ばれた一種又は二種以上の金属を含むAl合金を用いて、ゲート、ソース、及びドレインからなる導体群E1に含まれるいずれかの導体である第1導体を、透明絶縁性基板上に形成する第1導体形成工程と、

形成された前記第1導体、及び前記透明絶縁性基板を覆うように、絶縁膜を成膜する絶縁膜成膜工程と、

成膜された前記絶縁膜に、コンタクトホールを形成するコンタクトホール形成工程と、

前記絶縁膜上に透明膜電極からなる第2導体を形成する工程であって、前記第2導体と、前記第1導体と、が前記コンタクトホールを介して電氣的に接続する電極接続工程と、を少なくとも含むことを特徴とする薄膜トランジスタ基板の製造方法。 10

【請求項 2】

透明絶縁性基板と、前記透明絶縁性基板上に設けられ、且つ、ゲート、ソース、及びドレインからなる導体群E1に含まれるいずれかの導体である第1導体を含む薄膜トランジスタであって、

前記第1導体が、

W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びErからなる金属群M1から選ばれた一種又は二種以上の金属を含むAl合金からなるAl層 20

を含み、

且つ、前記第1導体上の絶縁膜に形成されたコンタクトホールを介して、透明膜電極からなる第2導体と接続することを特徴とする薄膜トランジスタ。

【請求項 3】

前記第1導体が、前記金属群M1から選ばれた一種又は二種以上の金属を0.5～5wt%有するAl層を含むことを特徴とする請求項2に記載の薄膜トランジスタ。

【請求項 4】

透明絶縁性基板と、前記透明絶縁性基板上に形成され、且つ、ゲート、ソース、及びドレインからなる導体群E1に含まれるいずれかの導体である第1導体を含み、さらに、少なくとも前記透明絶縁性基板を覆うように形成された絶縁膜と、前記絶縁膜上に形成された第2導体と、を少なくとも含む薄膜トランジスタ基板であって、 30

前記第1導体は、

W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びErからなる金属群M1から選ばれた一種又は二種以上の金属を含むAl合金からなるAl層

を含み、

前記絶縁膜は、

所定の前記第1導体及び前記第2導体方向に貫通しているコンタクトホール

を備え、

前記第2導体は、

透明膜電極からなり、

前記第2導体が、前記コンタクトホールを介して、前記第1導体の前記Al層と電氣的に接続していることを特徴とする薄膜トランジスタ基板。 40

【請求項 5】

前記透明膜電極が、酸化インジウム、酸化すず、酸化インジウムすず、酸化インジウム亜鉛、及び酸化亜鉛のいずれかからなることを特徴とする請求項4に記載の薄膜トランジスタ基板。

【請求項 6】

前記第1導体が、前記金属群M1から選ばれた一種又は二種以上の金属を0.5～5wt%有するAl層を含むことを特徴とする請求項4又は5のいずれかに記載の薄膜トランジスタ基板。

【請求項 7】

請求項４～６のいずれかに記載の薄膜トランジスタ基板と、
前記薄膜トランジスタ基板により駆動される液晶層と、
を含むことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、薄膜トランジスタ（Thin Film Transistor：以下、ＴＦＴと記載することもある）基板、特にＴＦＴに関する。また、このＴＦＴ基板の製造方法に関する。また、このＴＦＴ基板を用いた液晶表示装置に関する。

【背景技術】

【０００２】

マトリックス型液晶表示装置は、通常、ＴＦＴアレイ基板と、対向基板と、このＴＦＴアレイ基板及び対向基板に挟持された液晶等の表示材料と、から構成されている。マトリックス型液晶表示装置は、この表示材料に対して、画素ごとに、選択的に電圧を印加することにより、所定の画像を表示する。

ＴＦＴアレイ基板には、半導体薄膜（以下、単に、半導体膜と記載する）等が設けられ、一方、対向基板には、対向電極、カラーフィルタ及びブラックマトリックス等が設けられている。このようなＴＦＴアレイ基板等を用いた液晶表示装置（Liquid Crystal Display：以下、ＬＣＤと記載する）を、以下ＴＦＴ－ＬＣＤと呼ぶ。

【０００３】

上記ＴＦＴアレイ基板においては、ガラス等からなる絶縁性基板上に、各素子ごとにアレイ状に、ゲート電極、ソース電極、ドレイン電極、及び半導体膜からなるＴＦＴと、画素電極と、が少なくとも設けられている。また、その他にも、配向膜や、必要に応じて蓄積容量等が設けられるとともに、各画素間には、ゲート配線やソース配線等の信号線が設けられている。これらのゲート配線及びソース配線は、上記絶縁性基板上に、それぞれ互いに直交するように、複数本ずつ設けられて表示領域が構成されている。さらに、この表示領域の外側には、各信号線に対応して、入力端子や、ＴＦＴを駆動する駆動回路等が、それぞれ設けられている。

【０００４】

また、このようなＴＦＴアレイ基板を用いた液晶表示装置を製造するためには、ガラス基板上に、ＴＦＴに含まれるゲート及びソース／ドレインと、その他の共通配線と、をアレイ状に作製し、表示領域とする。さらに、この表示領域の周辺に、入力端子、予備配線及び駆動回路等を配置する。

尚、本特許では、ゲート電極及びゲート配線の総称をゲートと記載し、ソース電極及びソース配線の総称をソースと記載する。また、ドレイン電極を単にドレインと記載することもある。さらに、ソース及びドレインの総称をソース／ドレインと記載する。また、本特許において、第１導体は、具体的には、これらのゲート、ソース、ドレインであり、第２導体は、上記画素電極である。

【０００５】

ＴＦＴアレイ基板の絶縁性基板上には、所定の機能を発揮させるために、導電性薄膜（以下、単に、導電膜と記載する）や、絶縁性薄膜（以下、単に、絶縁膜と記載する）を必要に応じて配設することも好ましい。一方、対向基板には、上述したように、対向電極が設けられるとともに、カラーフィルタや、ブラックマトリックスが設けられる。

【０００６】

上述したように、ＴＦＴアレイ基板と、対向電極と、を製造した後、これら２枚の基板の間に液晶材料を注入し得るように、所定の間隙を設ける。この状態で、両基板をその周囲で貼り合わせた後、これらの基板の間隙に液晶材料を注入してＴＦＴ－ＬＣＤを製造する。

【０００７】

10

20

30

40

50

TFT-LCDに用いられるTFTアレイ基板や対向基板には、公知の薄膜技術を利用して、種々の半導体素子等が設けられる。例えば、TFTアレイ基板の半導体素子を製造するためには、上述したように、絶縁性基板には、ゲート、ソース、ドレイン（以下、これらを第1導体と記載する）と、半導体膜と、絶縁膜と、画素電極（以下、第2導体と記載する）を構成する導電膜と、等が形成される。この時、一般的には、第2導体は、第1導体上に設けられた絶縁膜の上に形成されるため、第2導体及び第1導体が、直接接触することはない。このため、第1導体と、第2導体と、の間に電氣的な接続をとる場合には、絶縁膜にコンタクトホールを形成する。すなわち、絶縁膜に形成されたコンタクトホールを介して、第1導体と、第2導体と、が電氣的に接続するのである。

【0008】

10

一方、上記第1導体、特に、ゲート配線やソース配線の材料としては、TFT-LCDの大型化あるいは高精細化に伴い、信号伝達の遅延を防止するために、純AlあるいはAl合金が、その特性上及びプロセス上の観点から、望ましいと考えられている。この理由は、純AlあるいはAl合金が電氣的に低抵抗だからである。

【0009】

しかしながら、透明性の画素電極（第2導体）の材料として、ITO（Indium Tin Oxide：インジウム・スズ酸化物）や、IZO（登録商標：出光興産株式会社、Indium Zinc Oxide：インジウム・亜鉛酸化物）等を用いる場合には、第1導体の材料として、上記純AlあるいはAl合金を用いることは、必ずしも好ましいとは考えられていなかった。この理由は、上記第2導体と、第1導体と、が接続（以下、コンタクトと記載することもある）すると、そのコンタクト抵抗は、 $1 \times 10 \sim 1 \times 12 \Omega$ と非常に高くなり、良好なコンタクト特性を得ることはできなかったためである。

20

【0010】

このため、絶縁膜に開口したコンタクトホールを介して、純Al又はAl合金からなる第1導体と、ITOやIZO等の透明導電膜からなる第2導体と、を直接コンタクトする構造のTFTアレイ基板において、良好なコンタクト抵抗を得ることは、困難であると考えられていた。

【0011】

この問題を解決する方法として、上記第1導体及び上記第2導体が良好なコンタクトを得るために、従来から種々の方法が検討されている。例えば、下記特許文献1においては、Alを含むAl層と、酸化しにくい導電性の金属層と、からなる2層構造のソース電極を有する薄膜トランジスタアレイ基板であって、画素電極が、パッシベーション膜に形成されたコンタクトホールを介して、ソース電極の金属層と接続している薄膜トランジスタアレイ基板が開示されている。このように、画素電極が金属層と接続することで、ソース電極と画素電極との電氣的接触が良好になる。

30

【0012】

また、下記特許文献2には、ドレイン電極上のコンタクトホール内に、所望の厚さで金属層を形成し、コンタクトホールによる段差を効果的に低減させることにより、製造工程がより簡略化され、且つ、画素電極が切断し難いアクティブマトリクス基板の製造方法が開示されている。

40

【0013】

また、下記特許文献3には、シリサイドを形成する金属からなる下部層と、銅からなる上部層と、からなる2層構造のドレイン電極を有する薄膜トランジスタアレイであって、画素電極が、保護膜に形成されたコンタクトホールを通じて、ドレイン電極の上部層と接続している薄膜トランジスタアレイが開示されている。このように、画素電極が、銅からなる上部層と接続することで、薄膜トランジスタアレイは、ドレイン電極の抵抗が低く良好な電氣的コンタクトを維持しつつ、高い効率で液晶に対して電圧を印加することができ

【0014】

50

また、下記特許文献 4 では、純 A l 又は A l 合金からなる下層と、純 A l 又は A l 合金に、N、O、S i、及び C の中から少なくとも一種の元素を添加してなる上層と、からなる 2 層構造の第 1 電極を有する薄膜トランジスタであって、第 2 電極と第 1 電極の上層が、電氣的に接続している薄膜トランジスタが開示されている。

【 0 0 1 5 】

下記特許文献 1 ~ 4 の基板におけるソース電極又はゲート電極において、画素電極と接続する部分は、いずれも 2 層構造となっていた（例えば、特許文献 1 のソース電極は、純 A l 又は A l 合金上に、C r、T i、M o、C u、N i 等を成膜した 2 層構造となっていた）。

【 0 0 1 6 】

【特許文献 1】特開平 4 - 2 5 3 3 4 2 号公報

【特許文献 2】特開平 4 - 3 0 5 6 2 7 号公報

【特許文献 3】特開平 8 - 1 8 0 5 8 号公報

【特許文献 4】特開平 1 1 - 2 8 4 1 9 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 7 】

このように、従来の製造方法においては、I T O や I Z O 等からなる第 2 導体と、純 A l 又は A l 合金からなる第 1 導体と、のコンタクト抵抗が、 $1 \times E 1 0 \sim 1 \times E 1 2 \Omega$ と非常に高く、良好なコンタクト抵抗が得られなかった。

また、良好な（低い）コンタクト抵抗を得るために、第 1 導体の構造を異なる材料からなる 2 層構造とした場合には、この第 1 導体を、一種類の試薬（エッチング液）で 1 度にエッチングすることは困難であり、二種類の試薬（エッチング液）を用いて、2 度エッチングすることが必要であった。このため、製造工程の複雑化を招いていた。

本発明は、上記課題を解決するためになされたものであり、第 2 導体と第 1 導体が、電氣的に接続する際、そのコンタクト抵抗が低い薄膜トランジスタ及び薄膜トランジスタ基板を提供することを目的とする。また、本発明は、上記薄膜トランジスタ基板をより簡易に、且つ、より低コストで製造し得る薄膜トランジスタ基板の製造方法を提供することを目的とする。また、本発明の目的は、上記薄膜トランジスタ基板を含む液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 8 】

薄膜トランジスタ基板の製造方法の発明

（ 1 ）そこで、上記課題を解決するために、本発明は、W、M o、L a、N b、F e、P d、P t、C e、H o、及び E r からなる金属群 M 1 から選ばれた一種又は二種以上の金属を含む A l 合金を用いて、ゲート、ソース、及びドレインからなる導体群 E 1 に含まれるいずれかの導体である第 1 導体を、透明絶縁性基板上に形成する第 1 導体形成工程と、形成された前記第 1 導体、及び前記透明絶縁性基板を覆うように、絶縁膜を成膜する絶縁膜成膜工程と、成膜された前記絶縁膜に、コンタクトホールを形成するコンタクトホール形成工程と、前記絶縁膜上に透明膜電極からなる第 2 導体を形成する工程であって、前記第 2 導体と、前記第 1 導体と、が前記コンタクトホールを介して電氣的に接続する電極接続工程と、を少なくとも含むことを特徴とする薄膜トランジスタ基板の製造方法である。

【 0 0 1 9 】

尚、本特許では、ゲート電極及びゲート配線の総称をゲートと呼び、ソース電極及びソース配線の総称をソースと呼ぶ。ドレイン電極を単にドレインと呼ぶ。また、第 1 導体は、具体的には、ゲート、ソース、ドレインであり、第 2 導体は、画素電極である。

【 0 0 2 0 】

第 1 導体は単層構造であるため、一種類のエッチング液で 1 度にエッチングすることが可能である。

10

20

30

40

50

また、第1導体はAlを主成分とし、その他に、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びErからなる金属群M1から選ばれた一種又は二種以上の金属を含む層であるため、第2導体とのコンタクト抵抗が低い。

さらに、第1導体について、ヒロック発生の抑制や、耐食性の向上という観点から、Alや、上記金属群M1から選ばれた一種又は二種以上の金属の他にも、第3金属として、Cu、Si、希土類元素、等を添加することも好ましい。この時、Alの電気的低抵抗という特性を活かすために、第3金属の添加量は、第1導体の比抵抗が $10\mu\cdot\Omega\cdot\text{cm}$ を超えない程度に抑えることが好ましい。尚、ここで、第1金属はAlであり、第2金属は上記金属群M1から選ばれた一種又は二種以上の金属である。これらに対する3番目の成分という意味で、上記添加するCu、Si、希土類元素、等を第3金属と呼ぶ。

10

【0021】

尚、第1導体中に、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びErからなる金属群M1から選ばれた一種又は二種以上の金属を添加した場合にも、上記第3金属を添加した場合と同様に、ヒロック発生の抑制や、耐食性の向上という効果が得られる。このため、特に、上記第3金属を添加していない場合にも、ヒロックの発生や、耐食を抑制することができるのである。

【0022】

また、第2導体は、絶縁膜に形成されたコンタクトホールを介して、第1導体と接続している。このため、画素電極と、ゲート及びソースの配線と、直接接触することがないので、ショート等の不具合が発生し難い。

20

【0023】

第1導体は、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びErから選ばれた一種又は二種以上の金属を含むAl合金ターゲットを用いて、スパッタリングにより成膜される。尚、このAl合金ターゲットは、真空溶解法、スプレイフォーミング法、等により製造される。このAl合金ターゲットを用いて成膜したAl合金薄膜を、燐酸 - 酢酸 - 硝酸の混酸を用いたエッチングによりパターニングして、第1導体を形成する。

【0024】

薄膜トランジスタの発明

(2) また、本発明は、透明絶縁性基板と、前記透明絶縁性基板上に設けられ、且つ、ゲート、ソース、及びドレインからなる導体群E1に含まれるいずれかの導体である第1導体を含む薄膜トランジスタであって、前記第1導体が、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びErからなる金属群M1から選ばれた一種又は二種以上の金属を含むAl合金からなるAl層を含み、且つ、前記第1導体上の絶縁膜に形成されたコンタクトホールを介して、透明膜電極からなる第2導体と接続することを特徴とする薄膜トランジスタである。

30

【0025】

また、第1導体は、純Al又はAl合金の他に、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びErからなる金属群M1から選ばれた一種又は二種以上の金属を含む層からなることにより、第2導体とのコンタクト抵抗が低い。

さらに、第1導体について、ヒロック発生の抑制や、耐食性の向上という観点から、Alや、上記金属群M1から選ばれた一種又は二種以上の金属の他にも、第3金属として、Cu、Si、希土類元素、等を添加することも好ましい。この時、Alの比抵抗が高くなりすぎないように、第3金属の添加量は、第1導体の比抵抗が $10\mu\cdot\Omega\cdot\text{cm}$ を超えない程度に抑えることが好ましい。尚、ここで、第1金属はAlであり、第2金属は上記金属群M1から選ばれた一種又は二種以上の金属である。

40

【0026】

第1導体は、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びErから選ばれた一種又は二種以上の金属を含むAl合金ターゲットを用いて、スパッタリングにより成膜される。尚、このAl合金ターゲットは、真空溶解法、スプレイフォーミング法、等により製造される。このAl合金ターゲットを用いて成膜したAl合金薄膜を、燐酸 -

50

酢酸 - 硝酸の混酸を用いたエッチングによりパターンニングして、第 1 導体を形成する。

【0027】

(3) また、本発明は、前記第 1 導体が、前記金属群 M 1 から選ばれた一種又は二種以上の金属を 0.5 ~ 5 wt % 有する A 1 層を含むことを特徴とする上記 (2) に記載の薄膜トランジスタである。

【0028】

第 1 導体の A 1 層において、前記金属群 M 1 から選ばれた一種又は二種以上の金属の含有量は、0.5 ~ 5 wt % であり、好ましくは、1 ~ 3 wt % である。含有量が 0.5 wt % 未満となる場合には、第 1 導体及び第 2 導体のコンタクト抵抗を抑制することが困難になることがあり、一方、含有量が 5 wt % 超となる場合には、第 1 導体全体の比抵抗が高くなってしまふことがある。 10

【0029】

薄膜トランジスタ基板の発明

(4) また、本発明は、透明絶縁性基板と、前記透明絶縁性基板上に形成され、且つ、ゲート、ソース、及びドレインからなる導体群 E 1 に含まれるいずれかの導体である第 1 導体を含み、さらに、少なくとも前記透明絶縁性基板を覆うように形成された絶縁膜と、前記絶縁膜上に形成された第 2 導体と、を少なくとも含む薄膜トランジスタ基板であって、前記第 1 導体は、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及び Er からなる金属群 M 1 から選ばれた一種又は二種以上の金属を含む A 1 合金からなる A 1 層を含み、前記絶縁膜は、所定の前記第 1 導体及び前記第 2 導体方向に貫通しているコンタクトホールを備え、前記第 2 導体は、透明膜電極からなり、前記第 2 導体が、前記コンタクトホールを介して、前記第 1 導体の前記 A 1 層と電氣的に接続していることを特徴とする薄膜トランジスタ基板である。 20

【0030】

第 1 導体は単層からなるため、一種類のエッチング液で 1 度にエッチングすることが可能である。このため、本発明の薄膜トランジスタ基板は、より簡易に製造することができる。

【0031】

また、第 2 導体は、絶縁膜に形成されたコンタクトホールを介して、第 1 導体と接続している。このため、画素電極と、ゲート及びソースの配線と、直接接触することがないので、ショート等の不具合が発生し難い。 30

【0032】

(5) また、本発明は、前記透明膜電極が、酸化インジウム、酸化すず、酸化インジウムすず、酸化インジウム亜鉛、及び酸化亜鉛のいずれかからなることを特徴とする上記 (4) に記載の薄膜トランジスタ基板である。

【0033】

第 2 導体が、酸化インジウム、酸化すず、酸化インジウムすず、酸化インジウム亜鉛、及び酸化亜鉛のいずれからなる場合にも、第 1 導体とのコンタクト抵抗は低くなる。

【0034】

(6) また、本発明は、前記第 1 導体が、前記金属群 M 1 から選ばれた一種又は二種以上の金属を 0.5 ~ 5 wt % 有する A 1 層を含むことを特徴とする上記 (4) 又は (5) のいずれかに記載の薄膜トランジスタ基板である。 40

【0035】

第 1 導体の A 1 層において、前記金属群 M 1 から選ばれた一種又は二種以上の金属の含有量は、0.5 ~ 5 wt % であり、好ましくは、1 ~ 3 wt % である。含有量が 0.5 wt % 未満となる場合には、第 1 導体及び第 2 導体のコンタクト抵抗を抑制することが困難になることがあり、一方、含有量が 5 wt % 超となる場合には、第 1 導体全体の比抵抗が高くなってしまふことがある。

【0036】

液晶表示装置の発明

(7) また、本発明は、上記(4)～(6)のいずれかに記載の薄膜トランジスタ基板と、前記薄膜トランジスタ基板により駆動される液晶層と、を含むことを特徴とする液晶表示装置である。

また、光透過率が低い層を介することなく、第2導体は、絶縁膜に形成されたコンタクトホールを介して、第1導体と直接接続しているため、液晶表示装置は、高い開口率を有する。

また、本発明の液晶表示装置は、上記(4)～(6)に記載の薄膜トランジスタ基板を備えるため、上記(4)～(6)と同様の作用・効果を奏する。

【発明の効果】

【0037】

10

上記の通り、本発明の薄膜トランジスタ基板の製造方法によれば、第1導体が、特定の金属を含むAl合金からなるため、容易にエッチングすることができる。このため、薄膜トランジスタ基板をより簡易に、且つ、より低コストで製造することが可能となる。

【0038】

また、本発明の薄膜トランジスタ及び薄膜トランジスタ基板は、第1導体が特定の金属を含むAl合金からなるため、第2導体が、絶縁膜に形成されたコンタクトホールを介して、第1導体と接続する際のコンタクト抵抗が低い。さらに、この第1導体は、容易にエッチング可能である。

【0039】

また、本発明の液晶表示装置は、第2導体が、光透過率の低い層を介することなく、絶縁膜に形成されたコンタクトホールを介して、第1導体と直接接続しているため、高い開口率を有する。

20

【発明を実施するための最良の形態】

【0040】

以下、本発明の好適な実施の形態を図面に基づき説明する。

【実施例1】

【0041】

図1～図3は、本実施例1におけるTFTアレ基板100(TFT部及び端子部)の製造工程を示す断面説明図である。尚、これらの図1～図3において、1は透明絶縁性基板であり、2はゲート電極であり、4はゲート絶縁膜であり、5は半導体層a-Si膜であり、6は半導体層n⁺a-Si膜であり、7aはドレイン電極であり、7bはソース電極であり、9は層間絶縁膜であり、10はコンタクトホールであり、11は画素電極であり、21はTFT部であり、22は端子部であり、100はTFTアレ基板である。

30

尚、上記ゲート電極2、ドレイン電極7a及びソース電極7bは、特許請求の範囲に記載の第1導体の一例に相当し、上記画素電極11は、特許請求の範囲に記載の第2導体の一例に相当する。

【0042】

また、TFT部21は、TFTアレ基板100上に、互いに直交するように設けられたゲート配線及びソース配線(共に図示せず)の交差部近傍に設けられ、液晶を駆動するスイッチング素子として機能する。一方、端子部22は、上記TFT部21と、ゲート配線を介して電氣的に接続している。この端子部22は、表示領域の外側に配置されており、ゲート電極に外部からの信号を入力する機能を有する。

40

【0043】

以下、図1～図3に基づき、本実施例1のTFTアレ基板100の製造工程を順に説明する。まず、スパッタリング法により、純Ar雰囲気中、透明絶縁性基板1上に、Wを1.2wt%含むAl合金(第1導体の材料である)からなる薄膜を、その厚さが約2000Åとなるように成膜した。尚、この薄膜は、特許請求の範囲に記載のAl層の一例に相当する。フォトリソグラフィ法により、この薄膜について、レジストパターンニングを行った後、図1(a)に示すように、燐酸、硝酸及び酢酸系のエッチング液を用いてエッチングし、ゲート配線(図示せず)、及びゲート電極2を形成した。

50

尚、本実施例 1 において、スパッタリング法により、上記ゲート電極 2、及び後述するドレイン電極 7a 及びソース電極 7b を成膜する際には、スパッタリングターゲットとして、W を含む Al 合金からなるスパッタリングターゲットを使用することはいうまでもない。また、このように、ゲート電極 2 等を形成する動作は、特許請求の範囲に記載の第 1 導体形成工程の一例に相当する。

【0044】

次に、化学的気相成長法（以下、CVD と記載する）により、この透明絶縁性基板 1 全体を覆うように、窒化シリコン（SiNx）、又は酸化シリコン（SiO₂）からなるゲート絶縁膜 4 を、その厚さが約 4000 となるように成膜し、その上に半導体層 a-Si 膜 5 を成膜し、さらにその上に半導体層 n⁺a-Si 膜 6 を成膜した。図 1（b）に示すように、これらの半導体層 a-Si 膜 5 及び半導体層 n⁺a-Si 膜 6 をパターンニングすることにより、厚さ約 1500 の半導体層 a-Si 膜 5 と、厚さ約 300 の低抵抗の半導体層 n⁺a-Si 膜 6 と、を順次形成した。

10

【0045】

次に、スパッタリング法をにより、上記半導体層 n⁺a-Si 膜 6 を覆うように、W を 1.2 wt % 含む Al 合金からなる薄膜を、その厚さが 3000 となるように成膜した（表 1）。尚、この薄膜は、特許請求の範囲に記載の Al 層の一例に相当する。図 2（a）に示すように、この薄膜について、ゲート電極 2 と同様の方法で、パターンニングを行うことにより、ドレイン電極 7a 及びソース電極 7b を形成した。この時、スパッタガスとしては、Ar ガスを用いることが好ましい。尚、このように、ドレイン電極 7a 及びソース電極 7b を形成する動作は、特許請求の範囲に記載の第 1 導体形成工程の一例に相当する。

20

また、上記ゲート電極 2、ドレイン電極 7a 及びソース電極 7b の比抵抗を測定したところ、その値は、 $5.2 \mu \cdot \Omega \cdot \text{cm}$ であった（表 1）。

【0046】

次に、透明絶縁性基板 1 全体を覆うように、層間絶縁膜 9 を形成した。尚、この層間絶縁膜 9 は、特許請求の範囲に記載の絶縁膜の一例に相当し、このように、層間絶縁膜 9 を形成する動作は、特許請求の範囲に記載の絶縁膜成膜工程の一例に相当する。その後、図 2（b）に示すように、この層間絶縁膜 9 についてパターンニングを行い、コンタクトホール 10 を形成した。すなわち、コンタクトホール 10 は、図 2（b）に示すように、層間絶縁膜 9 において、端子部 22 のゲート電極 2 上方と、TFT 部 21 のドレイン電極 7a 上方と、に形成した。尚、このように、層間絶縁膜 9 にコンタクトホール 10 を形成する動作は、特許請求の範囲に記載のコンタクトホール形成工程の一例に相当する。

30

また、層間絶縁膜 9 は、例えば、CVD 法により、窒化シリコン膜及びアクリル系の透明性樹脂のいずれか一方、又は両方を組み合わせて、形成することが好ましい。

【0047】

さらに、スパッタリング法により、この層間絶縁膜 9 上に、透明導電膜として ITO 膜を、その厚さが約 1000 となるように成膜した（表 1）。図 3 に示すように、この ITO 膜についてパターンニングを行い、画素電極 11 を形成した。これにより、TFT アレイ基板 100 を製造した。この時、画素電極 11 は、層間絶縁膜 9 に形成したコンタクトホール 10 を介して、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b とそれぞれ電氣的に接続している。なお、このように、コンタクトホール 10 を介して、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b とそれぞれ電氣的に接続するように、画素電極 11 を形成する動作は、特許請求の範囲に記載の電極接続工程の一例に相当する。

40

【0048】

尚、上記 ITO 膜からなる透明導電膜は、特許請求の範囲に記載の透明膜電極と、実質的には同一であり、特許請求の範囲においては、当該膜の機能に着目し、透明膜電極と呼び、一方、本実施例においては、当該膜の性質に着目し、透明導電膜と呼ぶ。

【0049】

得られた TFT アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、

50

その値は $220 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7a 又はソース電極 7b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）を測定したところ、その値は 420Ω であった。これらの値は表 1 に示されている。

【実施例 2】

【0050】

上記実施例 1 におけるゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、W を 1 . 2 wt % 含む Al 合金の代わりに、Mo を 2 . 5 wt % 含む Al 合金かならる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b 等を形成した。これらの形成したゲート電極 2、ドレイン電極 7a 及びソース電極 7b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $4.8 \mu \cdot \Omega \cdot \text{cm}$ であった（表 1）。

10

【0051】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に ITO からなる画素電極 11（表 1）を形成することにより、TFT アレイ基板 100 を製造した。

【0052】

得られた TFT アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、その値は $220 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7a 又はソース電極 7b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）を測定したところ、その値は 380Ω であった。これらの値は表 1 に示されている。

20

【実施例 3】

【0053】

上記実施例 1 におけるゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、W を 1 . 2 wt % 含む Al 合金の代わりに、La を 1 . 4 wt % 含む Al 合金かならる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b 等を形成した。これらの形成したゲート電極 2、ドレイン電極 7a 及びソース電極 7b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $5.3 \mu \cdot \Omega \cdot \text{cm}$ であった（表 1）。

30

【0054】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に ITO からなる画素電極 11（表 1）を形成することにより、TFT アレイ基板 100 を製造した。

【0055】

得られた TFT アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、その値は $220 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7a 又はソース電極 7b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）を測定したところ、その値は 430Ω であった。これらの値は表 1 に示されている。

40

【実施例 4】

【0056】

上記実施例 1 におけるゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、W を 1 . 2 wt % 含む Al 合金の代わりに、Nb を 1 . 2 wt % 含む Al 合金かならる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b 等を形成

50

した。これらの形成したゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $6.4 \mu \cdot \Omega \cdot \text{cm}$ であった (表 1)。

【0057】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に I Z O からなる画素電極 11 (表 1) を形成することにより、T F T アレイ基板 100 を製造した。

【0058】

得られた T F T アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、その値は $360 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7 a 又はソース電極 7 b と、のコンタクト表面部における電気抵抗値 (コンタクト抵抗値) を測定したところ、その値は 560Ω であった。これらの値は表 1 に示されている。

10

【実施例 5】

【0059】

上記実施例 1 におけるゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b が、W を 1 . 2 w t % 含む A l 合金の代わりに、F e を 1 . 1 w t % 含む A l 合金かならる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b 等を形成した。これらの形成したゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $5.4 \mu \cdot \Omega \cdot \text{cm}$ であった (表 1)。

20

【0060】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に I T O からなる画素電極 11 (表 1) を形成することにより、T F T アレイ基板 100 を製造した。

【0061】

得られた T F T アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、その値は $220 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7 a 又はソース電極 7 b と、のコンタクト表面部における電気抵抗値 (コンタクト抵抗値) を測定したところ、その値は 520Ω であった。これらの値は表 1 に示されている。

30

【実施例 6】

【0062】

上記実施例 1 におけるゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b が、W を 1 . 2 w t % 含む A l 合金の代わりに、P d を 0 . 8 w t % 含む A l 合金かならる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b 等を形成した。これらの形成したゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $4.8 \mu \cdot \Omega \cdot \text{cm}$ であった (表 1)。

40

【0063】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に I T O からなる画素電極 11 (表 1) を形成することにより、T F T アレイ基板 100 を製造した。

【0064】

得られた T F T アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、

50

その値は $220 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7a 又はソース電極 7b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）を測定したところ、その値は 620Ω であった。これらの値は表 1 に示されている。

【実施例 7】

【0065】

上記実施例 1 におけるゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、W を 1 . 2 wt % 含む Al 合金の代わりに、Pt を 0 . 7 wt % 含む Al 合金かならる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b 等を形成した。これらの形成したゲート電極 2、ドレイン電極 7a 及びソース電極 7b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $5.6 \mu \cdot \Omega \cdot \text{cm}$ であった（表 1）。

10

【0066】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に ITO からなる画素電極 11（表 1）を形成することにより、TFT アレイ基板 100 を製造した。

【0067】

得られた TFT アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、その値は $220 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7a 又はソース電極 7b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）を測定したところ、その値は 580Ω であった。これらの値は表 1 に示されている。

20

【実施例 8】

【0068】

上記実施例 1 におけるゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、W を 1 . 2 wt % 含む Al 合金の代わりに、Ce を 1 . 8 wt % 含む Al 合金かならる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b 等を形成した。これらの形成したゲート電極 2、ドレイン電極 7a 及びソース電極 7b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $4.2 \mu \cdot \Omega \cdot \text{cm}$ であった（表 1）。

30

【0069】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に IZO からなる画素電極 11（表 1）を形成することにより、TFT アレイ基板 100 を製造した。

【0070】

得られた TFT アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、その値は $360 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7a 又はソース電極 7b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）を測定したところ、その値は 560Ω であった。これらの値は表 1 に示されている。

40

【実施例 9】

【0071】

上記実施例 1 におけるゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、W を 1 . 2 wt % 含む Al 合金の代わりに、Ho を 1 . 3 wt % 含む Al 合金かならる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b 等を形成

50

した。これらの形成したゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $4.4 \mu \cdot \Omega \cdot \text{cm}$ であった (表 1)。

【0072】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に ITO からなる画素電極 11 (表 1) を形成することにより、TFT アレイ基板 100 を製造した。

【0073】

得られた TFT アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、その値は $220 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7 a 又はソース電極 7 b と、のコンタクト表面部における電気抵抗値 (コンタクト抵抗値) を測定したところ、その値は 440Ω であった。これらの値は表 1 に示されている。 10

【実施例 10】

【0074】

上記実施例 1 におけるゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b が、W を 1.2 wt % 含む Al 合金の代わりに、Er を 0.8 wt % 含む Al 合金かならる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b 等を形成した。これらの形成したゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $7.2 \mu \cdot \Omega \cdot \text{cm}$ であった (表 1)。 20

【0075】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に IZO からなる画素電極 11 (表 1) を形成することにより、TFT アレイ基板 100 を製造した。

【0076】

得られた TFT アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、その値は $360 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7 a 又はソース電極 7 b と、のコンタクト表面部における電気抵抗値 (コンタクト抵抗値) を測定したところ、その値は 640Ω であった。これらの値は表 1 に示されている。 30

【実施例 11】

【0077】

上記実施例 1 におけるゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b が、W を 1.2 wt % 含む Al 合金の代わりに、Ce を 0.4 wt % 含み、さらに、Mo を 1.2 wt % 含む Al 合金かならる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b 等を形成した。これらの形成したゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $5.6 \mu \cdot \Omega \cdot \text{cm}$ であった (表 1)。 40

【0078】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に IZO からなる画素電極 11 (表 1) を形成することにより、TFT アレイ基板 100 を製造した。

【0079】

得られた TFT アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、 50

その値は $360 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7a 又はソース電極 7b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）を測定したところ、その値は 620Ω であった。これらの値は表 1 に示されている。

【0080】

『比較例 1』

上記実施例 1 におけるゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、W を含まない点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b 等を形成した。これらの形成したゲート電極 2、ドレイン電極 7a 及びソース電極 7b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $2.1 \mu \cdot \Omega \cdot \text{cm}$ であった（表 1）。

10

【0081】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に ITO からなる画素電極 11（表 1）を形成することにより、TFT アレイ基板 100 を製造した。

【0082】

得られた TFT アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、その値は $220 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7a 又はソース電極 7b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）を測定したところ、その値は $1 \text{M} \Omega$ 以上であった。これらの値は表 1 に示されている。

20

【0083】

このように、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、それらの材料として、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及び Er からなる金属群 M1 から選ばれた一種又は二種以上の金属を含まない場合には、画素電極 11 と、ゲート電極 2、ドレイン電極 7a 又はソース電極 7b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）は、高い値を示した。

【0084】

『比較例 2』

上記実施例 1 におけるゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、W を 1.2 wt % 含む Al 合金の代わりに、Nd を 0.8 wt % 含む Al 合金かなる点を除き、上記実施例 1 と同様の方法で、成膜及びパターニングを行い、図 2 (a) に示すように、透明絶縁性基板 1 上に、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b 等を形成した。これらの形成したゲート電極 2、ドレイン電極 7a 及び b について、上記実施例 1 と同様の方法により、比抵抗を測定したところ、その値は $2.4 \mu \cdot \Omega \cdot \text{cm}$ であった（表 1）。

30

【0085】

また、上記実施例 1 と同様の方法により、図 2 (b) に示すように、層間絶縁膜 9 及びコンタクトホール 10 を形成した。次に、図 3 に示すように、この層間絶縁膜 9 上に ITO からなる画素電極 11（表 1）を形成することにより、TFT アレイ基板 100 を製造した。

40

【0086】

得られた TFT アレイ基板 100 について、画素電極 11 の比抵抗を測定したところ、その値は $220 \mu \cdot \Omega \cdot \text{cm}$ であった。また、図 4 に示すように、ケルビンパターンにより、画素電極 11 と、ゲート電極 2、ドレイン電極 7a 又はソース電極 7b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）を測定したところ、その値は $1 \text{M} \Omega$ 以上であった。これらの値は表 1 に示されている。

【0087】

50

このように、ゲート電極 2、ドレイン電極 7 a 及びソース電極 7 b が、それらの材料として、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及びEr からの金属群 M 1 から選ばれた一種又は二種以上の金属を含まない場合には、画素電極 1 1 と、ゲート電極 2、ドレイン電極 7 a 又はソース電極 7 b と、のコンタクト表面部における電気抵抗値（コンタクト抵抗値）は、高い値を示した。

【 0 0 8 8 】

【表 1】

IDM-0032

[表 1]

	添加金属種	添加量 wt%	Al合金の比抵抗 $\mu\Omega\text{cm}$	透明導電膜	透明導電膜の比抵抗 $\mu\Omega\text{cm}$	コンタクト抵抗値 Ω
実施例 1	W	1.2	5.2	ITO	220	420
実施例 2	Mo	2.5	4.8	ITO	220	380
実施例 3	La	1.4	5.3	ITO	220	430
実施例 4	Nb	1.2	6.4	IZO	360	560
実施例 5	Fe	1.1	5.4	ITO	220	520
実施例 6	Pd	0.8	4.8	ITO	220	620
実施例 7	Pt	0.7	5.6	ITO	220	580
実施例 8	Ce	1.8	4.2	IZO	360	560
実施例 9	Ho	1.3	4.4	ITO	220	440
実施例 10	Er	0.8	7.2	IZO	360	640
実施例 11	Ce, Mo	0.4, 1.2	5.6	IZO	360	620
比較例 1	—	—	2.1	ITO	220	1M以上
比較例 2	Nd	0.8	2.4	ITO	220	1M以上

表 1 から明らかなように、本実施例 1 ~ 11 における TFT アレイ基板 100 では、ゲ

10

20

30

40

50

ート電極 2、ドレイン電極 7a 及びソース電極 7b は、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及び Er からなる金属群 M1 から選ばれた一種又は二種以上の金属を含む Al 合金からなる。上記電極 2、7a 及び 7b がこのような材料から構成される場合には、これらの電極 2、7a 及び 7b と、画素電極 11 と、のコンタクト表面部の電気抵抗値（コンタクト抵抗値）は低く、良好な値を示した。特に、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、Mo を含む Al 合金からなる場合には、コンタクト抵抗値が最小の値となり、 $50\mu\text{m}^2$ で約 380Ω であった。

【0089】

また、本実施例 1～11 の各 TFT アレイ基板 100 について、230℃ で 30 分間、熱処理を行った後、上記実施例 1～11 と同様の方法で、コンタクト抵抗を測定したところ、その値は、約 650Ω であった。さらに、同じ TFT アレイ基板 100 について、300℃ で 60 分間、熱処理を行った後、上記実施例 1～11 と同様の方法で、コンタクト抵抗を測定したところ、その値は、約 900Ω であった。このように、本実施例 1～11 の TFT アレイ基板 100 は、従来の TFT アレイ基板（コンタクト抵抗： $1\times E8\sim 1\times E12\Omega$ ）と比較すると、コンタクト抵抗が極めて低く、優れた耐熱性を有していることが確認できた。

10

尚、表 1 における各値は、測定する装置によってそれぞれ固有に最適化されるものであるため、これらの値に限定されるものではない。

【0090】

また、本実施例において、良好なコンタクト抵抗を得るために、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b における W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及び Er からなる金属群 M1 から選ばれた 1 種以上の金属の含有量は、0.5～5wt% であることが好ましい。

20

【0091】

また、本実施例では、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b の材料として、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及び Er からなる金属群 M1 から選ばれた一種又は二種以上の金属を含む Al 合金を用いるが、この Al 合金について、さらに、第 3 金属を添加することも好ましい。尚、第 1 金属は Al であり、第 2 金属は上記金属群 M1 から選ばれた一種又は二種以上の金属である。

【0092】

ここで、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b に添加する第 3 金属は、ヒロックの抑制や、耐食性の向上という観点から、Cu や Si、又は希土類元素が望ましい。いずれの金属を添加する場合にも、Al の電氣的低抵抗という特性を活かすために、第 3 金属の添加量は、これらの電極 2、7a 及び 7b の比抵抗が $10\mu\cdot\Omega\cdot\text{cm}$ を超えない程度に抑えることが好ましい。

30

【0093】

尚、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b が、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及び Er からなる金属群 M1 から選ばれた一種又は二種以上の金属のみを含む Al 合金からなる場合にも、上記第 3 金属を添加した場合と同様に、ヒロック発生の抑制や、耐食性の向上という効果が得られる。このため、特に、上記第 3 金属を添加していない場合にも、ヒロックの発生や、耐食を抑制することができるのである。

40

【0094】

また、上記実施例 1～11 においては、画素電極 11 が、ITO 又は IZO からなる例について示したが、本実施例はこれに限定されず、画素電極 11 が、 In_2O_3 、 SnO_2 、及び ZnO_2 等の中から、いずれかを主成分とした透明導電膜を用いた場合にも、同様の作用・効果を奏する。

また、上記実施例 1～11 においては、画素電極 11 が、ゲート電極 2 及びドレイン電極 7a と直接接続する例について示したが、この第 2 電極が、上記 Al 合金からなる配線と接続することももちろん好ましい。また、本実施例の TFT アレイ基板 100 は、半導

50

体層 $n^+ a-Si$ 膜 6 上に、チャネル層を有することも好ましい。

【実施例 12】

【0095】

上記実施例 1 ~ 11 において製造した各 TFT アレイ基板 100 について、対向電極やカラーフィルタ等を有する対向基板を貼り合わせた。さらに、これらの TFT アレイ基板 100 と、対向基板と、の間に液晶材料を注入し、この液晶材料を挟持することにより、液晶層を設けた。これにより、TFT アレイアクティブマトリックス型の液晶表示装置 (TFT-LCD 装置と記載する) を得た。

【0096】

本実施例によれば、TFT アレイ基板 100 の配線や、ゲート電極 2、ドレイン電極 7a 及びソース電極 7b の材料として、W、Mo、La、Nb、Fe、Pd、Pt、Ce、Ho、及び Er からなる金属群 M1 から選ばれた一種又は二種以上の金属を含む Al 合金を用いる。このため、これらの電極等は、低抵抗となる。また、IZO 膜 (又は ITO 膜等) からなる画素電極 11 は、Al 以外を主成分とする金属層、すなわち、比抵抗の高い金属層を別途設けることなく、Al を主成分とするゲート電極 2、ドレイン電極 7a 及びソース電極 7b と、直接接続した構造を有している。このため、本実施例 12 の液晶表示装置は、高開口率で高性能を有する。また、上記ゲート電極 2、ドレイン電極 7a 及びソース電極 7b は、エッチング性に優れるため、従来よりも生産性が良く低コストで製造することが可能となるのである。

【図面の簡単な説明】

【0097】

【図 1】本実施例による TFT アレイ基板の製造工程を示す断面説明図である。

【図 2】本実施例による TFT アレイ基板の製造工程を示す別の断面説明図である。

【図 3】本実施例による TFT アレイ基板の製造工程を示すさらに別の断面工程図である。

【図 4】本実施例におけるケルビンパターンの配線の外観及び測定の様子を示す配線図である。

【符号の説明】

【0098】

- 1 透明絶縁性基板
- 2 ゲート電極
- 4 ゲート絶縁膜
- 5 半導体層 $a-Si$ 膜
- 6 半導体層 $n^+ a-Si$ 膜
- 7a ドレイン電極
- 7b ソース電極
- 9 層間絶縁膜
- 10 コンタクトホール
- 11 画素電極
- 21 TFT 部
- 22 端子部
- 100 TFT アレイ基板

10

20

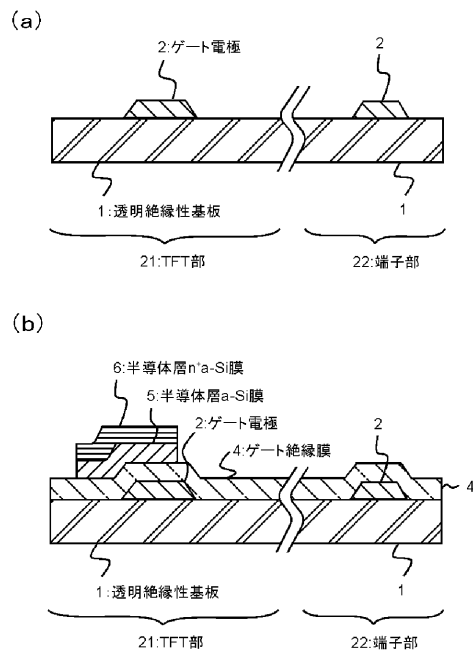
30

40

【 図 1 】

図1

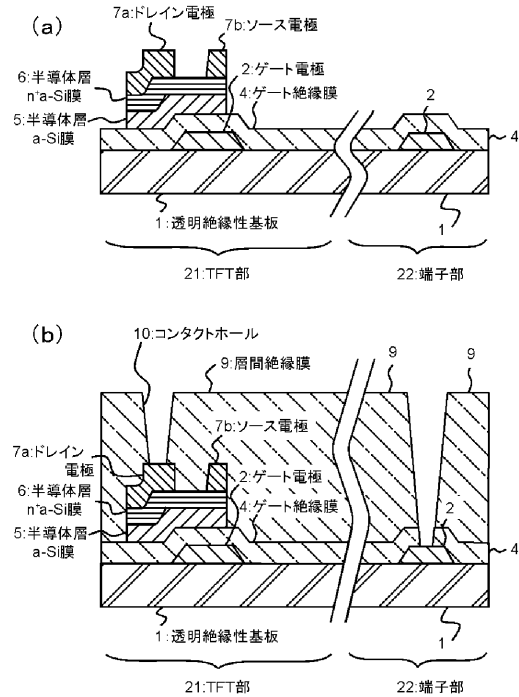
IDM-0032



【 図 2 】

図2

IDM-0032



【 図 3 】

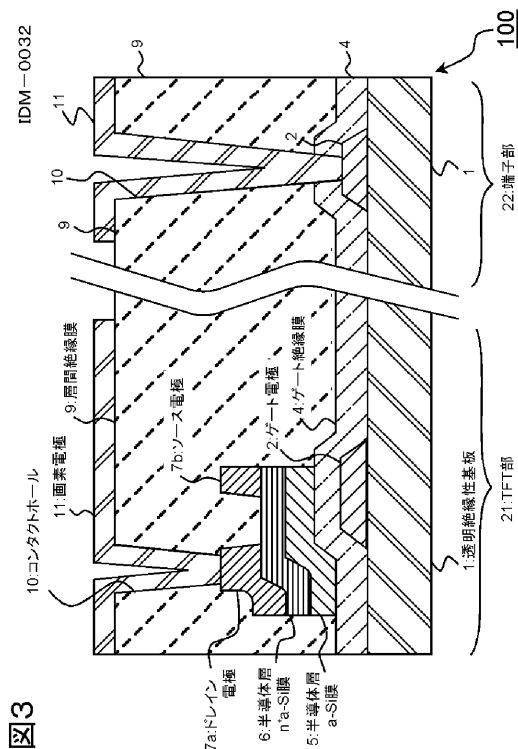


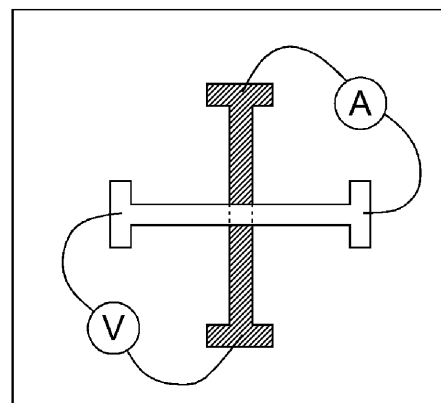
図3

【 図 4 】

図4

IDM-0032

ケルビンパターンの配線図



■ Al合金配線パターン

□ 金属酸化物配線パターン

フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 21/3205	H 0 1 L 21/90	A
H 0 1 L 21/768	H 0 1 L 21/88	N

F ターム(参考) 5C094 AA21 BA03 BA43 CA19 DA12 DB04 EA04 EA05 EA10 FB12
GB10 JA01
5F033 GG04 HH38 JJ38 KK10 LL09 PP15 QQ09 QQ37 RR06 RR21
SS11 TT04 VV15 WW04 XX09
5F110 AA03 AA16 BB01 CC03 CC07 EE06 EE11 EE44 FF02 FF03
FF29 GG02 GG15 GG24 GG44 HK06 HK09 HK16 HK17 HK21
HK33 HK34 HL07 HL09 HL23 NN03 NN24 NN27 NN35 NN72

专利名称(译)	薄膜晶体管，薄膜晶体管基板和制造薄膜晶体管基板的方法		
公开(公告)号	JP2005317579A	公开(公告)日	2005-11-10
申请号	JP2004130702	申请日	2004-04-27
申请(专利权)人(译)	出光兴产株式会社		
[标]发明人	井上一吉 松原雅人		
发明人	井上 一吉 松原 雅人		
IPC分类号	G02F1/1362 G09F9/30 G09F9/35 H01L21/28 H01L21/3205 H01L21/768 H01L23/52 H01L29/786		
FI分类号	H01L29/78.616.V G02F1/1362 G09F9/30.338 G09F9/35 H01L21/28.301.R H01L21/90.A H01L21/88.N		
F-TERM分类号	2H092/GA11 2H092/GA28 2H092/GA29 2H092/HA04 2H092/JA24 2H092/JB01 2H092/JB04 2H092/JB05 2H092/KB01 2H092/KB11 4M104/AA09 4M104/BB02 4M104/BB36 4M104/BB38 4M104/CC01 4M104/CC05 4M104/GG09 4M104/GG10 4M104/GG14 4M104/HH15 5C094/AA21 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA12 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EA10 5C094/FB12 5C094/GB10 5C094/JA01 5F033/GG04 5F033/HH38 5F033/JJ38 5F033/KK10 5F033/LL09 5F033/PP15 5F033/QQ09 5F033/QQ37 5F033/RR06 5F033/RR21 5F033/SS11 5F033/TT04 5F033/VV15 5F033/WW04 5F033/XX09 5F110/AA03 5F110/AA16 5F110/BB01 5F110/CC03 5F110/CC07 5F110/EE06 5F110/EE11 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG24 5F110/GG44 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK17 5F110/HK21 5F110/HK33 5F110/HK34 5F110/HL07 5F110/HL09 5F110/HL23 5F110/NN03 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN72 2H192/AA24 2H192/BC31 2H192/CB05 2H192/FA65		
代理人(译)	伊藤 充		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种在电连接第二导体和第一导体时具有低接触电阻的薄膜晶体管基板。在透明绝缘基板上含有选自W，Mo，La，Nb，Fe，Pd，Pt，Ce，Ho和Er的金属组M1中的一种或多种金属的Al。第一导体形成步骤，其使用合金形成第一导体，该第一导体是包括在包括栅极，源极和漏极的导体组E1中的导体中的一种，该第一导体使用合金形成，并且透明绝缘形成绝缘膜以覆盖柔性基板的绝缘膜形成步骤，在形成的绝缘膜中形成接触孔的接触孔形成步骤以及在绝缘膜上的透明膜电极。一种制造薄膜晶体管基板的方法，该方法至少包括形成第二导体并通过接触孔将第二导体和第一导体电连接的电极连接步骤。[选择图]图3

