

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2005-164814
(P2005-164814A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO9G 3/36	GO9G 3/36	2H093
GO2F 1/133	GO2F 1/133 510	5C006
GO9G 3/20	GO2F 1/133 525	5C080
	GO2F 1/133 550	
	GO2F 1/133 575	
審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2003-401401 (P2003-401401)	(71) 出願人	000002185
(22) 出願日	平成15年12月1日 (2003. 12. 1)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100102185
			弁理士 多田 繁範
		(72) 発明者	寺西 康幸
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		(72) 発明者	仲島 義晴
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		最終頁に続く	

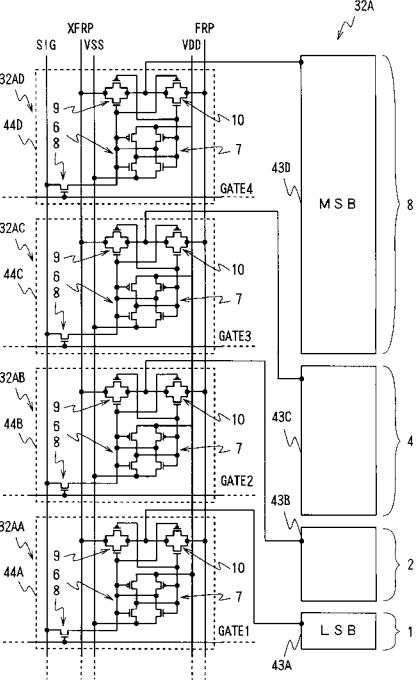
(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【要約】

【課題】 本発明は、表示装置及び表示装置の駆動方法に関し、例えば1つの画素を複数のサブ画素により構成し、これら複数のサブ画素の駆動により階調を表現する方式の液晶表示装置に適用して、信号線の本数を減少させ、これにより階調数を増大させることができ、さらには解像度を向上させることができるようにする。

【解決手段】 本発明は、1つの画素32Aを構成する複数のサブ画素32AA、32AB、32AC、32ADについても、信号線SIGにより時分割で駆動する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

マトリックス状に画素を配置してなる表示部と、ゲート線により前記画素を順次選択する垂直駆動回路と、前記画素の階調を指示する階調データに応じて前記垂直駆動回路により選択された画素の駆動信号を出力する水平駆動回路とを有する表示装置において、

前記画素は、

順次表示に供する部位の面積が増大し、それぞれゲート信号に応動して信号線の信号レベルを取得して保持し、該取得して保持した信号レベルに応じて前記表示に供する部位を駆動する複数のサブ画素を有し、

前記垂直駆動回路は、

前記各画素の選択において、前記ゲート線により前記サブ画素を順次選択し、

前記水平駆動回路は、

該サブ画素の選択に対応して、時分割により前記複数のサブ画素に係る駆動信号を前記信号線に出力する

ことを特徴とする表示装置。

10

【請求項 2】

前記サブ画素は、

前記信号線の信号レベルを取得して保持するメモリと、

前記ゲート信号に応動して前記メモリに前記信号線の信号レベルを供給するスイッチ回路と、

20

前記表示に供する部位の一方の電極に印加される共通電圧に対する同相又は逆相の駆動信号を、前記メモリの内容に応じて選択し、前記表示に供する部位の他方の電極に印加するスイッチ回路と

を備えることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記表示に供する部位は、

液晶セルであり、

前記表示部は、

同一の色彩によるカラーフィルタが垂直方向に延長するように設けられたストライプ方式により形成された

30

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記表示に供する部位は、

液晶セルであり、

前記表示部は、

同一の色彩によるカラーフィルタが水平方向に延長するように設けられたストライプ方式により形成された

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記水平駆動回路は、

40

前記垂直駆動回路により順次選択される画素に係る対応する前記階調データの各ビットを、前記垂直駆動回路による前記サブ画素の選択に対応して順次シリアル転送により前記信号線に出力する

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記水平駆動回路は、

前記表示部における水平方向の画素数に対応する数により前記階調データを順次循環的に取得して保持するラインメモリと、

前記ラインメモリに保持した前記階調データをそれぞれシリアル転送により前記信号線に出力するパラレルシリアル変換回路とを備える

50

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記水平駆動回路は、

前記シリアル転送に係る前記階調データの区切りで、前記信号線への接続をローインピ
ーダンスの状態に保持する

ことを特徴とする請求項 5 に記載の表示装置。

【請求項 8】

前記水平駆動回路は、

前記シリアル転送に係る前記階調データの区切りで、前記信号線への接続をローインピ
ーダンスの状態に保持する

ことを特徴とする請求項 6 に記載の表示装置。

【請求項 9】

マトリックス状に画素を配置してなる表示部を有し、前記画素が、順次表示に供する部
位の面積が増大し、それぞれゲート信号に応動して信号線の信号レベルを取得して保持し
、該取得して保持した信号レベルに応じて前記表示に供する部位を駆動する複数のサブ画
素を有する表示装置の駆動方法において、

前記ゲート線により前記画素を順次選択すると共に、前記画素の階調を指示する階調デ
ータに応じて前記ゲート線により選択された画素の駆動信号を出力することにより、前記
信号線に沿って配置された前記画素を順次駆動し、

前記各画素の選択において、前記ゲート線により前記サブ画素を順次選択すると共に、
該サブ画素の選択に対応して、時分割により前記複数のサブ画素に係る駆動信号を前記信
号線に出力することにより、各画素においては、前記信号線に沿って配置された前記サブ
画素を順次駆動する

ことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及び表示装置の駆動方法に関し、例えば 1 つの画素を複数のサブ画
素により構成し、これら複数のサブ画素の駆動により階調を表現する方式の液晶表示装置
に適用することができる。本発明においては、1 つの画素を構成する複数のサブ画素につ
いても、信号線により時分割で駆動することにより、多ビットメモリ方式による表示装置
において、信号線の本数を減少させ、これにより階調数を増大させることができ、さら
には解像度を向上させることができるようにする。

【背景技術】

【0002】

従来、液晶表示装置においては、マトリックス状に画素を配置してなる表示部を駆動回
路により駆動して所望の画像を表示するようになされており、この駆動回路による駆動方
式にいわゆる電圧階調法、フレームレート制御階調法が適用されるようになされている。

【0003】

このような駆動方式に対して、液晶表示装置においては、例えば特開平 6 - 13884
4 号公報に開示されているように、ほぼ 2 倍により面積が増大する複数のサブ画素に
より 1 つの画素を形成し、これら複数のサブ画素の表示、非表示を制御することにより、
表示に供する領域の面積を可変して各画素の階調を可変するいわゆる面積階調方式も提案
されるようになされている。しかしてこの方法の場合、各サブ画素の駆動においては、単
なる 2 値による表示、非表示の制御であることにより、表示に供する入力データの各ビッ
トの論理値により対応するサブ画素を駆動して、駆動回路の構成を簡略化することができ
ると考えられる。また例えば特開平 9 - 243995 号公報等に提案されているように、
各サブ画素にメモリを設け、このメモリの記録により各サブ画素を駆動することにより、
駆動回路の消費電力を格段的に低減することができると考えられる。以下、このような面

10

20

30

40

50

積階調方式であって、各画素にメモリを設けた方式を多ビットメモリ方式と呼ぶ。

【 0 0 0 4 】

しかしながら多ビットメモリ方式においては、電圧階調法等による液晶表示装置に対して、単に画素の構成を多ビットメモリ方式による画素に置き換え、またこの画素の置き換えに対応するように水平駆動回路の構成を変更しただけでは、1つの画素を複数のサブ画素により構成した分、水平駆動回路からの信号線の本数が増大し、その分、階調数を増大させ、さらには解像度を向上させることが困難な問題がある。

【 0 0 0 5 】

すなわち図 1 2 は、この多ビットメモリ方式による液晶表示装置について、本願出願人が検討した構成を示すブロック図である。この液晶表示装置 1 においては、電圧階調法による液晶表示装置を利用した構成であり、この電圧階調法による液晶表示装置の表示部を多ビットメモリ方式による画素により構成し、この画素の構成に対応するように水平駆動回路の構成を変更したものである。

【 0 0 0 6 】

すなわちこの液晶表示装置 1 において、表示部 2 は、いわゆる反射型液晶表示パネルであり、赤色、緑色、青色のカラーフィルタを設けてなる画素をマトリックス状に配置して形成される。ここで図 1 3 にこの表示部 2 の 1 つの画素 2 A の構成を示すように、各画素 2 A は、表示に供する部位である電極 3 A、3 B、3 C、3 D の面積が 1 : 2 : 4 : 8 に設定されてなるサブ画素 2 A A ~ 2 A D により形成される。ここで各サブ画素 2 A A ~ 2 A D は、このような電極 3 A ~ 3 D の面積が一定の比例関係に設定される点を除いて同一に形成され、図 1 4 に示す画素回路 4 A ~ 4 D によりそれぞれ電極 3 A ~ 3 D による液晶セル 5 A ~ 5 D を駆動する。

【 0 0 0 7 】

すなわち画素回路 4 A ~ 4 D は、図 1 4 の接続図によるブロック図を図 1 5 に示すように、ゲート及びドレインがそれぞれ共通に接続された N チャンネル MOS (以下、N MOS と呼ぶ) トランジスタ Q 1 及び P チャンネル MOS (以下、P MOS と呼ぶ) トランジスタ Q 2 からなる CMOS インバータ 6 と、同様に、ゲート及びドレインがそれぞれ共通に接続された N MOS トランジスタ Q 3 及び P MOS トランジスタ Q 4 からなる CMOS インバータ 7 とが正側電源ライン V D D と負側電源ライン V S S との間に並列に設けられ、これら CMOS インバータ 6、7 がループ状に接続されて S R A M (Static Random Access Memory) 構成によるメモリが形成される。

【 0 0 0 8 】

画素回路 4 A ~ 4 D は、N MOS トランジスタ Q 5 によりこれら CMOS インバータ 6、7 に信号線 S I G を接続して信号線 S I G の信号レベルをメモリに供給するスイッチ回路 8 が形成され、これにより図 1 6 に示すように、ゲート信号 G A T E (図 1 6 (B)) による N MOS トランジスタ Q 5 の制御により、信号線 S I G (図 1 6 (A)) によるデータをメモリにセットするようになされている (図 1 6 (C)) 。なおここで V 1 は、このスイッチ回路 8 による入力側であるインバータ 6 の入力側の電位である。

【 0 0 0 9 】

画素回路 4 A ~ 4 D は、このようにしてメモリに保持してなるデータに応じて、液晶セル 5 A (5 B ~ 5 D) の共通電極に印加される共通電圧 V C O M (図 1 6 (G)) に対して、同相の駆動信号 F R P (図 1 6 (D)) 又は逆相の駆動信号 X F R P (図 1 6 (E)) を選択して液晶セル 5 A (5 B ~ 5 D) に印加し、これにより液晶セル 5 A (5 B ~ 5 D) を駆動する。すなわち画素回路 4 A ~ 4 D は、N MOS トランジスタ Q 6 及び P MOS トランジスタ Q 7 からなるスイッチ回路 9 をインバータ 7 の出力によりオンオフ制御し、このスイッチ回路 9 を介して共通電位 V C O M と逆相の駆動信号 X F R P を液晶セル 5 A (5 B ~ 5 D) に印加する。また同様の N MOS トランジスタ Q 8 及び P MOS トランジスタ Q 9 からなるスイッチ回路 1 0 をインバータ 6 の出力によりオンオフ制御し、このスイッチ回路 1 0 を介して共通電位 V C O M と同相の駆動信号 F R P を液晶セル 5 A (5 B ~ 5 D) に印加する。

10

20

30

40

50

【 0 0 1 0 】

これにより図 1 6 に示すように、信号線 S I G の電位を切り換えた場合、続くゲート信号 G A T E の立ち上がりの時点 t 1 より液晶セル 5 A (5 B ~ 5 D) に印加される電圧 V 5 (図 1 6 (F)) が共通電位 V C O M に対して同相から逆相に切り換わり、液晶セル 5 A (5 B ~ 5 D) の表示、非表示を切り換えることができるようになされている。なおこの図 1 6 に示す例は、いわゆるノーマリーブランクによる場合である。

【 0 0 1 1 】

このようにして構成されてなる表示部 2 に対して、D C - D C コンバータ 1 2 は、タイミングジェネレータ 1 4 から出力される基準信号 D D C V により動作し、外部から入力される電源 V D D から動作の電源 V D D 2 等を生成して出力する。

10

【 0 0 1 2 】

インターフェース (I F) 1 3 は、この液晶表示装置 1 に同時並列的に入力される赤色、緑色、青色の各画素の階調を指示する階調データ R [4 - 1]、G [4 - 1]、B [4 - 1] に対して、この階調データ R [4 - 1]、G [4 - 1]、B [4 - 1] に同期したマスタークロック M C K (M C K 5)、水平同期信号 H S Y N C (H D)、垂直同期信号 V S Y N C (V D) 等を入力してタイミングジェネレータ 1 4 に出力し、タイミングジェネレータ 1 4 は、このインターフェース 1 3 からの入力信号を基準にして各部の動作に必要な各種基準信号を生成して出力する。

【 0 0 1 3 】

垂直駆動回路 1 6 は、図 1 7 に示すように、タイミングジェネレータ 1 4 で生成された基準信号により表示部 2 の画素をライン単位で選択するゲート信号 G T A E を生成して出力する。すなわち垂直駆動回路 1 6 は、表示部 2 に形成されてなるライン数 M に応じた周期で信号レベルが切り換わる垂直クロック V C K (図 1 8 (A))、垂直同期信号 V D に同期して垂直クロック V C K の 1 / 2 周期で信号レベルが立ち上がる垂直スタート信号 V S T (図 1 8 (B))、垂直クロック V C K の遷移期間をマスクするイネーブル信号 E N B (図 1 8 (C)) をタイミングジェネレータ 1 4 から入力する。垂直駆動回路 1 6 は、垂直クロック V C K を基準にして動作するシフトレジスタ 1 8 がライン数 M の分だけ直列接続されて設けられ、このシフトレジスタ 1 8 により垂直スタート信号 V S T を順次転送する。これにより垂直駆動回路 1 6 は、各ラインを順次循環的に選択するゲート信号を生成する。

20

30

【 0 0 1 4 】

垂直駆動回路 1 6 は、各シフトレジスタ 1 8 の出力信号をそれぞれバッファ 1 9 に入力し、このバッファ 1 9 の出力をゲート信号 G A T E として各画素 2 A に出力する (図 1 8 (D 1) ~ (D 3))。これにより垂直駆動回路 1 6 は、表示部 2 の各画素 2 A をライン単位で順次選択するようになされている。なおここで図 1 8 において G P 1、G P 2、G P 3 は、それぞれ水平方向に並ぶ画素 2 A のグループを示す符号である。

【 0 0 1 5 】

これに対して水平駆動回路 2 0 は、図 1 9 に示すように、表示部 2 の水平方向に並ぶ画素 2 A の数 N の分、サンプリングラッチ (S L) 群 2 1 が設けられ、各サンプリングラッチ群 2 1 に設けられたサンプリングラッチ (S L) 2 2 により各階調データ R [4 - 1]、G [4 - 1]、B [4 - 1] の対応するビットをサンプリングする。また各サンプリングラッチ群 2 1 に対応して第 2 ラッチ群 2 3 が設けられ、各第 2 ラッチ群 2 3 に設けられた第 2 ラッチ 2 4 によりサンプリングラッチ 2 2 のラッチ結果をラッチして各画素 2 A の信号線 S I G に出力する。これにより水平駆動回路 2 0 は、垂直駆動回路 1 6 により選択された画素 2 A を信号線 S I G により駆動するようになされている。

40

【 0 0 1 6 】

これらによりこの液晶表示装置 1 においては、水平駆動回路 2 0 において、各サブ画素 2 A A ~ 2 A D に対応する階調データ R [4 - 1]、G [4 - 1]、B [4 - 1] の各ビットをサンプリングして出力するだけでよいことにより、その分、電圧階調法による液晶表示装置等に比して駆動回路の構成を簡略化することができる。また垂直駆動回路、水平

50

駆動回路の動作を停止して単に駆動信号 F R P、X F R P を供給し続けるだけで静止画像を表示し得、これにより電圧階調法による液晶表示装置等に比して消費電力も低減することができる。

【 0 0 1 7 】

しかしながらこのように単に多ビットメモリ方式による画素 2 A による表示部 2、水平駆動回路を形成したのでは、階調データのビット数分の信号線 S I G を各画素 2 A に接続することが必要なことにより、電圧階調法による液晶表示装置等に比して多数の信号線を表示部に作成しなければならない。

【 0 0 1 8 】

これにより多ビットメモリ方式による液晶表示装置においては、多ビット化が困難で、その分、1つの画素を構成するサブ画素の数を増大させて階調数を多くすることが困難な問題があり、また高解像度化が困難な問題があった。

【特許文献 1】特開平 6 - 1 3 8 8 4 4 号公報

【特許文献 2】特開平 9 - 2 4 3 9 9 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 9 】

本発明は以上の点を考慮してなされたもので、多ビットメモリ方式による表示装置において、信号線の本数を減少させ、これにより階調数を増大させ、さらには解像度を向上させることができる表示装置、表示装置の駆動方法を提案しようとするものである。

【課題を解決するための手段】

【 0 0 2 0 】

かかる課題を解決するため請求項 1 の発明においては、マトリックス状に画素を配置してなる表示部と、ゲート線により画素を順次選択する垂直駆動回路と、画素の階調を指示する階調データに応じて垂直駆動回路により選択された画素の駆動信号を出力する水平駆動回路とを有する表示装置に適用して、画素は、順次表示に供する部位の面積が増大し、それぞれゲート信号に応動して信号線の信号レベルを取得して保持し、該取得して保持した信号レベルに応じて表示に供する部位を駆動する複数のサブ画素を有し、垂直駆動回路は、各画素の選択において、ゲート線によりサブ画素を順次選択し、水平駆動回路は、該サブ画素の選択に対応して、時分割により複数のサブ画素に係る駆動信号を信号線に出力する。

【 0 0 2 1 】

また請求項 9 の発明においては、マトリックス状に画素を配置してなる表示部を有し、画素が、順次表示に供する部位の面積が増大し、それぞれゲート信号に応動して信号線の信号レベルを取得して保持し、該取得して保持した信号レベルに応じて表示に供する部位を駆動する複数のサブ画素を有する表示装置の駆動方法に適用して、ゲート線により画素を順次選択すると共に、画素の階調を指示する階調データに応じてゲート線により選択された画素の駆動信号を出力することにより、信号線に沿って配置された画素を順次駆動し、各画素の選択において、ゲート線によりサブ画素を順次選択すると共に、該サブ画素の選択に対応して、時分割により複数のサブ画素に係る駆動信号を信号線に出力することにより、各画素においては、信号線に沿って配置されたサブ画素を順次駆動する。

【 0 0 2 2 】

請求項 1 の構成により、マトリックス状に画素を配置してなる表示部と、ゲート線により画素を順次選択する垂直駆動回路と、画素の階調を指示する階調データに応じて垂直駆動回路により選択された画素の駆動信号を出力する水平駆動回路とを有する表示装置に適用して、画素は、順次表示に供する部位の面積が増大し、それぞれゲート信号に応動して信号線の信号レベルを取得して保持し、該取得して保持した信号レベルに応じて表示に供する部位を駆動する複数のサブ画素を有し、垂直駆動回路は、各画素の選択において、ゲート線によりサブ画素を順次選択し、水平駆動回路は、該サブ画素の選択に対応して、時分割により複数のサブ画素に係る駆動信号を信号線に出力すれば、1つの画素を構成する

10

20

30

40

50

複数のサブ画素についても、信号線により時分割で駆動することにより、これにより信号線の本数を減少させ、その分、階調数を増大させ、さらには解像度を向上させることができる。

【 0 0 2 3 】

これにより請求項 9 の構成によれば、多ビットメモリ方式による表示装置において、信号線の本数を減少させ、これにより階調数を増大させ、さらには解像度を向上させることができる表示装置の駆動方法を提供することができる。

【 発明の効果 】

【 0 0 2 4 】

本発明によれば、多ビットメモリ方式による表示装置において、信号線の本数を減少させ、これにより階調数を増大させ、さらには解像度を向上させることができる。

【 発明を実施するための最良の形態 】

【 0 0 2 5 】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【 実施例 1 】

【 0 0 2 6 】

(1) 実施例の構成

図 2 は、この実施例に係る液晶表示装置を示すブロック図である。この液晶表示装置 3 1 においては、表示部 3 2、垂直駆動回路 3 3、水平駆動回路 3 4、タイミングジェネレータ (T G) 3 5、インターフェース (I F) 3 6、D C - D C コンバータ (D D C) 3 7 を一体にガラス基板上に形成して作成され、表示部 3 2 にカラー画像を表示する。このためこの液晶表示装置 3 1 では、表示に供する各画素の階調を指示する各 4 ビットによる赤色、緑色、青色の階調データ R [4 - 1]、G [4 - 1]、B [4 - 1] がラスタ走査順に同時並列的に入力されるようになされている。

【 0 0 2 7 】

この液晶表示装置 3 1 において、表示部 3 2 は、垂直方向に同一の色彩によるカラーフィルタが延長し、かつ水平方向に順次循環してなるいわゆる縦ストライプ方式の反射型液晶表示パネルにより形成され、この縦ストライプに係るカラーフィルタが画像データ R [4 - 1]、G [4 - 1]、B [4 - 1] に対応する 3 色により形成されるようになされている。

【 0 0 2 8 】

また表示部 3 2 は、このようなカラーフィルタが設けられている画素がそれぞれ水平方向及び垂直方向に N × M 画素によりマトリックス状に配置されて形成され、各画素が多ビットメモリ方式による画素により形成されるようになされている。

【 0 0 2 9 】

すなわち各画素 3 2 A においては、図 1 3 との対比により図 1 に示すように、表示に供する部位である電極 4 3 A、4 3 B、4 3 C、4 3 D の面積がほぼ 2 倍により変化するサブ画素 3 2 A A ~ 3 2 A D により形成され、これら各サブ画素 3 2 A A ~ 3 2 A D には、それぞれ同一に構成された画素回路 4 4 A ~ 4 4 D が設けられるようになされている。

【 0 0 3 0 】

ここで画素回路 4 4 A ~ 4 4 D は、図 1 4 及び図 1 5 について上述した画素回路 4 A ~ 4 D に比して、信号線 S I G が共通化されている点を除いて同一に形成され、その分、この表示部 3 2 においては、信号線の数少なくした分、容易に多ビット化して高階調化、高解像度化できるようになされている。

【 0 0 3 1 】

しかしてこれにより各画素 3 2 A においては、M O S トランジスタにより、信号線 S I G の信号レベルを取得して保持するインバータ 6、7 によるメモリと、ゲート信号 G A T E 1 ~ 4 に応動してこのメモリに信号線 A I G の信号レベルを供給するスイッチ回路 8 と、表示に供する部位 3 A ~ 3 D の一方の電極に印加される共通電圧 V C O M に対する同相又は逆相の駆動信号 F R P、X F R P を、メモリの保持結果に応じて選択し、表示に供す

10

20

30

40

50

る部位 3 A ~ 3 D の他方の電極に印加するスイッチ回路 9、10 とがそれぞれ各サブ画素 3 2 A A ~ 3 2 A D に設けられるようになされている。

【0032】

このようにして信号線 S I G を各サブ画素 3 2 A A ~ 3 2 A D で共通化した分、この液晶表示装置 3 1 においては、各サブ画素 3 2 A A ~ 3 2 A D に対する信号線 S I G を時分割により駆動する。

【0033】

このため図 3 に示すように、水平駆動回路 3 4 は、表示部 3 2 の水平方向に並ぶ画素 3 2 A の数 N の分、サンプリングラッチ (S L) 群 5 1 が設けられ、各サンプリングラッチ群 5 1 に設けられたサンプリングラッチ (S L) 5 2 により各階調データ R [4 - 1]、G [4 - 1]、B [4 - 1] の対応するビットをサンプリングする。また各サンプリングラッチ群 5 1 に対応して第 2 ラッチ群 5 3 が設けられ、各第 2 ラッチ群 5 3 に設けられた第 2 ラッチ 5 4 によりサンプリングラッチ 5 2 のラッチ結果をラッチする。これにより水平駆動回路 3 4 は、表示部 3 2 における水平方向の画素数 N に対応する数により階調データ R [4 - 1]、G [4 - 1]、B [4 - 1] を順次循環的に取得して保持するラインメモリを構成し、これにより順次ラスタ走査順に入力される階調データをライン単位で出力するようになされている。

10

【0034】

なお水平駆動回路 3 4 は、タイミングジェネレータ 3 5 から出力される水平方向の走査開始のタイミングで立ち上がるスタートパルス H C K (図 2) を水平方向の基準クロック H C K により順次転送して各サンプリングラッチ群 5 1 のサンプリングパルス S P を生成するようになされ、また同様にタイミングジェネレータ 3 5 から出力されるアウトプットイネーブル O E により第 2 ラッチ群 5 3 の動作を制御するようになされている。

20

【0035】

このようにして各 4 ビットのシリアル転送による階調データ R [4 - 1]、G [4 - 1]、B [4 - 1] を水平方向の各画素に対応するパラレル転送に変換した後、水平駆動回路 3 4 は、各第 2 ラッチ群 5 3 の出力段にそれぞれ設けられたセクタ 5 5 により順次循環的に各第 2 ラッチ群 5 3 の出力ビットを選択出力し、これによりこのようなパラレル転送に係る各データをビット単位のシリアル転送により信号線 S I G に出力する。

【0036】

30

すなわち図 4 及び図 5 に示すように、セクタ 5 5 は、ナンド回路 5 6 に第 2 ラッチ群 5 3 の出力データに係る各ビット L O 1 ~ L O 4 を入力し、それぞれタイミングジェネレータ 3 5 から出力されるセレクト信号 S E L 1 ~ S E L 4 (図 5 (B 1) ~ (B 4)) によりこれら各ビット L O 1 ~ L O 4 の出力をゲートし、これらナンド回路 5 6 の出力をナンド回路 5 7 によりまとめて信号線 S I G (図 5 (C)) に出力し、これにより各画素 3 2 A への階調データをシリアル転送により出力する。

【0037】

この処理において、この実施例においては、セレクト信号 S E L 1 ~ S E L 4 の設定により、このシリアル転送に係る階調データの区切りで、セクタ 5 5 の出力がオフ状態に保持され、これにより図 5 において i n v a l i d により示すように、階調データの区切りでも信号線 S I G への接続をローインピーダンスの状態に保持する。これにより水平駆動回路 3 4 においては、データの遷移期間において、信号線 S I G をローレベルに保持してなることによる各種の誤動作等を防止するようになされている。

40

【0038】

このような水平駆動回路 3 4 によるシリアル転送に対応して、垂直駆動回路 3 3 は、ゲート線により画素 3 2 A を順次選択する。またこの各画素 3 2 A の選択において、各サブ画素 3 2 A A ~ 3 2 A D に接続されたゲート線により各サブ画素 3 2 A A ~ 3 2 A D を順次選択する。

【0039】

すなわち垂直駆動回路 3 3 は、図 6 に示すように、表示部 3 2 のライン数 M に応じた段

50

数によるシフトレジスタ 6 1 が直列接続により設けられ、図 7 に示すように、タイミングジェネレータ 3 5 から出力される垂直クロック V C K (図 7 (A)) により、垂直同期信号 V D に同期して信号レベルが立ち上がる垂直スタート信号 V S T (図 7 (B)) を順次転送し、これによりライン単位で表示部 3 2 の画素 3 2 A を順次選択する選択信号 G P 1 ~ G P M (図 7 (C)) を生成する。

【 0 0 4 0 】

また垂直駆動回路 3 3 は、各シフトレジスタ 6 1 から出力される選択信号 G P 1 ~ G P M をそれぞれ対応するカウンタ 6 2 に入力する。ここで各カウンタ 6 2 は、水平駆動回路 3 4 からの信号線 S I G へのシリアルデータ出力に同期したクロック G C K (図 7 (D)) 、このクロック G C K によるシリアルデータ出力に係る遷移期間で信号レベルが立ち上がるイネーブル信号 E N B (図 7 (E)) がタイミングジェネレータ 3 5 から入力され、それぞれ選択信号 G P 1 ~ G P M 、クロック G C K によるカウント値によりイネーブル信号 E N B をゲートして出力することにより、サブ画素 3 2 A A ~ 3 2 A D を順次選択する選択信号 G C 1 - 1 ~ G C 1 - 4 、 G C 2 - 1 ~ G C 2 - 4 、 、 G C M - 1 ~ G C M - 4 (図 7 (F 1) ~ (F 4)) を出力する。

10

【 0 0 4 1 】

すなわち図 8 に示すように、カウンタ 6 2 は、クロック G C K により動作するシフトレジスタ 6 4 をイネーブル信号 E N B により制御した状態で、垂直クロック V C K に同期したりセットパルス R S T によりこのシフトレジスタ 6 4 をリセットし、選択信号 G P 1 をシフトレジスタ 6 4 にセットする。また選択信号 G P 1 の極性をインバータ 6 5 により反転し、このインバータ 6 5 の出力によりナンド回路 6 6 でシフトレジスタ 6 4 の出力をゲートする。これによりカウンタ 6 2 は、選択信号 G P 1 が立ち上がった直後におけるイネーブル信号 E N B の 1 周期の立ち上がり これらシフトレジスタ 6 4 、インバータ 6 5 、ナンド回路 6 6 で選択する。

20

【 0 0 4 2 】

カウンタ 6 2 は、クロック G C K により動作する 4 段のシフトレジスタ 6 7 により、このナンド回路 6 6 の出力を順次転送し、これにより各シフトレジスタ 6 7 からサブ画素 3 2 A A ~ 3 2 A D を順次選択する選択信号 G C 1 - 1 ~ G C 1 - 4 、 G C 2 - 1 ~ G C 2 - 4 、 、 G C M - 1 ~ G C M - 4 (図 7 (F 1) ~ (F 4)) を出力する。

【 0 0 4 3 】

垂直駆動回路 3 3 は、これら選択信号 G C 1 - 1 ~ G C 1 - 4 、 G C 2 - 1 ~ G C 2 - 4 、 、 G C M - 1 ~ G C M - 4 (図 7 (F 1) ~ (F 4)) をそれぞれバッファ 6 3 を介して、各画素 3 2 A のサブ画素 3 2 A A ~ 3 2 A D に設けられているゲート線 G A T E 1 - 1 ~ G A T E 1 - 4 、 G A T E 2 - 1 ~ G A T E 2 - 4 、 、 G A T E M - 1 ~ G A T E M - 4 に出力し、これにより各画素 3 2 A の選択においても、サブ画素 3 2 A ~ 3 2 D を順次選択するようになされている。

30

【 0 0 4 4 】

液晶表示装置 3 1 において、タイミングジェネレータ 3 5 、インターフェース 3 6 、 C D - D C コンバータ 3 7 は、これら水平駆動回路 3 4 等の動作に対応する各種動作基準信号、電源等を出力するようになされている。

40

【 0 0 4 5 】

(2) 実施例の動作

以上の構成において、この液晶表示装置 3 1 では (図 2) 、描画に係るコントローラ等からそれぞれ赤色、緑色、青色による各画素の階調を指示する 4 ビットによる階調データ R [4 - 1] 、 G [4 - 1] 、 B [4 - 1] が順次同時並列的にラスタ走査順に入力され、この階調データ R [4 - 1] 、 G [4 - 1] 、 B [4 - 1] が水平駆動回路 3 4 により順次サンプリングされて表示部 3 2 のライン単位でまとめられる (図 3) 。またこの水平駆動回路 3 4 によるライン単位の処理に対応するように、垂直駆動回路 3 3 により順次循環的に表示部 3 2 の各ラインを選択する選択信号 G P 1 ~ G P M が生成される (図 6) 。液晶表示装置 3 1 は、このようにして生成された選択信号 G P 1 ~ G P M により表示部 3

50

2の各画素32Aが順次ライン単位で選択され、この垂直駆動回路33による画素32Aの選択に対応した水平駆動回路34からの駆動信号の信号線への出力により、表示部32の各画素32Aが対応する階調データR〔4-1〕、G〔4-1〕、B〔4-1〕による階調に設定され、これらにより階調データR〔4-1〕、G〔4-1〕、B〔4-1〕に応じた画像が表示される。

【0046】

これらの処理において、この液晶表示装置31では(図3)、水平駆動回路34において、ライン単位でまとめられてなる各階調データR〔4-1〕、G〔4-1〕、B〔4-1〕の各ビットLO1~LO4がセクタ55により順次循環的に選択されてシリアル転送により各画素32Aの1つの信号線SIGに出力される。またこの水平駆動回路34から10のシリアル転送に対応するように、垂直駆動回路33(図6)においては、各画素32Aを選択する選択信号GP1~GPMを基準にしてカウンタ62によりイネーブル信号ENBを処理して、各画素32Aを構成するサブ画素32AA~32ADを順次選択する選択信号GC1-1~GC1-4が生成され、この選択信号GC1-1~GC1-4が各サブ画素32AA~32ADのゲート線GATE1~GATE4に出力される。

【0047】

これによりこの液晶表示装置31では、1つの画素32Aを構成する複数のサブ画素32AA~32ADについても、1つの信号線SIGにより時分割で駆動するようになされ、その分多ビットメモリ方式による場合にあっては、信号線の本数を減少させることができるようになされ、またその分、容易に多ビット化して階調数を増大させることができ、20さらには解像度を向上させることができるようになされている。

【0048】

しかして液晶表示装置31のサブ画素32AA~32ADにおいては(図1)、垂直駆動回路33から出力される選択信号GC1-1~GC1-4によるスイッチ回路8の制御により、インバータ6、7によるメモリが信号線SIGに接続され、この信号線SIGに時分割で出力される各階調データに係る各ビットの論理レベルが対応するサブ画素32AA~32ADのメモリに設定される。またこのメモリの内容によるスイッチ回路9、10の制御により、液晶セルの共通電極に印加されてなる共通電圧VCOMに対して、同相又は逆相による駆動信号FRP又はXFRPが液晶セルに印加され、これにより面積階調法により階調データR〔4-1〕、G〔4-1〕、B〔4-1〕による画像が表示される。30

【0049】

このようにして表示部32を駆動するにつき、この液晶表示装置31では、順次入力される階調データR〔4-1〕、G〔4-1〕、B〔4-1〕をシフトレジスタ群51、第2ラッチ群53によりラインメモリでライン単位でまとめることにより、電圧階調法等による液晶表示装置の構成を利用して構成することができ、その分、設計等に要する工数を低減することができる。

【0050】

またシリアル転送により信号線SIGを駆動する際に、階調データの区切りで信号線SIGへの接続をローインピーダンスの状態に切り換えることにより、各種予想外の不具合の発生を有効に回避することができる。40

【0051】

(3)実施例の効果

以上の構成によれば、1つの画素を構成する複数のサブ画素についても、信号線により時分割で駆動することにより、多ビットメモリ方式による表示装置において、信号線の本数を減少させ、これにより階調数を増大させることができ、さらには解像度を向上させることができる。

【0052】

またこのとき信号線の信号レベルを取得して保持するメモリと、ゲート信号に応動してメモリに信号線の信号レベルを供給するスイッチ回路と、表示に供する部位の一方の電極に印加される共通電圧に対する同相又は逆相の駆動信号を、メモリの内容に応じて選択し50

て印加するスイッチ回路とを設けて1つのサブ画素を形成することにより、具体的に、多ビットメモリ方式による表示装置に適用して、階調数を増大させ、さらには解像度を向上させることができる。

【0053】

また液晶表示装置に適用して、同一の色彩によるカラーフィルタが垂直方向に延長するように設けられたストライプ方式により形成することにより、縦方向ストライプによる液晶表示装置において、多ビットメモリ方式により階調数を増大させ、解像度を向上させることができる。

【0054】

また垂直駆動回路により順次選択される画素に係る対応する階調データの各ビットを、垂直駆動回路によるサブ画素の選択に対応して順次シリアル転送により信号線に出力するように水平駆動回路を構成することにより、具体的に水平駆動回路を構成して多ビットメモリ方式により階調数を増大させ、解像度を向上させることができる。

10

【0055】

また表示部における水平方向の画素数に対応する数により階調データを順次循環的に取得して保持するラインメモリと、このラインメモリに保持した階調データをそれぞれシリアル転送により信号線に出力するパラレルシリアル変換回路とにより水平駆動回路を構成することにより、電圧階調法に係る構成を利用して水平駆動回路を構成することができる。

【0056】

またシリアル転送に係る階調データの区切りで、信号線への接続をローインピーダンスの状態に保持することにより、各種の不具合を防止することができる。

20

【実施例2】

【0057】

この実施例においては、図4について上述したセクタ55に代えて、図9に示すセクタ75により順次各階調データの各ビットLO1～LO4を選択して信号線SIGを駆動する。なおこの実施例においては、このセクタ75に係る構成が異なる点を除いて、実施例1の液晶表示装置31と同一に構成される。

【0058】

すなわちこのセクタ75は、アンド回路76にそれぞれ階調データの各ビットLO1～LO4を入力し、それぞれタイミングジェネレータ35から出力されるセレクト信号SEL1～SEL4によりこれら各ビットLO1～LO4の出力をゲートし、これらアンド回路76の出力をオア回路77によりまとめて信号線SIGに出力する。

30

【0059】

この実施例のようにアンド回路、オア回路による論理回路により階調データをパラレルシリアル変換してシリアル転送するようにしても、実施例1と同一の効果を得ることができる。

【実施例3】

【0060】

この実施例においては、図4について上述したセクタ55に代えて、図10に示すセクタ85により順次各階調データの各ビットLO1～LO4を選択して信号線SIGを駆動する。なおこの実施例においては、このセクタ85に係る構成が異なる点を除いて、実施例1の液晶表示装置31と同一に構成される。

40

【0061】

すなわちこのセクタ85は、階調データの各ビットLO1～LO4をそれぞれ選択出力するスイッチ回路86A～86Dが設けられ、タイミングジェネレータ35から出力されるセレクト信号SEL1～SEL4によりこれらスイッチ回路56A～56Dを制御して階調データの各ビットLO1～LO4を順次循環的に選択して信号線SIGに出力する。

【0062】

50

この実施例のようにスイッチ回路により階調データをパラレルシリアル変換してシリアル転送するようにしても、実施例 1 と同一の効果を得ることができる。

【実施例 4】

【0063】

この実施例においては、図 8 について上述したカウンタ 62 に代えて、図 11 に示すタイミング信号生成回路 92 により各サブ画素 32AA ~ 32AD を選択する選択信号 GC1-1 ~ GC1-4 を生成する。なおこの実施例においては、このタイミング信号生成回路 92 に係る構成が異なる点を除いて、実施例 1 の液晶表示装置 31 と同一に構成される。

【0064】

すなわちこのタイミング信号生成回路 92 は、ナンド回路 93 にそれぞれタイミングジェネレータ 35 から出力されるセレクト信号 SEL1 ~ SEL4 を入力し、これらセレクト信号 SEL1 ~ SEL4 をシフトレジスタ 61 から出力される選択信号 GP1 によりゲートする。さらに各ナンド回路 93 の出力をナンド回路 94 に入力し、ここでイネーブル信号 ENB をゲートして各選択信号 GC1-1 ~ GC1-4 を生成する。

【0065】

この実施例のようにナンド回路により各サブ画像を選択する選択信号 GC1-1 ~ GC1-4 を生成するようにしても、実施例 1 と同一の効果を得ることができる。

【実施例 5】

【0066】

なお上述の実施例においては、同一色彩のカラーフィルタが垂直方向に延長してなるいわゆる縦方向ストライプにより表示部を形成する場合について述べたが、本発明はこれに限らず、同一色彩のカラーフィルタが水平方向に延長してなるいわゆる横方向ストライプにより表示部を形成する場合、モザイク状にカラーフィルタを配置して表示部を形成する場合、さらにはデルタ状にカラーフィルタを配置して表示部を形成する場合等に広く適用することができる。

【0067】

また上述の実施例においては、共通電圧に対して同相、逆相の駆動信号を選択的に印加することにより、1つのサブ画素をオンオフの2階調により駆動する場合について述べたが、本発明はこれに限らず、さらに位相の異なる多数の駆動信号を選択的に印加することにより、さらには時間軸方向の変調により、1つのサブ画素を2階調より多くの階調により駆動する場合にも広く適用することができる。

【0068】

また上述の実施例においては、1つの画素を形成する複数のサブ画素の全てで信号線を共通化する場合について述べたが、本発明はこれに限らず、サブ画素のレイアウトによっては、1つの画素を形成する複数のサブ画素の一部についてのみ、信号線を共通化するようにしてもよい。

【0069】

また上述の実施例においては、ガラス基板上に表示部等を作成してなる液晶表示装置に本発明を適用する場合について述べたが、本発明はこれに限らず、EL (Electro Luminescence) 表示装置等、種々の表示装置に広く適用することができる。

【産業上の利用可能性】

【0070】

本発明は、例えば1つの画素を複数のサブ画素により構成し、これら複数のサブ画素の駆動により階調を表現する方式の液晶表示装置に適用することができる。

【図面の簡単な説明】

【0071】

【図 1】本発明の実施例に係る液晶表示装置の1画素を示す接続図である。

【図 2】本発明の実施例に係る液晶表示装置を示すブロック図である。

【図 3】図 2 の液晶表示装置の水平駆動回路を示すブロック図である。

10

20

30

40

50

- 【図 4】図 3 の水平駆動回路におけるセクタを示す接続図である。
- 【図 5】図 4 のセクタの動作の説明に供するタイムチャートである。
- 【図 6】図 2 の液晶表示装置の垂直駆動回路を示すブロック図である。
- 【図 7】図 6 の垂直駆動回路の動作の説明に供するタイムチャートである。
- 【図 8】図 6 の垂直駆動回路におけるカウンタを示す接続図である。
- 【図 9】他の実施例に係る液晶表示装置に適用されるセクタを示す接続図である。
- 【図 10】図 9 とは異なる他の実施例に係る液晶表示装置に適用されるセクタを示す接続図である。
- 【図 11】他の実施例に係る液晶表示装置の水平駆動回路の一部構成を示す接続図である。

10

- 【図 12】多ビットメモリ方式により液晶表示装置を示すブロック図である。
- 【図 13】図 12 の液晶表示装置の 1 画素を示す接続図である。
- 【図 14】図 13 の 1 画素に設けられる画素回路を示す接続図である。
- 【図 15】図 14 の画素回路の等化回路を示すブロック図である。
- 【図 16】図 14 の画素回路の動作の説明に供するタイムチャートである。
- 【図 17】図 12 の液晶表示装置の垂直駆動回路を示す接続図である。
- 【図 18】図 17 の垂直駆動回路の説明に供するタイムチャートである。
- 【図 19】図 12 の液晶表示装置の水平駆動回路を示す接続図である。

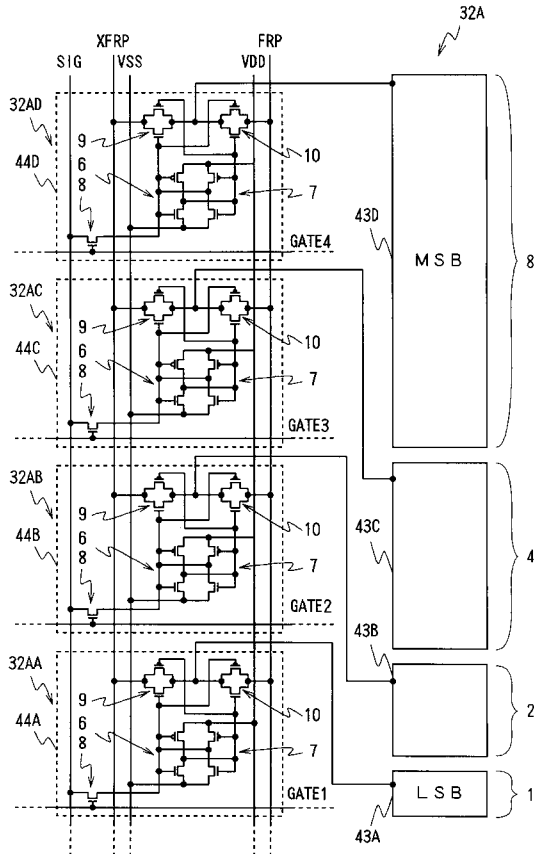
【符号の説明】

【0072】

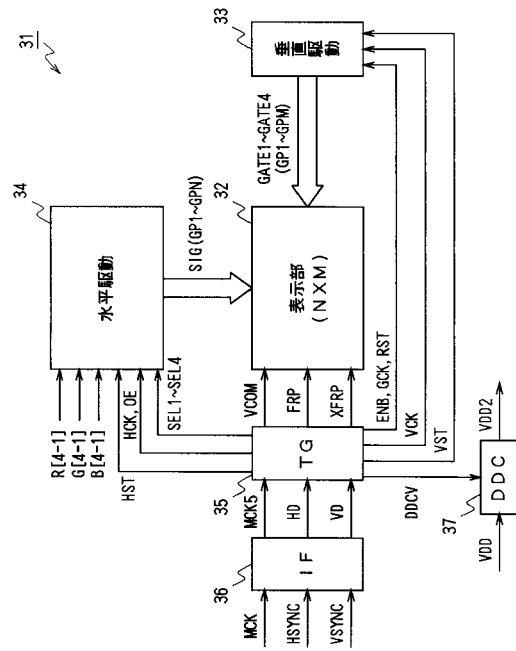
1、31...液晶表示装置、2、32...表示部、2A、32A...画素、2AA~2AD、32AA~32AD...サブ画素、3A~3D、43A、43B、43C、43D...電極、4A~4D、44A~44D...画素回路、5A~5D...液晶セル、6、7、65...インバータ、8、9、10、56A~56D...スイッチ回路、16、33...垂直駆動回路、18、61、64、67...シフトレジスタ、19、63...バッファ、20、34...水平駆動回路、21、51...サンプリングラッチ群、22、52...サンプリングラッチ、23、53...第2ラッチ群、24、54...第2ラッチ、55、75、85...セクタ、62...カウンタ

20

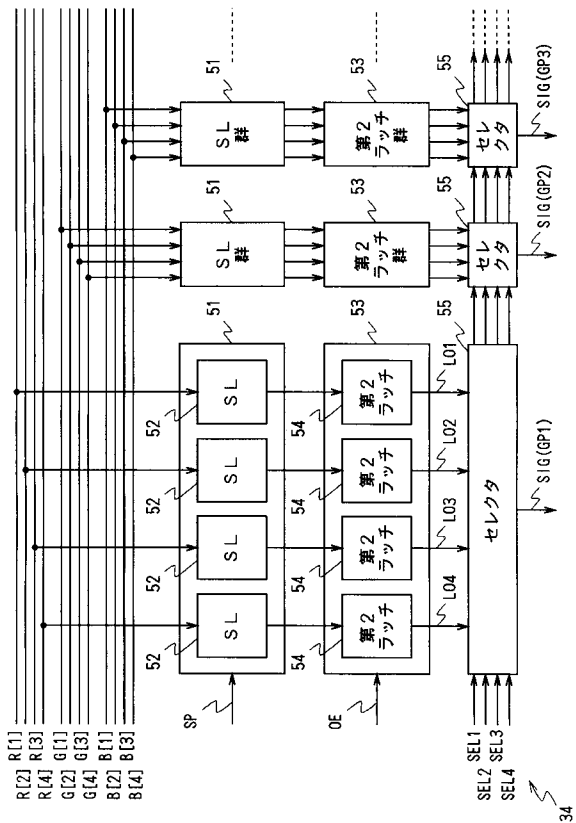
【図 1】



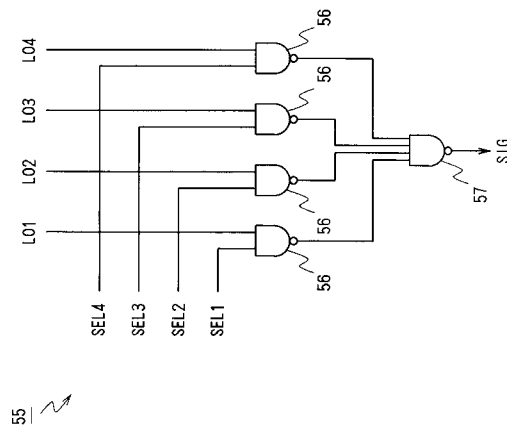
【図 2】



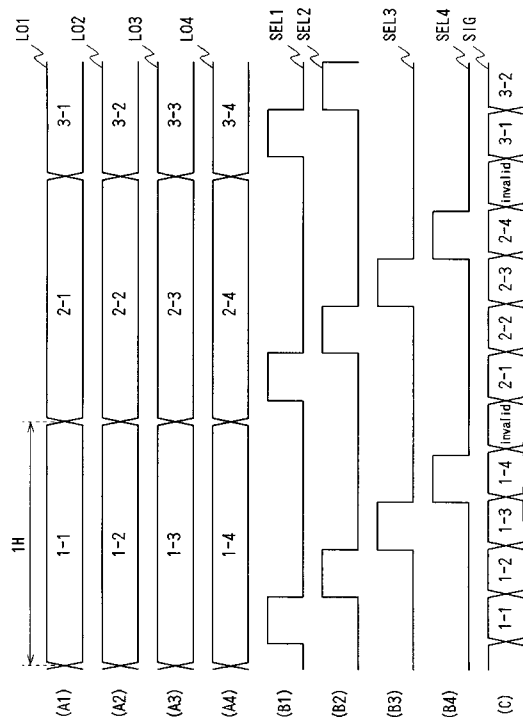
【図 3】



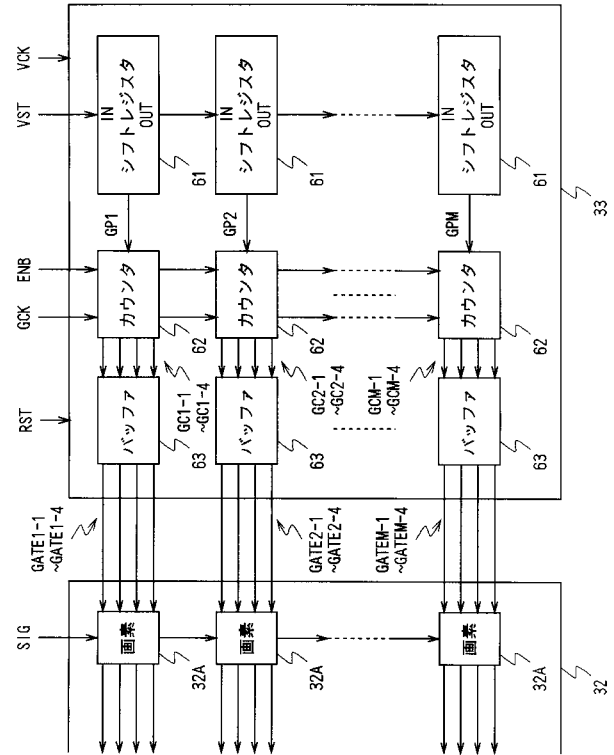
【図 4】



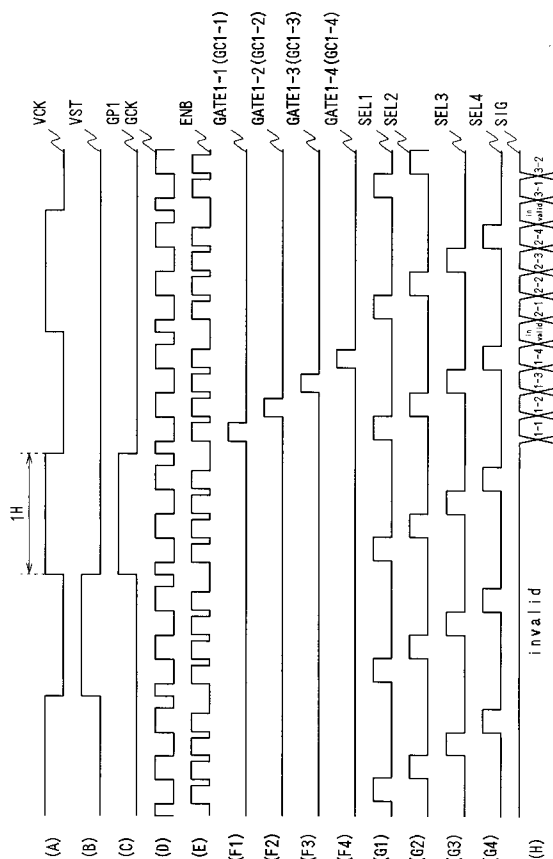
【図 5】



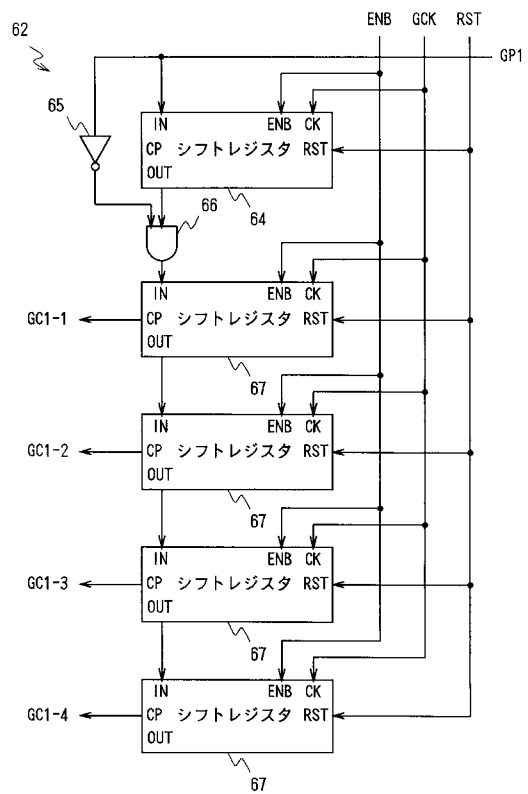
【図 6】



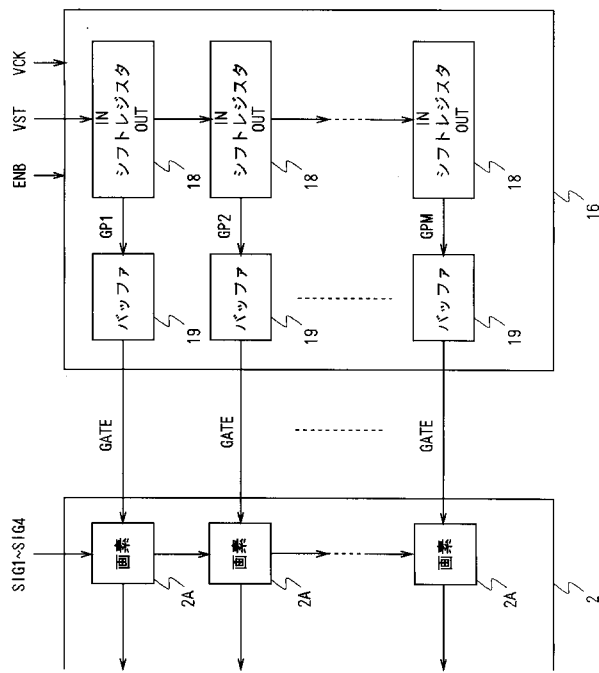
【図 7】



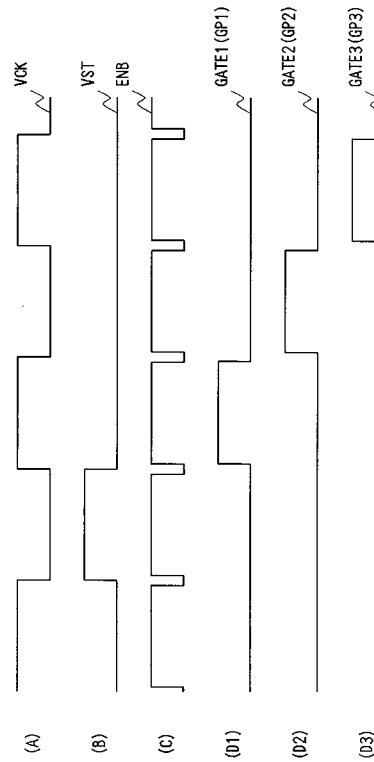
【図 8】



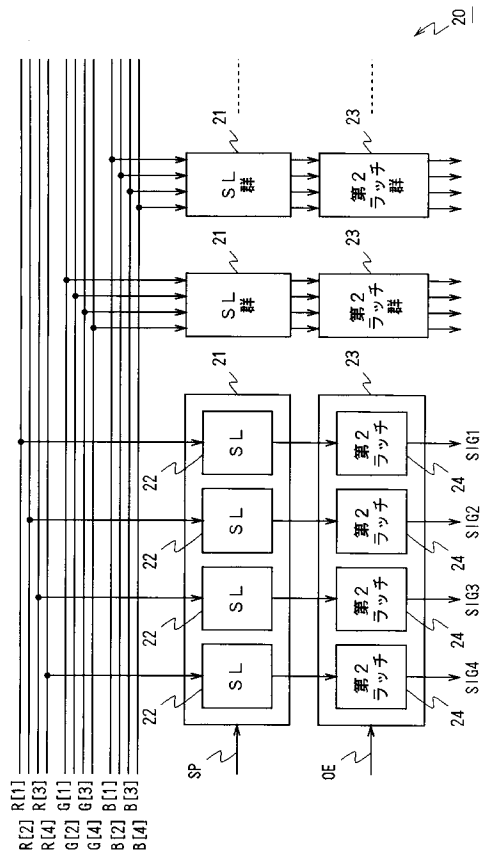
【図 17】



【図 18】



【図 19】



 フロントページの続き
(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 J
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 3 3 B
G 0 9 G	3/20	6 4 1 G
G 0 9 G	3/20	6 4 2 K

F ターム(参考) 2H093 NA16 NA32 NA43 NA54 NC09 NC13 NC16 NC18 NC21 NC22
 NC26 NC34 NC40 NC49 ND06 ND17 ND43 ND50 ND55 ND60
 NE03
 5C006 AA02 AA12 AA22 AC11 AC25 AC27 AF22 AF25 AF69 AF71
 BB16 BB28 BC03 BC06 BC12 BF03 BF04 BF05 BF11 BF16
 BF22 BF24 BF25 BF26 BF27 BF34 BF42 BF46 FA16 FA42
 FA47 FA56
 5C080 AA10 BB05 CC03 DD07 DD09 DD23 DD26 EE01 EE29 EE30
 FF03 FF11 GG12 JJ02 JJ03 JJ04

