

(11) 特許出願公開番号

特開2005-148453

(P2005-148453A)

(43) 公開日 平成17年6月9日(2005. 6. 9)

(51) Int.Cl.⁷

GO2F 1/1347

GO2F 1/133

G O 9 G 3/20

G O 9 G 3/36

F 1

GO 2 F 1/1347

G O 2 F 1/133 5 0 5

G O 2 F 1/133 5 5 0

G09G 3/20 611A

G O 9 G 3/20 6 1 1 C

テーマコード (参考)

2H089

2H093

5C006

5C080

審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2003-386433 (P2003-386433)

(22) 出願日 平成15年11月17日 (2003.11.17)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式会
社

東京都港区港南4-1-8

(74) 代理人 100083806

弁理士 三好 秀和

(74) 代理人 100100712

弁理士 岩▲崎▼ 幸邦

(74) 代理人 100100929

弁理士 川又 澄雄

(74) 代理人 100108707

弁理士 中村 友之

(74) 代理人 100095500

弁理士 伊藤 正和

最終頁に続く

(54) 【発明の名称】 液晶表示装置

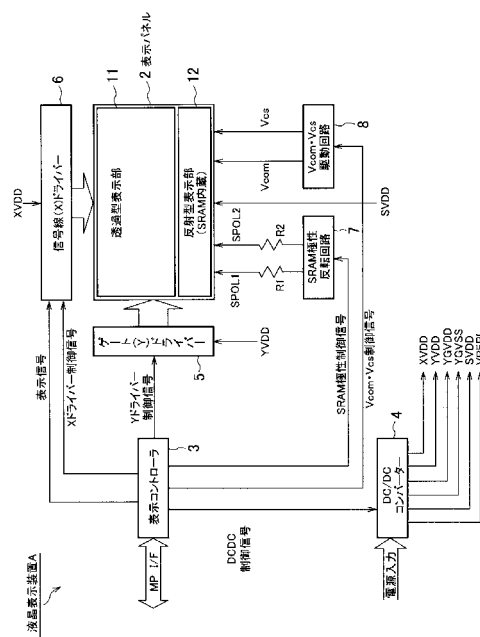
(57) 【要約】

【課題】 表示データを記憶する記憶素子を備えた第1の表示部と、当該第1の表示部と階調特性の異なる第2の表示部とを備える液晶表示装置を提供する。

【解決手段】

液晶表示装置 1 は、透過型表示部 11 と、SRAM を内蔵した反射型表示部 12 とを備える表示パネル 2 と、1 フレーム周期内において、透過型表示部 11 と反射型表示部 12 へ走査信号を出力するゲートドライバー 5 と、1 走査周期内で透過型表示部 11 と反射型表示部 12 へ表示信号を連続して出力する信号線ドライバー 6 と、SRAM 極性制御信号に基づいて、SRAM の極性を制御する制御信号を反射型表示部 12 の SRAM に供給する SRAM 極性反転回路 7 と、 $V_{com} \cdot V_{cs}$ 制御信号に基づいて、対向電極電位 V_{com} と、蓄積容量線電位 V_{cs} を制御する $V_{com} \cdot V_{cs}$ 駆動回路 8 とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

光透過方式で画像を表示する第 1 の表示部と、
表示信号を記憶する記憶素子が付設され、光反射方式で画像を表示する第 2 の表示部と、
を備えることを特徴とする液晶表示装置。

【請求項 2】

前記第 1 の表示部と前記第 2 の表示部は互いに交差する複数の信号線と複数の走査線の各交点付近に画素電極がマトリクス状に配置され、

1 フレーム周期内において、前記第 1 の表示部と、前記第 2 の表示部とへ走査信号を出力する走査信号制御手段と、

前記第 1 の表示部と、前記第 2 の表示部とへ表示信号を出力する表示信号制御手段と、

前記記憶素子からの表示信号で画像を表示する際に、当該記憶素子の極性を反転させる極性反転信号を出力する記憶素子極性制御手段と、

前記記憶素子へ電力を供給する電源制御手段と、

を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記電源制御手段から前記記憶素子への電源配線は、その配線長が最短となるよう前記第 2 の表示部の一辺から敷設することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記記憶素子極性制御手段から前記記憶素子への極性制御配線は、前記信号線、または前記走査線との間で寄生容量が発生するよう敷設することを特徴とする請求項 2 乃至請求項 3 に記載の液晶表示装置。

【請求項 5】

前記走査信号制御手段は、1 フレーム周期内において、前記第 1 の表示部へ供給する走査信号と、前記第 2 の表示部へ供給する走査信号とのいずれか一方を選択して出力または両方を出力し、

前記表示信号制御手段は、前記第 1 の表示部に供給する表示信号と、前記第 2 の表示部に供給する表示信号を 1 走査周期内で連続して出力することを特徴とする請求項 2 乃至請求項 4 に記載の液晶表示装置。

【請求項 6】

前記表示信号制御手段は、前記走査信号制御手段が前記第 1 の表示部へ供給する走査信号と、前記第 2 の表示部へ供給する走査信号とのいずれか一方を選択して出力する場合は、選択されなかった表示部への表示信号をオフに固定することを特徴とする請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタを用いた液晶表示装置に関する。

【背景技術】

【0002】

昨今の IT 技術の飛躍的な発展に伴い、携帯電話等の情報端末でも高精細なカラー画像を表示でき、小型、軽量、薄型かつ低消費電力の液晶表示装置を備えるようになっている。

【0003】

例えば、日本の折りたたみ式の携帯電話では、メインディスプレイとサブディスプレイの 2 つの液晶パネルを備えている。このような 2 つの液晶パネルを備えるものには、メインディスプレイとサブディスプレイで同じ特性の液晶パネルを使用している場合は、駆動用のドライバー回路を 1 つ備え、メインディスプレイとサブディスプレイで異なる特性の液晶パネルを使用している場合には駆動用のドライバー回路を 2 つ備えている。

【0004】

このうちメインディスプレイとサブディスプレイ、異なる特性を持つ2つの液晶表示パネルを1つのドライバーで駆動すること、1つのドライバーで2つの液晶表示パネルに連続して信号の書き込みを行うことは非常に難しい。

【0005】

例えば、反射型と透過型というような組み合わせになると、液晶の γ 特性（階調の特性）が異なってくるので、そのため γ 補正用の電源を切り替える必要があり、メインディスプレイとサブディスプレイを同時に駆動することは非常に困難であった。

【0006】

ところで、海外では表示パネルを1つ備えたスティック型の携帯電話が主流であり、その液晶パネルは通常の表示を行い、待ち受け状態として低消費電力でアンテナ表示や時計の表示を行っている。 10

【0007】

例えば、特許文献1のように、1つの液晶パネルを反射型表示部分と透過型表示部分とで構成し、通常の表示を行う場合は、透過型表示部分に表示し、待ち受け状態の場合には、反射型表示部分に表示し、バックライトを必要とせず良好な視認性の確保と低消費電力を実現している。

【0008】

一方、さらなる省電力化を目的として、特許文献2のように、表示パネルの全面または一部（サブディスプレイ）にSRAMを内蔵して、待ち受け状態の場合には、このSRAM 20
に記憶されたデータで表示を行う液晶表示装置もある。用途としては、例えば、表示パネルの一部にカレンダーや時計の表示を行うなど、頻繁に表示を切り替える必要が無いものが多い。

【0009】

また、サブディスプレイがSRAM駆動で白黒2階調表示を行うものであれば、その性質上、階調を補正する必要が無く、メインディスプレイとサブディスプレイで特性が異な 30
っていても γ 補正用の電源を切り替える必要がないという利点がある。

【0010】

ところが、従来は通常表示からSRAM表示に切り替える場合に、一旦白または黒といった特定の画面表示するデータをメインディスプレイに供給し、次のフレーム周期でSRAMへの2値データを供給しており、非常に複雑な制御を行っていた。また、SRAMを 30
内蔵する分、配線が複雑になるために、SRAMへの電源配線にノイズが発生し誤動作の原因となっていた。

【0011】

また、近年、特に液晶表示装置のさらなる小型化、省電力化が要望される中で、特性の異なる2つの表示部を備え、さらにSRAMを内蔵し、上記の様々な問題点を解決した液晶表示装置は無かった。

【特許文献1】特開2002-303863公報

【特許文献2】特開2002-169136公報

【発明の開示】 40

【発明が解決しようとする課題】

【0012】

本発明は、上記事情に鑑みてなされたものであり、表示データを記憶する記憶素子を備えた第2の表示部と、当該第2の表示部と階調特性の異なる第1の表示部とを備える液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記の目的を達成するために、請求項1に記載の発明である液晶表示装置は、光透過方式で画像を表示する第1の表示部と、表示信号を記憶する記憶素子が付設され、光反射方式で画像を表示する第2の表示部と、を備えることを特徴とする。なお、本願における光 50

透過方式は半透過方式を含むものとする。

【0014】

また、請求項2に記載の発明である液晶表示装置は、前記第1の表示部と前記第2の表示部は互いに交差する複数の信号線と複数の走査線の各交点付近に画素電極がマトリクス状に配置され、1フレーム周期内において、前記第1の表示部と、前記第2の表示部とへ走査信号を出力する走査信号制御手段と、前記第1の表示部と、前記第2の表示部とへ表示信号を出力する表示信号制御手段と、前記記憶素子からの表示信号で画像を表示する際に、当該記憶素子の極性を反転させる極性反転信号を出力する記憶素子極性制御手段と、前記記憶素子へ電力を供給する電源制御手段とを備えることを特徴とする。

【0015】

また、請求項3に記載の発明である液晶表示装置は、請求項2に記載の液晶表示装置であって、前記電源制御手段から前記記憶素子への電源配線は、その配線長が最短となるよう前記第2の表示部の一辺から敷設することを特徴とする。

【0016】

また、請求項4に記載の発明である液晶表示装置は、請求項2乃至請求項3に記載の液晶表示装置であって、前記記憶素子極性制御手段から前記記憶素子への極性制御配線は、前記信号線、または前記走査線との間で寄生容量が発生するよう敷設することを特徴とする。

【0017】

また、請求項5に記載の発明である液晶表示装置は、請求項2乃至請求項4に記載の液晶表示装置であって、前記走査信号制御手段は、1フレーム周期内において、前記第1の表示部へ供給する走査信号と、前記第2の表示部へ供給する走査信号とのいずれか一方を選択して出力または両方を出力し、前記表示信号制御手段は、前記第1の表示部に供給する表示信号と、前記第2の表示部に供給する表示信号を1走査周期内で連続して出力することを特徴とする。

【0018】

また、請求項6に記載の発明である液晶表示装置は、請求項5に記載の液晶表示装置であって、前記表示信号制御手段は、前記走査信号制御手段が前記第1の表示部へ供給する走査信号と、前記第2の表示部へ供給する走査信号とのいずれか一方を選択して出力する場合は、選択されなかった表示部への表示信号をオフに固定することを特徴とする。

【発明の効果】

【0019】

記憶素子を備えた第1の表示部と、当該第1の表示部と階調特性の異なる第2の表示部とを備え、待ち受け状態のように画像を頻繁に表示する必要の無い時は、記憶素子に記憶された表示信号で表示を行うことで、さらなる省電力化を図ることができる。

【0020】

また、電源配線は配線長が最短となるよう第2の表示部の一辺から敷設することで、配線抵抗値を低くすることが可能になり、記憶素子の極性反転時に生じる電源電圧変動を抑制することが可能となる。

【0021】

極性制御配線は、信号線、または走査線との間で寄生容量が発生するよう敷設することで、極性反転信号の変化が緩やかになり、発生するノイズを小さく抑制することが可能となる。

【0022】

また、第1の表示部へ供給する走査信号と、第2の表示部へ供給する走査信号とのいずれか一方または両方を出力可能にすることで、複雑であった画像表示の制御を簡略化することが可能となり、また、制御が簡素になるため省電力化を図ることも可能となる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施形態について、図1～図10を用いて説明する。

10

20

30

40

50

【0024】

本実施形態における液晶表示装置1は、図1に示すように、アクティブマトリックス型の液晶表示パネル2、表示コントローラー3、DC/DCコンバーター4、ゲートドライバー5、信号線ドライバー6、SRAM極性反転回路7、およびVcom・Vcs駆動回路8を備える。

【0025】

液晶表示パネル2は、バックライトを利用し、裏側から光を透過させて表示を行う透過型表示部11と、外光を反射させて表示を行う反射型表示部12とから構成される。この表示パネル2は、主にガラス等の光透過性基板と、光透過性基板上で互いに平行に及び等間隔に配列した信号線と、それら信号線に直交して配列した走査線と、それぞれ信号線と走査線との交点近傍に配置された画素TF T、画素電極とで構成される。

10

【0026】

例えば、ディスプレイの主要表示部分を透過型表示部11、ディスプレイの下部または上部の一部を反射型表示部12として1つの液晶表示パネル2を構成しても良いし、また、本発明を携帯電話のような2画面を有する機器に適用する場合においては、メインディスプレイを透過型表示部11、サブディスプレイ（背面側）を反射型表示部12として2つの表示部を有する液晶表示パネル2を構成しても良い。

【0027】

なお、図1は、反射型表示部12が信号線ドライバー6の対向する側に設けられている液晶表示装置1Aであり、図2は、反射型表示部12が信号線ドライバー6と同じ側に設けられている液晶表示装置1Bである。一般的には、諸々の配線を表示パネル2の一方から敷設する方が望ましい。

20

【0028】

表示コントローラー3は、表示信号、Xドライバー制御信号、およびクロック信号を信号線ドライバー6に供給する機能、Yドライバー制御信号、およびクロック信号をゲートドライバー5に供給する機能、DCDC制御信号をDC/DCコンバーター4に供給する機能、SRAM極性制御信号をSRAM極性反転回路7に供給する機能、Vcom・Vcs制御信号をVcom・Vcs駆動回路8に供給する機能を有する。

【0029】

また、DC/DCコンバーター4は、表示コントローラー3から供給されるDCDC制御信号に基づいて、各部が必要とする電源電圧を印加する機能を有する。

30

【0030】

ゲートドライバー5は、各ゲート回路線（走査線）に接続され、表示コントローラー3から供給されるクロック信号とYドライバー制御信号に基づいて、画素TF Tのゲート回路電極にアドレス信号を供給し、画素TF Tのオン/オフを制御する機能を有する（詳細については後述）。

【0031】

信号線ドライバー6は、各信号線に接続され、表示コントローラー3から供給されるクロック信号とXドライバー制御信号に基づいて、画素TF Tのソース電極に表示信号を供給する機能を有する。

40

【0032】

SRAM極性反転回路7は、表示コントローラー3から供給されるSRAM極性制御信号に基づいて、SRAMの極性を制御する制御信号（SP0L1、SP0L2）を反射型表示部12のSRAMに供給する機能を有する。

【0033】

Vcom・Vcs駆動回路8は、表示コントローラー3から供給されるVcom・Vcs制御信号に基づいて、対向電極電位Vcomと、蓄積容量線電位Vcsを制御する機能を有する。

【0034】

また、液晶表示パネル2の反射型表示部12は、図3に示すように、1つの画素は、画

50

素 T F T (Qsig)、液晶層 (LC)、蓄積容量 (Csig) の他に S R A M が付設される。S R A M は、スイッチング素子 Q 1 ~ Q 7 から構成され、スイッチング素子 Q 2 および Q 5、スイッチング素子 Q 1 および Q 4 はそれぞれインバータ A およびインバータ B を構成し、2 値データ (High または Low) を保持する。

【0035】

また、スイッチング素子 Q 3 はゲート回路線に接続され、信号線に供給される表示信号の S R A M への保持の制御を行う。また、スイッチング素子 Q 6 のゲート電極には、制御信号 SP0L1 が供給され、スイッチング素子 Q 7 のゲート電極には、制御信号 SP0L2 が供給される。S R A M に保持されている表示信号で画像を表示する時 (S R A M 駆動時) には、スイッチング素子 Q 6、Q 7 を 1 フレーム毎に交互にオン / オフすることによって、S R A M に保持されている表示信号を液晶層 (LC) に供給する。 10

【0036】

具体的には、次のような動作となる。まず、S R A M への 2 値データの書き込み時には、スイッチング素子 Q 6 をオン、スイッチング素子 Q 7 をオフし、画素 T F T (Qsig) とスイッチング素子 Q 3 を所定の周期でオン / オフすると、S R A M に 2 値データが保持される。

【0037】

また、S R A M 駆動時には、画素 T F T (Qsig) をオフ、スイッチング素子 Q 3 をオンに固定する。また、スイッチング素子 Q 6 とスイッチング素子 Q 7 を 1 フレーム毎に交互にオン / オフして、2 値データを出力する。例えば、スイッチング素子 Q 6 がオン、スイッチング素子 Q 7 がオフとなるフレームでは、インバータ B で極性反転された 2 値データがノード a から出力され、スイッチング素子 Q 6 がオフ、スイッチング素子 Q 7 がオンとなるフレームでは、インバータ A で極性反転された 2 値データがノード b から出力される。このように S R A M を駆動することで、交流駆動で白 / 黒の 2 値表示を行うことができる。 20

【0038】

S R A M へ制御信号 SP0L1、SP0L2 を供給する配線、および電源配線は、その配線を長く引き回すと、電気抵抗が高くなり、また、ノイズの影響を受けやすくなる。図 4 に、S R A M 駆動時のタイミングチャートを示す。各画素を駆動するための配線は相互に交差することになるが、交差している配線間に寄生する寄生容量によって電位の変動が起こってしまう。S R A M 駆動時には、図 4 に示すように、制御信号 SP0L1、SP0L2 が High から Low、Low から High に変化する時に、S R A M の電源電圧 S V D D にノイズ (図 4 中、(1) と (2) の実線部) が発生する。 30

【0039】

これは誤動作の原因となるため、電源電圧 S V D D を供給する電源配線は、液晶表示パネル 2 の S R A M を内蔵している側から可能な限り短くなるように敷設することが望ましい。また、制御信号 SP0L1、SP0L2 は急峻に High から Low、Low から High に変化する時 (図 4 中、(3) と (4) の実線部)、電源電圧 S V D D に大きなノイズが発生するが、制御信号 SP0L1、SP0L2 の変化が緩やか (図 4 中、(3) と (4) の破線部) であれば発生するノイズも小さくなる (図 4 中、(1) と (2) の破線部)。従って、制御信号の変化を緩やかにするために、制御信号線は、寄生容量が発生するよう液晶表示パネル 2 内を長く敷設することが望ましい。 40

【0040】

このように、1 つのゲートドライバー 5 で、透過型表示部 1 1 と反射型表示部 1 2 との駆動を行う場合には、透過型表示部 1 1 と反射型表示部 1 2 の両者を駆動するアドレス信号を個別に出力して、両者に対応した表示信号がそれぞれの画素 T F T に供給されるようにしなければならない。そのため、ゲートドライバー 5 は、図 5 に示すように、シフトレジスタ 2 1、イネーブル回路 2 3 a、イネーブル回路 2 3 b、およびレベルシフト部 2 2 とから構成される。

【0041】

シフトレジスタ 21 は、スタート信号 (YST) とクロック信号 (YCK) に基づいて、レジスタをシフト動作させ、ゲート線に供給するアドレス信号を順次出力する機能を有する。

【0042】

また、レベルシフト部 22 は、アドレス信号を、画素 T F T を駆動可能な電圧レベルにレベルシフトする機能を有する。

【0043】

また、イネーブル回路 23 a およびイネーブル回路 23 b は、図 6 に示すように、AND ゲート回路 A1~A4、OR ゲート回路 01~02、および NOT ゲート回路 N1 によって構成される。これらイネーブル回路 23 a およびイネーブル回路 23 b は、出力開放信号 (OE)、同期信号 (GON)、および S R A M 書き込み制御信号に基づいて、アドレス信号の出力制御を行う機能を有する。なお、図 6 に示す論理回路の構成は、単なる一例であって、同様の出力制御を行うことができるものであれば、特にその回路構成は限定しない。

【0044】

図 6 に示す回路構成において、出力遮断信号 (OE) は AND ゲート回路 A1、A2 にそれぞれ供給され、強制出力信号 (GON) は OR ゲート回路 01、02 にそれぞれ供給される。また、S R A M 書き込み制御信号は AND ゲート回路 A3、A4 にそれぞれ供給されるが、AND ゲート回路 A3 へ供給される S R A M 書き込み制御信号は、NOT ゲート回路 N1 によって反転される。

【0045】

以下の説明は、図 2 に示す液晶表示装置 B において、反射型表示部 12 から透過型表示部 11 の方向に向かって走査する場合について、図 6 に示すゲートドライバーの動作の説明である。

【0046】

S R A M への書き込み時における S R A M 書き込み制御信号が High である場合は、イネーブル回路 23 b の出力は AND ゲート回路 A4 によって遮断され、透過型表示部 11 へのアドレス信号は供給されない。また、S R A M 書き込み制御信号が Low である場合は、イネーブル回路 23 a の出力は AND ゲート回路 A3 によって遮断され、反射型表示部 12 へのアドレス信号は供給されないことになる。

【0047】

従って、図 6 に示すようなゲートドライバー 5 を有する液晶表示装置 1 では、透過型表示部 11 に表示信号を供給する場合は、S R A M 書き込み制御信号を Low にすると共に、図 7 に示すように、S R A M 用のデータを“0” (ノーマリホワイトの表示パネルの印加電圧 0 V 状態の白を表示) に固定し、透過型表示部 11 用のデータのみを表示信号に乗せ出力する。また、反射型表示部 12 に表示信号を供給する場合 (例えば、透過型表示部 11 はオフ状態) は、S R A M 書き込み制御信号を High にすると共に、図 8 に示すように、透過型表示部 11 用のデータを“0” (白を表示) に固定し、S R A M 用のデータのみを表示信号に乗せ出力する。

【0048】

このように反射型表示部 12 と透過型表示部 11 への表示信号を別々のタイミングで供給することで、1 つのゲートドライバー 5 で反射型表示部 12 と透過型表示部 11 とを 1 フレーム周期内で個別に駆動することが可能となる。

【0049】

また、1 つのゲートドライバー 5 で反射型表示部 12 と透過型表示部 11 とを同時に駆動する場合には、イネーブル回路 24 a およびイネーブル回路 24 b は、図 9 に示すように、AND ゲート回路 A1~A4、OR ゲート回路 01~04、および NOT ゲート回路 N1 によって構成される。これらイネーブル回路 24 a およびイネーブル回路 24 b は、出力遮断信号 (OE)、強制出力信号 (GON)、S R A M 書き込み制御信号、および S R A M ・通常連続書き込み制御信号に基づいて、アドレス信号の出力制御を行う機能を有する。なお、図 9 に示す論理回路の構成は、単なる一例であって、同様の出力制御を行うことができるものであれば、特にその回路構成は限定しない。また、S R A M ・通常連続書き込み制御信

号とは、反射型表示部 1 2 と透過型表示部 1 1 とに連続して表示信号を供給する場合に出力される制御信号である。

【0050】

図 9 に示す回路構成において、出力遮断信号 (OE) は AND ゲート回路 A1、A2 にそれぞれ供給され、強制出力信号 (GON) は OR ゲート回路 01、02 にそれぞれ供給される。また、SRAM 書き込み制御信号と SRAM・通常連続書き込み制御信号とは OR ゲート回路 03、04 にそれぞれ供給されるが、OR ゲート回路 03 へ供給される SRAM 書き込み制御信号は、NOT ゲート回路 N1 によって反転される。

【0051】

反射型表示部 1 2 と透過型表示部 1 1 とを同時に駆動する場合における SRAM・通常連続書き込み制御信号が High であるとする、SRAM 書き込み制御信号が High または Low のいずれであっても、OR ゲート回路 03 および OR ゲート回路 04 の出力は両方とも High になり、反射型表示部 1 2 と透過型表示部 1 1 の両方へアドレス信号が供給される。

【0052】

また、SRAM・通常連続書き込み制御信号が Low である場合は、図 6 に示すイネーブル回路 2 3 a およびイネーブル回路 2 3 b と等価になるので、SRAM 書き込み制御信号が High である場合は、イネーブル回路 2 4 b の出力は AND ゲート回路 A4 によって遮断され、透過型表示部 1 1 へのアドレス信号は供給されない。また、SRAM 書き込み制御信号が Low である場合は、イネーブル回路 2 4 a の出力は AND ゲート回路 A3 によって遮断され、反射型表示部 1 2 へのアドレス信号は供給されないことになる。

【0053】

従って、図 9 に示すようなゲートドライバー 5 を有する液晶表示装置 1 では、透過型表示部 1 1 と反射型表示部 1 2 に表示信号を供給する場合は、SRAM・通常連続書き込み制御信号を High にすると共に、図 10 に示すように、反射型表示部 1 2 用のデータと透過型表示部 1 1 用のデータを表示信号に乘せ出力する。

【0054】

このように反射型表示部 1 2 と透過型表示部 1 1 への表示信号をあわせて供給することで、1 つのゲートドライバー 5 で反射型表示部 1 2 と透過型表示部 1 1 とを 1 フレーム周期内で同時に駆動することが可能となる。

【0055】

なお、本実施形態においては、各画素に付設される記憶素子として SRAM を示しているが、これに限定されるものではなく、DRAM 等であっても良い。

【図面の簡単な説明】

【0056】

【図 1】液晶表示装置 A の機能構成図である。

【図 2】液晶表示装置 B の機能構成図である。

【図 3】反射型表示部の 1 画素の回路構成を示す図である。

【図 4】SRAM 駆動時の制御信号 SP0L1、SP0L2 と電源電圧 S V D D のタイミングチャートである。

【図 5】ゲート回路ドライバーの機能構成図である。

【図 6】イネーブル回路 a、b の論理回路の構成図である。

【図 7】SRAM 用表示信号と透過型表示部用表示信号の関係を示すタイミングチャートである。

【図 8】SRAM 用表示信号と透過型表示部用表示信号の関係を示すタイミングチャートである。

【図 9】イネーブル回路 a、b の論理回路の構成図である。

【図 10】SRAM 用表示信号と透過型表示部用表示信号の関係を示すタイミングチャートである。

【符号の説明】

【0057】

10

20

30

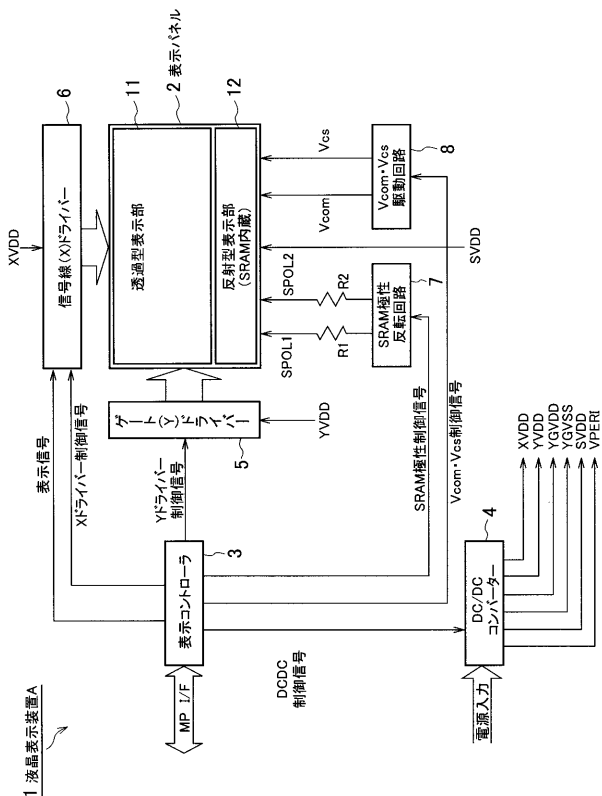
40

50

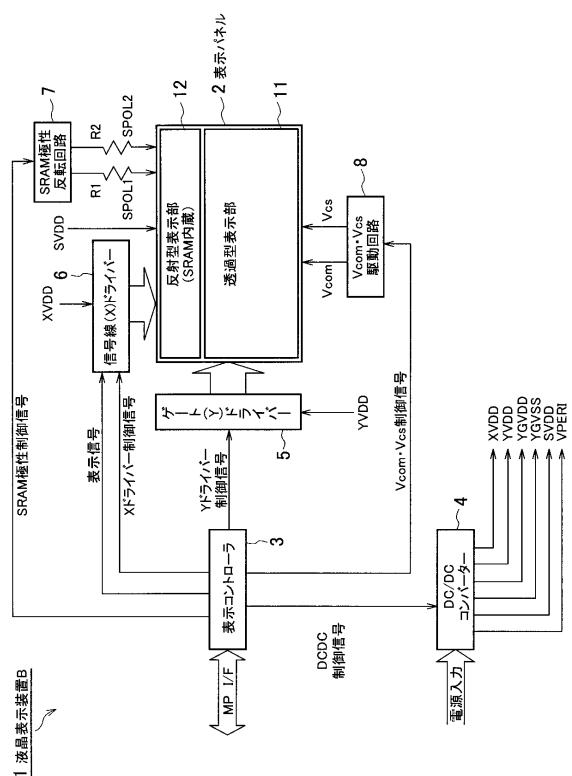
- 1 A、B 液晶表示装置
- 2 表示パネル
- 3 表示コントローラ
- 4 DC／DCコンバーター
- 5 ゲート回路ドライバー
- 6 信号線ドライバー
- 7 SRAM極性反転回路
- 8 Vcom・Vcs駆動回路
- 11 透過型表示部
- 12 反射型表示部
- 21 シフトレジスタ
- 22 レベルシフト部
- 23 a、b イネーブル回路
- 24 a、b イネーブル回路
- A1～A4 ANDゲート回路
- 01～04 ORゲート回路
- N1 NOTゲート回路

10

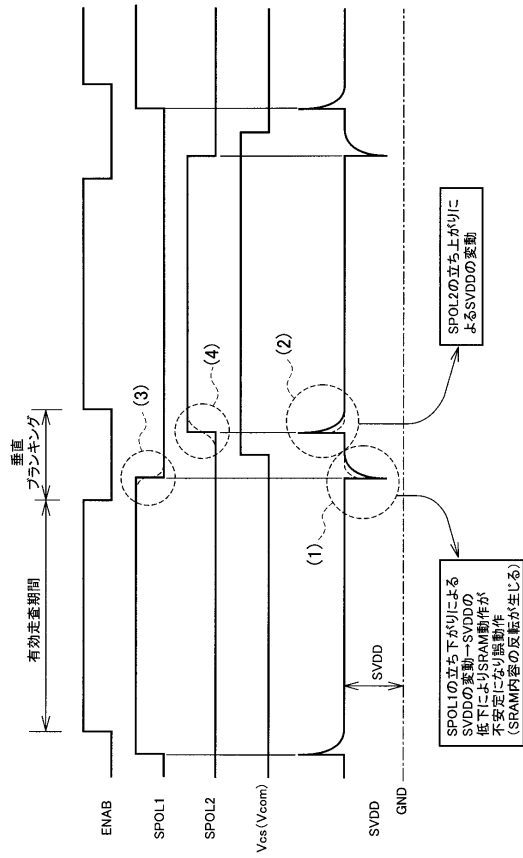
【図 1】



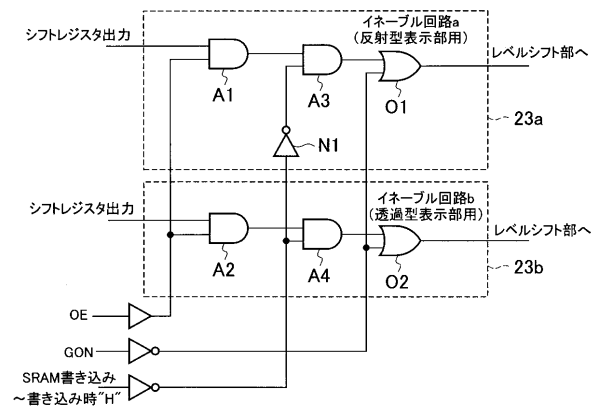
【図 2】



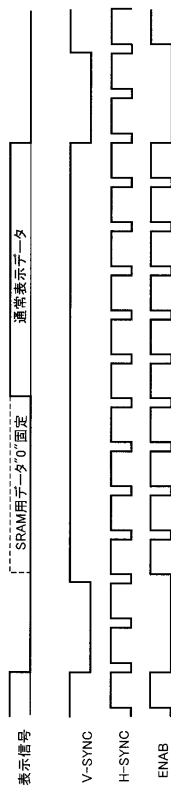
【図 4】



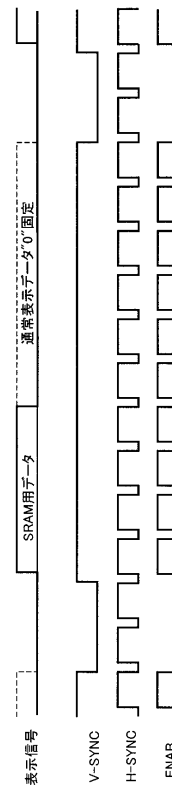
【図 6】



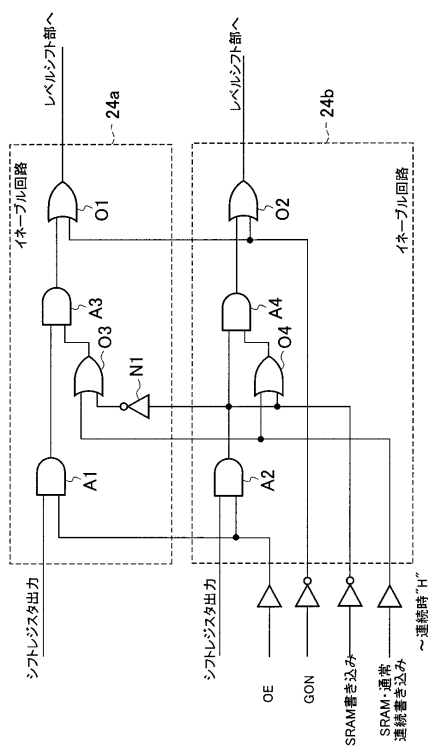
【図 7】



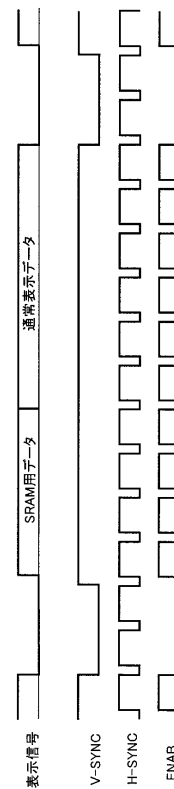
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 8 0 D
G 0 9 G	3/36	

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 藤原 久男

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H089 HA33 KA19 QA01 QA16 TA07

2H093 NA16 NA41 NC09 NC16 NC29 NC34 NC36 NC50 ND39 ND40
ND60

5C006 AC26 AF44 AF68 BB08 BB16 BB28 BC02 BC03 BC06 BF01
BF26 BF46 FA01 FA32 FA47

5C080 AA10 BB05 CC08 DD09 DD12 DD26 FF11 GG12 JJ02 JJ03
JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2005148453A	公开(公告)日	2005-06-09
申请号	JP2003386433	申请日	2003-11-17
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	藤原久男		
发明人	藤原 久男		
IPC分类号	G02F1/1347 G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G2300/0857		
FI分类号	G02F1/1347 G02F1/133.505 G02F1/133.550 G09G3/20.611.A G09G3/20.611.C G09G3/20.621.B G09G3/20.621.M G09G3/20.622.D G09G3/20.624.B G09G3/20.680.D G09G3/36		
F-TERM分类号	2H089/HA33 2H089/KA19 2H089/QA01 2H089/QA16 2H089/TA07 2H093/NA16 2H093/NA41 2H093/NC09 2H093/NC16 2H093/NC29 2H093/NC34 2H093/NC36 2H093/NC50 2H093/ND39 2H093/ND40 2H093/ND60 5C006/AC26 5C006/AF44 5C006/AF68 5C006/BB08 5C006/BB16 5C006/BB28 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BF01 5C006/BF26 5C006/BF46 5C006/FA01 5C006/FA32 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC08 5C080/DD09 5C080/DD12 5C080/DD26 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H189/AA31 2H189/AA37 2H189/CA35 2H189/HA11 2H189/HA13 2H189/LA08 2H189/LA10 2H189/NA03 2H189/NA05 2H189/NA09 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA20 2H193/ZA42 2H193/ZB14		
代理人(译)	三好秀 中村智之 伊藤雅一 高桥俊 高松俊夫		
外部链接	Espacenet		

摘要(译)

液晶显示装置包括：第一显示单元，其具有存储显示数据的存储元件；以及第二显示单元，其灰度特性与第一显示单元的灰度特性不同。[解决方案] 液晶显示装置1包括显示面板2，该显示面板2包括透射型显示单元11和具有内置SRAM的反射型显示单元12，在一个帧周期内对透射型显示单元11和反射型显示单元12的扫描信号。信号线驱动器6在一个扫描周期内连续地将显示信号输出到透射型显示单元11和反射型显示单元12，并基于SRAM极性控制信号输出SRAM的极性。SRAM极性反转电路7提供用于控制反射型显示单元12的SRAM的控制信号，以及Vcom·Vcs驱动器，其基于Vcom·Vcs控制信号来控制对电极电位Vcom和辅助电容线电位Vcs。和电路8。[选型图]图1

