

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-72126

(P2005-72126A)

(43) 公開日 平成17年3月17日(2005.3.17)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 27/146	HO 1 L 27/14 C	2H092
GO 2 F 1/1368	GO 2 F 1/1368	3K007
HO 1 L 29/786	HO 1 L 31/10 A	4M118
HO 1 L 31/10	HO 1 L 29/78 613Z	5F049
// HO 5 B 33/14	HO 5 B 33/14 A	5F110

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願2003-297245 (P2003-297245)

(22) 出願日 平成15年8月21日 (2003.8.21)

(71) 出願人 302020207  
東芝松下ディスプレイテクノロジー株式会社  
東京都港区港南4-1-8

(74) 代理人 100062764  
弁理士 樺澤 襄

(74) 代理人 100092565  
弁理士 樺澤 聡

(74) 代理人 100112449  
弁理士 山田 哲也

(72) 発明者 多田 典生  
東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

最終頁に続く

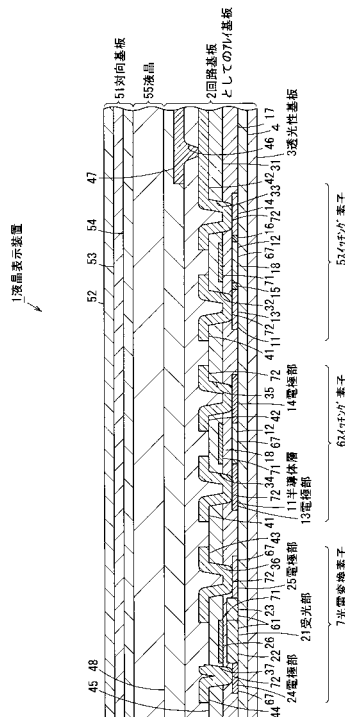
(54) 【発明の名称】 回路基板、アレイ基板、その製造方法、液晶表示装置およびその製造方法

(57) 【要約】

【課題】 光センサから取り出せる光電流を大きくできるアレイ基板を提供する。

【解決手段】 発生する光電流が大きいアモルファスシリコンで光センサ7の受光部21を形成する。受光部21から取り出せる光電流が大きくなる。コンタクト抵抗の小さいポリシリコンで光センサ7のp<sup>+</sup>領域24およびn<sup>+</sup>領域25を形成する。p<sup>+</sup>領域24およびn<sup>+</sup>領域25のコンタクト抵抗が小さくなる。光センサ7を薄膜トランジスタ5、6と同一の工程で形成できつつ、光センサ7の読み取り機能をより高性能にできる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

透光性基板と、

この透光性基板の一主面に設けられ、非晶質半導体にて形成された受光部、およびこの受光部に電氣的に接続され多結晶半導体にて形成された一对の電極部を備えた光電変換素子と

を具備したことを特徴とした回路基板。

**【請求項 2】**

光電変換素子の受光部は、この光電変換素子の一对の電極部よりも厚いことを特徴とした請求項 1 記載の回路基板。

10

**【請求項 3】**

請求項 1 または 2 記載の回路基板と、

この回路基板の透光性基板の一主面に設けられ、多結晶半導体にて形成された半導体層を備えたスイッチング素子と

を具備したことを特徴としたアレイ基板。

**【請求項 4】**

請求項 3 記載のアレイ基板と、

このアレイ基板に対向して設けられた対向基板と、

この対向基板および前記アレイ基板の間に介挿された液晶と

を具備したことを特徴とした液晶表示装置。

20

**【請求項 5】**

透光性基板の一主面に非晶質半導体層を設け、

この非晶質半導体層をパターンニングし、

このパターンニングした前記非晶質半導体層におけるスイッチング素子および光電変換素子それぞれの電極部となる領域を結晶化して多結晶半導体層にする

ことを特徴としたアレイ基板の製造方法。

**【請求項 6】**

非晶質半導体層を結晶化する前に、この非晶質半導体層における光電変換素子の受光部となる領域の膜厚を、前記非晶質半導体層における前記光電変換素子の電極部となる領域の膜厚よりも薄くする

ことを特徴とした請求項 5 記載のアレイ基板の製造方法。

30

**【請求項 7】**

非晶質半導体層におけるスイッチング素子および光電変換素子それぞれの電極部となる領域にレーザを照射して多結晶半導体層にする

ことを特徴とする請求項 5 記載のアレイ基板の製造方法。

**【請求項 8】**

請求項 5 ないし 7 いずれか記載のアレイ基板に対向基板を対向させて配設し、

これら対向基板とアレイ基板との間に液晶を介挿する

ことを特徴とする液晶表示装置の製造方法。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、光電変換素子を備えた回路基板、アレイ基板、液晶表示装置、アレイ基板の製造方法および液晶表示装置の製造方法に関する。

**【背景技術】****【0002】**

近年、液晶ディスプレイなどの液晶表示装置は、薄型かつ軽量であり低消費電力であるという大きな利点を持ち、パーソナルコンピュータや携帯電話などのディスプレイとして広く用いられている。さらに、これら液晶表示装置は、タッチパネルやペン入力などの入力機能を付加させることで、これら液晶表示装置の用途の拡大が進んでいる。しかしなが

50

ら、これら機能を液晶表示装置に付加させるためには、これら機能を付加することに伴う部品を追加する必要があるから、これら液晶表示装置を備えた装置のトータルコストが上がってしまう。

【0003】

一方、この種の液晶表示装置は、従来、外付け部品であった駆動回路を、スイッチング素子としての薄膜トランジスタ(TFT)を集積した透光性基板としてのガラス基板の一主面である表面に取り込んで、この液晶表示装置のトータルコストを低減させる技術が開発されている。この技術により、ガラス基板の表面に入力機能を取り込むことが可能であれば、入力機能を備えた液晶表示装置のトータルコストを低下できると同時に、付加価値を向上できる。

10

【0004】

一般に、この技術では、駆動回路を構成する薄膜トランジスタは、従来のアモルファスシリコンよりも移動度が高いポリシリコンで構成される。このため、読み取り機能を実現する光電変換素子としての光センサをポリシリコンで構成することにより、同一の製造工程でガラス基板上に薄膜トランジスタと光センサとを形成でき、駆動回路および読み取り機能を取り込むことが可能となった構成が知られている(例えば、特許文献1参照。)

【特許文献1】特許2959682号公報(第2-4頁、図1)

【発明の開示】

【発明が解決しようとする課題】

【0005】

20

しかしながら、上記液晶表示装置の光センサをポリシリコンで形成した場合には、ポリシリコンにて形成された薄膜トランジスタと同一の製造工程で形成できるが、ポリシリコンは光源となるバックライトの可視光の吸収が小さく、光センサで発生する光電流が小さい。

【0006】

一方、この光センサをアモルファスシリコンにて形成した場合には、可視光の吸収が大きく、発生する光電流が大きい。ところが、ポリシリコンにて形成される薄膜トランジスタと同一の製造工程で光センサを形成すると、この光センサの一对の電極部であるP型電極領域およびN型電極領域と、これらP型電極領域およびN型電極領域から光電流を取り出す電極となるメタル配線とのコンタクト抵抗が高い。このため、これらP型電極領域およびN型電極領域から取り出せる光電流が小さい。すなわち、この光センサでの高性能の読み取り機能を実現するためには、この光センサから取り出せる光電流を大きくする必要がありという問題を有している。

30

【0007】

本発明は、このような点に鑑みなされたもので、光電変換素子から取り出せる光電流を大きくできる回路基板、アレイ基板、液晶表示装置、アレイ基板の製造方法および液晶表示装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、透光性基板と、この透光性基板の一主面に設けられ、非晶質半導体にて形成された受光部、およびこの受光部に電氣的に接続され多結晶半導体にて形成された一对の電極部を備えた光電変換素子とを具備したものである。

40

【0009】

そして、発生する光電流が大きい非晶質半導体で光電変換素子の受光部を形成したことにより、この受光部から取り出せる光電流が大きくなる。同時に、コンタクト抵抗の小さい多結晶半導体で光電変換素子の一对の電極部を形成したことにより、これら一对の電極部それぞれのコンタクト抵抗が小さくなる。よって、この光電変換素子の読み取り機能をより高性能にできる。

【発明の効果】

【0010】

50

本発明によれば、光電変換素子の受光部から取り出せる光電流を大きくでき、かつこの光電変換素子の一对の電極部それぞれのコンタクト抵抗を小さくできるから、この光電変換素子の読み取り機能をより高性能にできる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の液晶表示装置の一実施の形態の構成を図1ないし図11を参照して説明する。

【0012】

図1ないし図11において、1は平面表示装置としての液晶表示装置1で、この液晶表示装置1は、画像読み取り機能を備えた表示装置である。そして、この液晶表示装置1は、回路基板としての略矩形平板状のアレイ基板2を備えている。このアレイ基板2は、略透明な矩形平板状の絶縁基板である透光性基板としてのガラス基板3を有している。このガラス基板3の一主面である表面上には、シリコン窒化膜( $\text{SiN}_x$ )や酸化シリコン膜( $\text{SiO}_x$ )などにて構成されたアンダーコート層4が積層されて成膜されている。このアンダーコート層4は、ガラス基板3上に形成される各素子への不純物の拡散を防止する。

10

【0013】

そして、このアンダーコート層4上には、画素回路用のn型スイッチング素子である複数のnチャンネル(n-ch)型の薄膜トランジスタ(TFT)5と、画素回路用のp型スイッチング素子である複数のpチャンネル(p-ch)型の薄膜トランジスタ6と、画像読み取り用の複数の光電変換素子としての光センサ7とのそれぞれがマトリクス状に積層されて形成されている。

20

【0014】

ここで、これら薄膜トランジスタ5,6のそれぞれは、アンダーコート層4上に形成されたp<sup>-</sup>領域である半導体層としての活性層11を有している。この活性層11は、多結晶半導体としてのポリシリコンにて構成されている。なお、このポリシリコンは、非単結晶半導体である非晶質半導体としてのアモルファスシリコンのレーザアニールにより結晶化されて形成されている。

【0015】

そして、この活性層11は、この活性層11の中央部に設けられたチャンネル領域12を有している。このチャンネル領域12の両側には、n<sup>+</sup>領域あるいはp<sup>+</sup>領域である電極部としてのソース領域13およびドレイン領域14のそれぞれが対向して設けられている。さらに、nチャンネル型の薄膜トランジスタ5のチャンネル領域12とソース領域13およびドレイン領域14の間には、n<sup>-</sup>領域であるLDD(Lightly Doped Drain)領域15,16が形成されている。

30

【0016】

さらに、これらチャンネル領域12、ソース領域13、ドレイン領域14およびLDD領域15,16のそれぞれを含むアンダーコート層4上には、絶縁性を有するシリコン酸化膜である第1絶縁層としてのゲート絶縁膜17が積層されて成膜されている。さらに、各チャンネル領域12に対向したゲート絶縁膜17上には、第1メタルにて形成されたゲート電極18が積層されて成膜されている。これらゲート電極18は、ゲート絶縁膜17を介して各薄膜トランジスタ5,6のチャンネル領域12に対向しており、このチャンネル領域12の幅寸法に略等しい幅寸法を有している。

40

【0017】

一方、薄膜トランジスタ5,6に連続したアンダーコート層4上には、PIN型の光センサ7が積層されて形成されている。この光センサ7は、各薄膜トランジスタ5,6と同一の製造工程にて形成されている。また、この光センサ7は、ガラス基板3上の薄膜トランジスタ5,6と同一平面状に配置されている。

【0018】

そして、この光センサ7は、アモルファスシリコンにて形成された光電変換部としてのI層である受光部21を備えている。この光受部21は、各薄膜トランジスタ5,6の活性層11と同一の工程で形成されており、アンダーコート層4上に積層されている。さらに、こ

50

の光受部21は、 $p^-$ 領域22を備えており、この $p^-$ 領域22の一侧には、 $n^-$ 領域23が電氣的に接続されて連続して設けられている。なお、これら $p^-$ 領域22および $n^-$ 領域23のそれぞれは、アンダーコート層4上に形成されている。

【0019】

さらに、この $n^-$ 領域23が設けられた側の反対側である $p^-$ 領域22の一侧には、多結晶半導体であるポリシリコンにて形成された電極部としてのP型電極領域である $p^+$ 領域24が設けられている。この $p^+$ 領域24は、 $p^-$ 領域22に電氣的に接続されて連続して設けられている。また、この $p^-$ 領域22が設けられた側の反対側である $n^-$ 領域23の一侧には、多結晶半導体であるポリシリコンにて形成された電極部としてのN型電極領域である $n^+$ 領域25が設けられている。この $n^+$ 領域25は、 $n^-$ 領域23に電氣的に接続されて連続して設けられている。さらに、これら $p^+$ 領域24および $n^+$ 領域25のそれぞれは、光センサ7の一对の電極部であり、 $p^-$ 領域22および $n^-$ 領域23それぞれと同一層であるアンダーコート層4上に積層されて形成されている。

10

【0020】

そして、これら $p^-$ 領域22、 $n^-$ 領域23、 $p^+$ 領域24および $n^+$ 領域25を含むアンダーコート層4上には、ゲート絶縁膜17が積層されて成膜されている。そして、 $p^-$ 領域22に対向したゲート絶縁膜17上には、各薄膜トランジスタ5,6のゲート電極18と同一の工程で同一層に形成されたゲート電極26が積層されて形成されている。このゲート電極26は、 $p^-$ 領域22の幅寸法に略等しい幅寸法を有しており、第1のメタルにて構成されている。

【0021】

さらに、このゲート電極26および各薄膜トランジスタ5,6のゲート電極18のそれぞれを含むゲート絶縁膜17上には、絶縁性を有する酸化シリコン膜である第2絶縁層としての層間絶縁膜31が積層されて成膜されている。そして、これら層間絶縁膜31およびゲート絶縁膜17には、これら層間絶縁膜31およびゲート絶縁膜17のそれぞれを貫通した導通部としての複数のコンタクトホール32,33,34,35,36,37が開口されて設けられている。

20

【0022】

ここで、コンタクトホール32,33のそれぞれは、 $n$ チャネル型の薄膜トランジスタ5のゲート電極18の両側である、この薄膜トランジスタ5のソース領域13およびドレイン領域14上に設けられている。そして、コンタクトホール32は、 $n$ チャネル型の薄膜トランジスタ5のソース領域13に連通して開口している。また、コンタクトホール33は、 $n$ チャネル型の薄膜トランジスタ5のドレイン領域14に連通して開口している。

30

【0023】

さらに、コンタクトホール34,35のそれぞれは、 $p$ チャネル型の薄膜トランジスタ6のゲート電極18の両側である、この薄膜トランジスタ6のソース領域13およびドレイン領域14上に設けられている。そして、コンタクトホール34は、 $p$ チャネル型の薄膜トランジスタ6のソース領域13に連通して開口している。また、コンタクトホール35は、 $p$ チャネル型の薄膜トランジスタ6のドレイン領域14に連通して開口している。

【0024】

そして、コンタクトホール36,37は、光センサ7の受光部21の両側である、この光センサ7の $p^+$ 領域24および $n^+$ 領域25上に設けられている。そして、コンタクトホール36は、 $n^+$ 領域25に連通して開口している。また、コンタクトホール37は、 $p^+$ 領域24に連通して開口している。

40

【0025】

さらに、各薄膜トランジスタ5,6のソース領域13に連通したコンタクトホール32,34には、信号線であるソース電極41がそれぞれ積層されて設けられている。これらソース電極41は、第2メタルにて構成されており、コンタクトホール32,34を介して薄膜トランジスタ5,6のソース領域13に電氣的に接続されて導通されている。

【0026】

また、各薄膜トランジスタ5,6のドレイン領域14に連通したコンタクトホール33,35には、信号線であるドレイン電極42がそれぞれ積層されて設けられている。これらドレイン

50

電極42は、第2のメタルにて構成されており、コンタクトホール33,35を介して薄膜トランジスタ5,6のドレイン領域14に電氣的に接続されて導通されている。

【0027】

さらに、光センサ7の $n^+$ 領域25に連通したコンタクトホール36には、第2メタルにて構成されたソース電極としてのN型電極43が積層されて設けられている。このN型電極43は、コンタクトホール36を介して $n^+$ 領域25に電氣的に接続されて導通されている。また、光センサ7の $p^+$ 領域24に連通したコンタクトホール37には、第2のメタルにて構成されたドレイン電極としてのP型電極44が積層されて設けられている。このP型電極44は、コンタクトホール37を介して $p^+$ 領域24に電氣的に接続されて導通されている。

【0028】

一方、各薄膜トランジスタ5,6のソース電極41およびドレイン電極42と光センサ7のN型電極43およびP型電極44のそれぞれを含む層間絶縁膜31上には、これら薄膜トランジスタ5,6および光センサ7のそれぞれを覆うように窒化シリコン膜にて構成された保護膜としてのパッシベーション膜45が積層されて成膜されている。そして、このパッシベーション膜45には、このパッシベーション膜45を貫通した導通部としてのコンタクトホール46が開口されて設けられている。このコンタクトホール46は、 $n$ チャネル型の薄膜トランジスタ5のソース電極41に連通して開口している。

【0029】

そして、このコンタクトホール46を含むパッシベーション膜45上には、画素電極47が積層されて成膜されている。この画素電極47は、コンタクトホール46を介して $n$ チャネル型の薄膜トランジスタ5のソース電極41に電氣的に接続されて導通されている。なお、この画素電極47は、 $n$ チャネル型の薄膜トランジスタ5にて制御される。さらに、この画素電極47を含んだパッシベーション膜45上には、配向膜48が積層されて成膜されている。

【0030】

一方、アレイ基板2に対向してコモン基板としての矩形平板状の対向基板51が配設されている。この対向基板51は、略透明な矩形平板状の絶縁性基板であるガラス基板52を備えている。このガラス基板52のアレイ基板2に対向した側の一面には、コモン電極としての対向電極53が積層されて成膜されて設けられている。また、この対向電極53上には配向膜54が積層されて成膜されている。そして、この対向基板51の配向膜54とアレイ基板2の配向膜48との間には、液晶55が介挿されて封止されている。

【0031】

さらに、アレイ基板2における対向基板51が対向して配設された側の反対側には、背面光源としての図示しないバックライトが対向して配設されている。このバックライトは、面状の光をアレイ基板2に入射させて、このアレイ基板2上の薄膜トランジスタ5,6による画素電極の制御にて、このアレイ基板2上に表示される画像を目視可能にする。

【0032】

次に、上記一実施の形態の液晶表示装置の製造方法を説明する。

【0033】

まず、図2に示すように、プラズマCVD工程として、ガラス基板3上にシリコン窒化膜や酸化シリコン膜などにて構成されたアンダーコート層4をプラズマCVD (Chemical Vapor Deposition)法で形成する。

【0034】

次に、PE (Plasma Enhanced) - CVD法によるPE - CVD工程あるいはスパッタリング法によるスパッタリング工程などにより、ガラス基板4上に非晶質半導体層であるアモルファスシリコン膜61を100程度堆積する。

【0035】

この後、第1のレジスト形成工程として、このアモルファスシリコン膜61上に膜厚1 $\mu$ m程度のレジスト62を塗布して積層させる。

【0036】

次いで、このレジスト62を、露光工程および現像工程として、開口部としてのハーフト

10

20

30

40

50

ーン部63を備えたマスク64を介して露光および現像する。

【0037】

このとき、このマスク64のハーフトーン部63は、所定の間隔のスリットが複数形成されたスリット状に開口しており、50%程度の透過率で光が透過するように構成されている。このため、このマスク64のハーフトーン部63にて露光されたレジスト62は、一部が露光されることとなり、現像した後は膜厚が0.5 $\mu$ m程度に減少して薄くなる。

【0038】

また、このマスク64におけるハーフトーン部63以外の開口していない遮蔽部65では、レジスト62が露光されないため、このレジスト62が1 $\mu$ m程度残る。さらに、このマスク64における開口している開口部66では、レジスト62が全部露光されるため、このレジスト64

10

【0039】

具体的には、図3に示すように、光センサ7の受光部21となる領域上のレジスト62は、マスク64の遮蔽部65にて全く露光されない。また、この光センサ7のp<sup>+</sup>領域24およびn<sup>+</sup>領域25と薄膜トランジスタ5,6の活性層11となる領域上のレジスト62は、マスク64のハーフトーン部63によって一部、すなわち半分が露光される。さらに、これら光センサ7および薄膜トランジスタ5,6となる領域以外の領域上のレジスト62は、マスク64の開口部66によって全てが露光される。

【0040】

次に、図4に示すように、ドライエッチング工程として、ドライエッチングにてアモル

20

ファスシリコン膜61を島状にパターニングする。

【0041】

このとき、マスク64のハーフトーン部63にて一部が露光されたレジスト62は膜厚が薄い

ため、この一部が露光されたレジスト62下のアモルファスシリコン膜61は、途中までエッチングされて膜厚が薄くなる。

【0042】

さらに、マスク64の遮光部65にて全く露光されていないレジスト62は十分膜厚が厚いた

め、この全く露光されていないレジスト62下のアモルファスシリコン膜61は、エッチング

されず1000 残る。

【0043】

また、マスク64の開口部66にてレジスト62が全部露光された部分のアモルファスシリ

30

コン膜61は、このアモルファスシリコン膜61上にレジスト62が存在しないため、この部分の

アモルファスシリコン膜61はすべてエッチングされて無くなる。

【0044】

このとき、このアモルファスシリコン膜61のエッチング時間は、マスク64のハーフト

ーン部63下におけるアモルファスシリコン膜61の膜厚が500 となるように調整されてい

る。

【0045】

この結果、このアモルファスシリコン膜61における光センサ7のp<sup>+</sup>領域24およびn<sup>+</sup>

40

領域25と薄膜トランジスタ5,6の活性層11となる部分の膜厚は、500 程度となるよ

うに制御される。同時に、このアモルファスシリコン膜61における光センサ7の受光部21

となる部分の膜厚は1000 程度となるように制御される。

【0046】

次に、レーザ照射工程として、図5に示すように、光センサ7の受光部21となる領域の

アモルファスシリコン膜61上のレジスト62を除去した後、この光センサ7の受光部21とな

る領域以外のアモルファスシリコン膜61を結晶化させてポリシリコン膜67にするため、エ

キシマレーザビームを照射してレーザアニールする。

【0047】

このとき、膜厚が500 のアモルファスシリコン膜61が結晶化してポリシリコン膜67

50

となるようにエキシマレーザの出力、すなわちパワーを調節する。

## 【0048】

このため、膜厚が1000 である領域のアモルファスシリコン膜61は、結晶化されずにアモルファスシリコン膜61のままとなり、膜厚が500 の領域のアモルファスシリコン膜61は、ポリシリコン膜67となる。

## 【0049】

この結果、光センサ7の $p^+$ 領域24および $n^+$ 領域25と、薄膜トランジスタ5,6の活性層11とのそれぞれとなる領域のアモルファスシリコン膜61がポリシリコン膜67となるとともに、光センサ7の受光部21となる領域のアモルファスシリコン膜61は、結晶化されずアモルファスシリコン膜61のままとなる。

## 【0050】

次に、第1のイオンドーピング工程として、図6に示すように、これらアモルファスシリコン膜61およびポリシリコン膜67の全面に低濃度のボロン(B)をイオンドーピングして、光センサ7の受光部21における $p^-$ 領域22および各薄膜トランジスタ5,6の $p^-$ 領域であるチャンネル領域12を形成する。

## 【0051】

この後、ゲート絶縁膜形成工程として、図7に示すように、これらアモルファスシリコン膜61およびポリシリコン膜67を含むアンダーコート層4上に、PE-CVD法やECR(Electron-Cyclotron Resonance)-CVD法などによって、ゲート絶縁膜17を形成する。

## 【0052】

次に、図8に示すように、第2のレジスト形成工程として、光センサ7の受光部21となるポリシリコン膜67上、この光センサ7の $P^+$ 領域24となるアモルファスシリコン膜61上、 $p$ チャンネル型の薄膜トランジスタ6の活性層11となるポリシリコン膜67上、および $n$ チャンネル型の薄膜トランジスタ5のチャンネル領域12とLDD領域15,16とのそれぞれとなるポリシリコン膜67上にレジスト68を形成する。

## 【0053】

そして、第2のイオンドーピング工程として、このレジスト68をマスクとして用いて、光センサ7の $n^+$ 領域25となるポリシリコン膜67と、 $n$ チャンネル型の薄膜トランジスタ5のソース領域13およびドレイン領域14となるポリシリコン膜67とのそれぞれに高濃度のリン(P)をイオンドーピングして、これら光センサ7の $n^+$ 領域25と $n$ チャンネル型の薄膜トランジスタ5のソース領域13およびドレイン領域14とのそれぞれを形成する。

## 【0054】

次に、図9に示すように、レジスト68を除去した後、第1メタル形成工程として、ゲート絶縁膜17上にモリブデン-タンタル合金(Mo-Ta)やモリブデン-タングステン合金(Mo-W)などを成膜して第1メタル層71を形成する。

## 【0055】

この後、第1のパターニング工程として、この第1メタル層71をパターニングして、光センサ7の $p^+$ 領域24となる部分および $p$ チャンネル型の薄膜トランジスタ6のソース領域13およびドレイン領域14となる部分のそれぞれを開口させる。

## 【0056】

この状態で、第3のイオンドーピング工程として、このパターニングした第1メタル層71をマスクとして、光センサ7の $p^+$ 領域24となる部分のポリシリコン膜67、および $p$ チャンネル型の薄膜トランジスタ6のソース領域13およびドレイン領域14となる部分のポリシリコン膜67のそれぞれに高濃度のボロン(B)をイオンドーピングして、光センサ7の $p^+$ 領域24および $p$ チャンネル型の薄膜トランジスタ6のソース領域13およびドレイン領域14のそれぞれを形成する。

## 【0057】

このとき、この $p$ チャンネル型の薄膜トランジスタ6は、パターニングされた第1メタル層71がゲート電極18となる。

## 【0058】

さらに、第2のパターニング工程として、図10に示すように、この第1メタル層71を

10

20

30

40

50

さらにパターニングして、光センサ7の受光部の $n^-$ 領域23となる部分、および $n$ チャンネル型の薄膜トランジスタ5のソース領域13、ドレイン領域14およびLDD領域15,16となる部分をさらに開口させる。

【0059】

この状態で、第4のイオンドーピング工程として、このパターニングした第1のメタル層71をマスクとして、光センサ7の $p^+$ 領域24、 $n^-$ 領域23および $n^+$ 領域25となる部分と、 $p$ チャンネル型の薄膜トランジスタ6のソース領域13およびドレイン領域14となる部分と、 $n$ チャンネル型の薄膜トランジスタ5のソース領域13、ドレイン領域14およびLDD領域15,16となる部分のそれぞれに、低濃度のリンをイオンドーピングして、光センサ7の $n^-$ 領域23、 $n$ チャンネル型の薄膜トランジスタ5のLDD領域15,16のそれぞれを形成する。

10

【0060】

このとき、光センサ7および $n$ チャンネル型の薄膜トランジスタ5のそれぞれは、パターニングされた第1メタル層71がゲート電極18,26となる。さらに、光センサ7の受光部21は $p^-$ 領域22および $n^-$ 領域23による低濃度不純物注入領域によって構成されて、この光センサ7はPIN型となる。

【0061】

またこのとき、この光センサ7の $P^+$ 領域24と、 $p$ チャンネル型の薄膜トランジスタ6のソース領域13およびドレイン領域14とのそれぞれとなる部分にもリンイオンがドーピングされるが、このときのリンイオンのドーピング濃度が、すでに注入されているボロンイオンの濃度に比べ十分低濃度であるため、これら光センサ7の $P^+$ 領域24と、 $p$ チャンネル型の薄膜トランジスタ6のソース領域13およびドレイン領域14とのそれぞれは、 $p^+$ 層として機能する。

20

【0062】

この後、熱活性化工程として、第1ないし第4のイオンドーピング工程にてドーピングした各不純物を活性化させるため、光センサ7の $p^-$ 領域22、 $n^-$ 領域23、 $p^+$ 領域24および $n^+$ 領域25と、 $p$ チャンネル型の薄膜トランジスタ6のソース領域13およびドレイン領域14と、 $n$ チャンネル型の薄膜トランジスタ5のソース領域13、ドレイン領域14およびLDD領域15,16とのそれぞれを500程度でアニールする。

【0063】

この後、水素化工程として、これら光センサ7の受光部21、 $p^+$ 領域24および $n^+$ 領域25と、各薄膜トランジスタ5,6の活性層11とのそれぞれが形成されたガラス基板3を図示しないプラズマCVD装置に挿入して、このガラス基板3を水素のプラズマ中にさらして水素化する。

30

【0064】

この後、プラズマCVD工程として、この水素化したプラズマCVD装置と同一のプラズマCVD装置内で、光センサ7および薄膜トランジスタ5,6それぞれのゲート電極18,26を含むゲート絶縁膜17上に酸化シリコン膜などを成膜して層間絶縁膜31を形成する。

【0065】

次いで、図11に示すように、この層間絶縁膜31にコンタクトホール32,33,34,35,36,37を形成して、光センサ7の $p^+$ 領域24および $n^+$ 領域25と、 $p$ チャンネル型の薄膜トランジスタ6および $n$ チャンネル型の薄膜トランジスタ5それぞれのソース領域13およびドレイン領域14とのそれぞれを露出させる。

40

【0066】

この後、第2メタル層形成工程として、これらコンタクトホール32,33,34,35,36,37を含む層間絶縁膜31上の全面に第2メタル層72を成膜する。

【0067】

次いで、この第2メタル層72をパターニングして、光センサ7のN型電極43およびP型電極44と、 $p$ チャンネル型の薄膜トランジスタ6のソース電極41およびドレイン電極42と、 $n$ チャンネル型の薄膜トランジスタ5のソース電極41およびドレイン電極42とのそれぞれを

50

形成する。

【0068】

さらに、パッシベーション膜形成工程として、これら光センサ7のN型電極43およびP型電極44と、pチャネル型の薄膜トランジスタ6のソース電極41およびドレイン電極42と、nチャネル型の薄膜トランジスタ5のソース電極41およびドレイン電極42とのそれぞれを含む層間絶縁膜31上にパッシベーション膜45を形成して、各薄膜トランジスタ5,6および光センサ7を完成する。

【0069】

この後、図1に示すように、このパッシベーション膜45にコンタクトホール46を形成して、nチャネル型の薄膜トランジスタ5のドレイン電極42を露出させる。

10

【0070】

この状態で、このコンタクトホール46を含むパッシベーション膜45上に画素電極47を形成してから、この画素電極47を含むパッシベーション膜45上に配向膜48を形成してアレイ基板2を完成する。

【0071】

さらに、このアレイ基板2の配向膜48側に、対向基板51の配向膜54側を対向させて取り付けした後、これらアレイ基板2の配向膜48と対向基板51の配向膜54との間に液晶55を注入して介挿させて封止して液晶表示装置1を完成する。

【0072】

この後、この液晶表示装置1のアレイ基板2の裏面側にバックライトを対向させて取り付ける。

20

【0073】

上述したように、上記一実施の形態では、光センサ7の $p^+$ 領域24および $n^+$ 領域25のそれぞれをポリシリコン膜67にて形成したため、図12に示すように、このポリシリコン膜67にて活性層11を形成した薄膜トランジスタ5,6と同一のイオンドーピング工程および熱活性化工程、すなわち同一のプロセスで光センサ7を形成しても、この光センサ7の $p^+$ 領域24および $n^+$ 領域25とN型電極43およびP型電極44とのコンタクト抵抗を低くできるから、これらN型電極43およびP型電極44を介して光センサ7の受光部21から取り出せる光電流を大きくできる。

【0074】

30

すなわち、この光センサ7の $p^+$ 領域24および $n^+$ 領域25のそれぞれがアモルファスシリコン膜61である場合には、この光センサ7の $p^+$ 領域24および $n^+$ 領域25のそれぞれを、薄膜トランジスタ5,6のポリシリコン膜67にて形成された活性層11を形成する際のイオンドーピング工程および熱工程と同じ工程で形成すると、図12に示すように、これら $p^+$ 領域24および $n^+$ 領域25とN型電極43およびP型電極44とのコンタクト抵抗が高くなり、これらN型電極43およびP型電極44を介して光センサ7の受光部21から取り出せる光電流が小さくなる。

【0075】

また、この光センサ7の受光部21をアモルファスシリコン膜61にて形成したため、この受光部21をポリシリコン膜で形成した従来の液晶表示装置に比べ、この光センサ7の受光部21でのバックライトの可視光の吸収が大きくなる。このため、図13に示すように、この光センサ7の受光部21にて発生する光電流を大きくできる。したがって、この光センサ7を各薄膜トランジスタ5,6と同一の工程で形成できつつ、この光センサ7の読み取り機能をより高性能にできる。よって、高性能な駆動回路と光感度の高い読み取り機能を内蔵した液晶表示装置1を製造性良く製造できる。

40

【0076】

なお、上記一実施の形態では、アモルファスシリコン膜61を結晶化させる前に、このアモルファスシリコン膜61の膜厚を制御してポリシリコン膜67とアモルファスシリコン膜61とを作り分けたが、このアモルファスシリコン膜61に対してレーザを照射して結晶化させて、ポリシリコン膜67とアモルファスシリコン膜61とを作り分けてもよい。

50

## 【0077】

この場合、アモルファスシリコン膜61を結晶化する際のレーザを照射する位置を制御して、このアモルファスシリコン膜61における光センサ7の $p^+$ 領域24および $n^+$ 領域25となる領域と、各薄膜トランジスタ5,6の活性層11となる領域のみにエキシマレーザを照射して結晶化させてポリシリコン膜67にしても、光センサ7の受光部21にエキシマレーザを照射せずにアモルファスシリコン膜61のまま形成できるので、上記一実施の形態と同様の作用効果を奏することができる。

## 【0078】

さらに、液晶表示装置1に用いられるアレイ基板2について説明したが、有機EL(ElectroLuminescence)素子に用いられるアレイ基板であっても、対応させて用いることができる。

## 【図面の簡単な説明】

## 【0079】

【図1】本発明の液晶表示装置の一実施の形態を示す説明断面図である。

【図2】同上液晶表示装置のアレイ基板の非晶質半導体上に形成したレジストを露光する状態を示す説明断面図である。

【図3】同上非晶質半導体上のレジストを現像した状態を示す説明断面図である。

【図4】同上非晶質半導体をエッチングした状態を示す説明断面図である。

【図5】同上非晶質半導体の一部を結晶化して多結晶半導体にする状態を示す説明断面図である。

【図6】同上非晶質半導体および多結晶半導体に低濃度のボロンをドーピングする説明断面図である。

【図7】同上非晶質半導体および多結晶半導体を含むアンダーコート層上にゲート絶縁膜を形成した状態を示す説明断面図である。

【図8】同上ゲート絶縁膜上のレジストをマスクとして高濃度のリンをドーピングする状態を示す説明断面図である。

【図9】同上ゲート絶縁膜上の第1メタル層をマスクとして高濃度のボロンをドーピングする状態を示す説明断面図である。

【図10】同上ゲート絶縁膜上の第1メタル層をマスクとして低濃度のリンをドーピングする状態を示す説明断面図である。

【図11】同上第1メタル層を含むゲート絶縁膜上の層間絶縁膜に設けたコンタクトホールに第2メタル層を設けてからパターンニングした状態を示す説明断面図である。

【図12】同上アレイ基板の光電変換素子の電極部のコンタクト抵抗と光電流との関係を示す2次グラフである。

【図13】同上光電変換素子の受光部の結晶性と光電流との関係を示す2次グラフである。

## 【符号の説明】

## 【0080】

- 1 液晶表示装置
- 2 回路基板としてのアレイ基板
- 3 透光性基板としてのガラス基板
- 5 スイッチング素子としての $n$ チャネル型の薄膜トランジスタ
- 6 スイッチング素子としての $p$ チャネル型の薄膜トランジスタ
- 7 光電変換素子としての光センサ
- 11 半導体層としての活性層
- 13 電極部としてのソース領域
- 14 電極部としてのドレイン領域
- 21 受光部
- 24 電極部としての $p^+$ 領域
- 25 電極部としての $n^+$ 領域

10

20

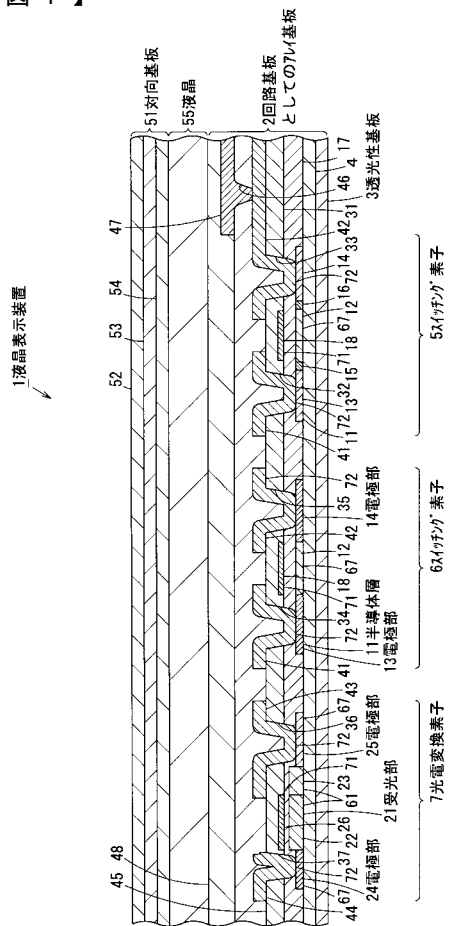
30

40

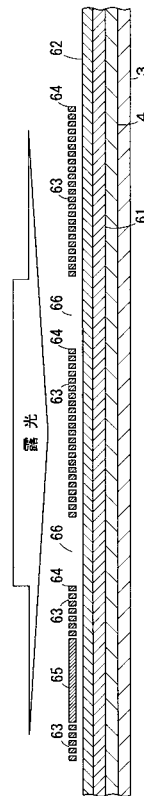
50

51 対向基板  
55 液晶

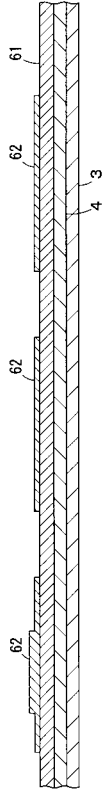
【 図 1 】



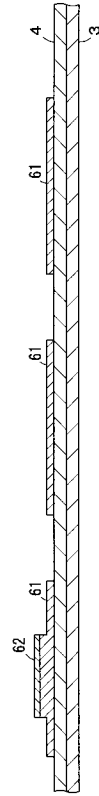
【 図 2 】



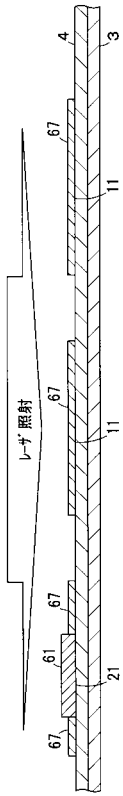
【 図 3 】



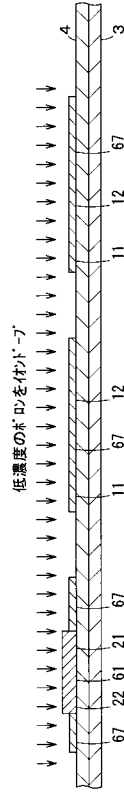
【 図 4 】



【 図 5 】

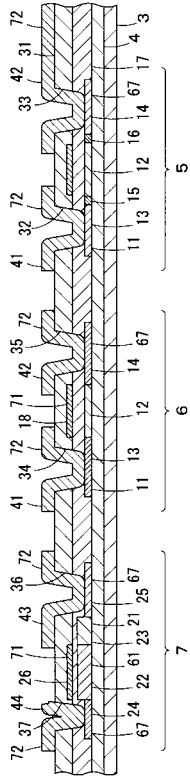


【 図 6 】

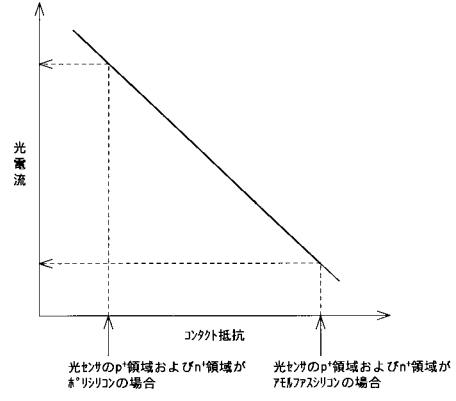




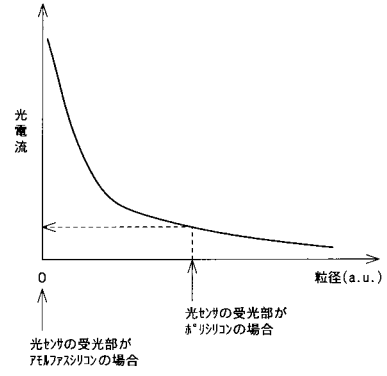
【図 1 1】



【図 1 2】



【図 1 3】



## フロントページの続き

---

F ターム(参考) 2H092 JA25 JA33 JA34 JA37 JA41 JA46 JB13 KA04 KA05 LA03  
MA05 MA08 MA14 MA15 MA16 MA19 MA27 MA30 NA25 RA10  
3K007 AB18 BA06 DB03 GA00  
4M118 AA01 AB01 BA05 CA05 CB06 FB03 FB09 FB13 FB16 FB19  
FB24  
5F049 MA02 MB05 NA01 NB10 QA03 SS01 UA14  
5F110 AA30 BB02 BB04 BB10 CC02 DD02 DD13 DD14 EE06 FF02  
FF30 FF31 GG02 GG13 GG25 GG32 GG43 GG45 GG52 HJ01  
HJ12 HM15 NN03 NN23 NN24 NN35 NN72 PP03 QQ02 QQ25

专利名称(译)	电路板，阵列基板，其制造方法，液晶显示装置及其制造方法		
公开(公告)号	<a href="#">JP2005072126A</a>	公开(公告)日	2005-03-17
申请号	JP2003297245	申请日	2003-08-21
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	多田典生		
发明人	多田 典生		
IPC分类号	G02F1/1368 H01L27/146 H01L29/786 H01L31/10 H01L51/50 H05B33/14		
CPC分类号	H01L27/3269		
FI分类号	H01L27/14.C G02F1/1368 H01L31/10.A H01L29/78.613.Z H05B33/14.A		
F-TERM分类号	2H092/JA25 2H092/JA33 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB13 2H092/KA04 2H092/KA05 2H092/LA03 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA19 2H092/MA27 2H092/MA30 2H092/NA25 2H092/RA10 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 4M118/AA01 4M118/AB01 4M118/BA05 4M118/CA05 4M118/CB06 4M118/FB03 4M118/FB09 4M118/FB13 4M118/FB16 4M118/FB19 4M118/FB24 5F049/MA02 5F049/MB05 5F049/NA01 5F049/NB10 5F049/QA03 5F049/SS01 5F049/UA14 5F110/AA30 5F110/BB02 5F110/BB04 5F110/BB10 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/EE06 5F110/FF02 5F110/FF30 5F110/FF31 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG32 5F110/GG43 5F110/GG45 5F110/GG52 5F110/HJ01 5F110/HJ12 5F110/HM15 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN72 5F110/PP03 5F110/QQ02 5F110/QQ25 2H092/GA62 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB34 2H192/CB35 2H192/CC73 2H192/GB03 2H192/HA44 2H192/HA82 2H192/HA84 3K107/AA01 3K107/BB01 3K107/EE03 3K107/EE68 5F849/AA02 5F849/AB05 5F849/BA01 5F849/BA14 5F849/BB07 5F849/BB20 5F849/CA02 5F849/CA09 5F849/CB03 5F849/CB12 5F849/CB14 5F849/DA27 5F849/DA30 5F849/DA44 5F849/EA04 5F849/EA13 5F849/GA02 5F849/HA11 5F849/XB24 5F849/XB27 5F849/XB36		
代理人(译)	山田哲也		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供阵列基板，从光学传感器中取出更大的光学电流。  
 解决方案：光学传感器7的光接收器21由产生大光学电流的非晶硅形成。从光接收器21取出的光电流变大。光学传感器7的p + - 区域24和n + 区域25由具有小接触电阻的多晶硅形成。p + - 区域24和n + 区域25的接触电阻变小。光学传感器7的读取功能的性能更高，而光学传感器7以与薄膜晶体管5和6相同的工艺形成。

