(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-37746
(P2005-37746A)
(43)公開日　平成17年2月10日(2005.2.10)

(51)Int.Cl.[7]	F I			テーマコード（参考）
G09G 3/36	G09G	3/36		2H093
G02F 1/133	G02F	1/133	520	5C006
G09G 3/20	G02F	1/133	550	5C080
	G02F	1/133	575	
	G09G	3/20	611A	

審査請求 未請求　請求項の数 3　OL　（全 9 頁）　最終頁に続く

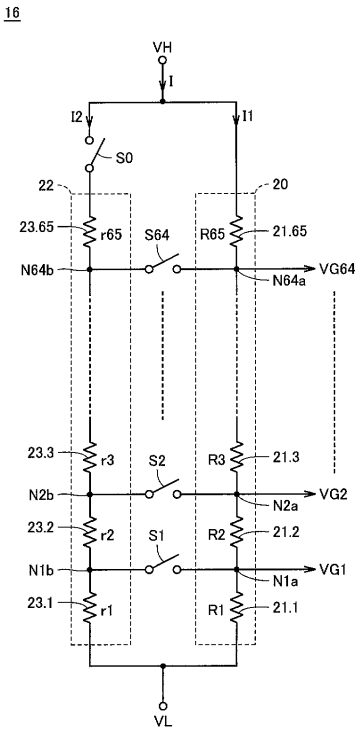
(21)出願番号　特願2003-275529(P2003-275529)
(22)出願日　平成15年7月16日(2003.7.16)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】画像表示装置

(57)【要約】
【課題】　消費電流が小さく、データ線を高速で充電／放電させることが可能な画像表示装置を提供する。
【解決手段】　このカラー液晶表示装置の階調電位発生回路１６は、比較的高い抵抗値を有し、電源電圧ＶＨ－ＶＬを分圧して６４の階調電位ＶＧ１～ＶＧ６４を生成し、それらをノードＮ１ａ～Ｎ６４ａに与えるラダー抵抗回路２０と、比較的低い抵抗値を有し、選択された階調電位がデータ線に与えられる期間のうちの最初の所定期間に活性化され、電源電圧ＶＨ－ＶＬを分圧して６４の階調電位ＶＧ１～ＶＧ６４を生成し、それらをノードＮ１ａ～Ｎ６４ａに与えるラダー抵抗回路２２およびスイッチＳ０～Ｓ６４とを含む。したがって、低抵抗のラダー抵抗回路２２をパルス的に活性化させるので、小さな消費電流でデータ線６を高速に充電／放電させることができる。
【選択図】　図４



【特許請求の範囲】
【請求項１】
画像表示装置であって、
複数行複数列に配置され、各々が階調電位に応じた画素を表示する複数の画素表示回路と、それぞれ前記複数行に対応して設けられた複数のゲート線と、それぞれ前記複数列に対応して設けられた複数のデータ線とを含む画素アレイ、
前記複数のゲート線を所定時間ずつ順次選択し、選択したゲート線に対応する各画素表示回路を活性化させる垂直走査回路、
互いに異なる複数の階調電位を出力する階調電位発生回路、および
各データ線に対応して設けられ、前記垂直走査回路によって１本のゲート線が選択されている間に、画像データ信号に従って前記複数の階調電位のうちのいずれかの階調電位を選択し、選択した階調電位を対応のデータ線を介して活性化された画素表示回路に与えるデコード回路を備え、
前記階調電位発生回路は、
比較的高い抵抗値を有し、電源電圧を分圧して前記複数の階調電位を生成し、生成した複数の階調電位をそれぞれ複数の第１のノードに与える第１のラダー抵抗回路、
比較的低い抵抗値を有し、前記デコード回路によって選択された階調電位が対応のデータ線に与えられる期間のうちの最初の予め定められた期間に活性化され、前記電源電圧を分圧して前記複数の階調電位を生成する第２のラダー抵抗回路、および
前記予め定められた期間だけ前記第２のラダー抵抗回路で生成された複数の階調電位をそれぞれ前記複数の第１のノードに与える切換回路を含む、画像表示装置。
【請求項２】
前記複数の階調電位の各々には、予め固有の画像データ信号が割当てられ、
前記デコード回路は、それぞれ前記複数の階調電位に対応して設けられ、各々が複数のトランジスタを含む複数のトランジスタグループを含み、
各トランジスタグループの複数のトランジスタは、対応の第１のノードと第２のノードとの間に直列接続され、対応の画像データ信号に応答して導通し、
前記第２のノードは対応のデータ線に接続される、請求項１に記載の画像表示装置。
【請求項３】
前記デコード回路は、さらに、前記第２のノードと対応のデータ線との間に設けられ、前記第２のノードの電位を電流増幅して対応のデータ線に与える駆動回路を含む、請求項２に記載の画像表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
この発明は画像表示装置に関し、特に、階調電位発生回路を備えた画像表示装置に関する。
【背景技術】
【０００２】
従来より、液晶表示装置では、階調電位発生回路によって複数の階調電位を生成し、画像データ信号に従って複数の階調電位のうちのいずれかの階調電位を選択し、選択した階調電位をデータ線を介して液晶セルに与えている。階調電位発生回路は、高電位のラインと低電位のラインとの間に直列接続された複数の抵抗素子からなるラダー抵抗回路で構成されている（たとえば特許文献１参照）。
【特許文献１】特開２００１－０３４２３４号公報
【発明の開示】
【発明が解決しようとする課題】
【０００３】
このような液晶表示装置において、大きな容量を有するデータ線を高速で充電／放電させるためには、ラダー抵抗回路の抵抗値を小さくしてラダー抵抗回路に流れる電流を増や

す必要がある。しかし、ラダー抵抗回路に流れる電流を増やすと、液晶表示装置の消費電流が増大してしまう。

【０００４】

それゆえに、この発明の主たる目的は、消費電流が小さく、データ線を高速で充電／放電させることが可能な画像表示装置を提供することである。

【課題を解決するための手段】

【０００５】

この発明に係る画像表示装置は、複数行複数列に配置され、各々が階調電位に応じた画素を表示する複数の画素表示回路と、それぞれ複数行に対応して設けられた複数のゲート線と、それぞれ複数列に対応して設けられた複数のデータ線とを含む画素アレイと、複数のゲート線を所定時間ずつ順次選択し、選択したゲート線に対応する各画素表示回路を活性化させる垂直走査回路と、互いに異なる複数の階調電位を出力する階調電位発生回路と、各データ線に対応して設けられ、垂直走査回路によって１本のゲート線が選択されている間に、画像データ信号に従って、複数の階調電位のうちのいずれかの階調電位を選択し、選択した階調電位を対応のデータ線を介して活性化された画素表示回路に与えるデコード回路とを備えたものである。ここで、階調電位発生回路は、比較的高い抵抗値を有し、電源電圧を分圧して複数の階調電位を生成し、生成した複数の階調電位をそれぞれ複数の第１のノードに与える第１のラダー抵抗回路と、比較的低い抵抗値を有し、デコード回路によって選択された階調電位が対応のデータ線に与えられる期間のうちの最初の予め定められた期間に活性化され、電源電圧を分圧して複数の階調電位を生成する第２のラダー抵抗回路と、予め定められた期間だけ第２のラダー抵抗回路で生成された複数の階調電位をそれぞれ複数の第１のノードに与える切換回路とを含む。

【発明の効果】

【０００６】

この発明に係る画像表示装置では、階調電位発生回路は、比較的高い抵抗値を有し、電源電圧を分圧して複数の階調電位を生成し、生成した複数の階調電位をそれぞれ複数の第１のノードに与える第１のラダー抵抗回路と、比較的低い抵抗値を有し、デコード回路によって選択された階調電位が対応のデータ線に与えられる期間のうちの最初の予め定められた期間に活性化され、電源電圧を分圧して複数の階調電位を生成する第２のラダー抵抗回路と、予め定められた期間だけ第２のラダー抵抗回路で生成された複数の階調電位をそれぞれ複数の第１のノードに与える切換回路とを含む。したがって、比較的低い抵抗値を有する第２のラダー抵抗回路を、選択された階調電位がデータ線に与えられる期間のうちの最初の所定期間のみ活性化させるので、小さな消費電流で、データ線を高速で充電／放電させることができる。

【発明を実施するための最良の形態】

【０００７】

図１は、この発明の一実施の形態によるカラー液晶表示装置の構成を示すブロック図である。図１において、このカラー液晶表示装置は、液晶パネル１、垂直走査回路７および水平走査回路８を備え、たとえば携帯電話機に設けられる。

【０００８】

液晶パネル１は、複数行複数列に配列された複数の液晶セル２と、各行に対応して設けられたゲート線４および共通電位線５と、各列に対応して設けられたデータ線６とを含む。

【０００９】

液晶セル２は、各行において３つずつ予めグループ化されている。各グループの３つの液晶セル２には、それぞれＲ，Ｇ，Ｂのカラーフィルタが設けられている。各グループの３つの液晶セル２は、１つの画素３を構成している。

【００１０】

各液晶セル２には、図２に示すように、液晶駆動回路１０が設けられている。液晶駆動回路１０は、Ｎ型トランジスタ１１およびキャパシタ１２を含む。Ｎ型トランジスタ１１

は、データ線６と液晶セル２の一方電極２ａとの間に接続され、そのゲートはゲート線４に接続される。キャパシタ１２は、液晶セル２の一方電極２ａと共通電位線５との間に接続される。液晶セル２の他方電極には共通電位ＶＣＯＭが与えられ、共通電位線５には共通電位ＶＣＯＭが与えられる。

【００１１】

図１に戻って、垂直走査回路７は、画像信号に従って、複数のゲート線４を所定時間ずつ順次選択し、選択したゲート線４を選択レベルの「Ｈ」レベルにする。ゲート線４が選択レベルの「Ｈ」レベルにされると、図２のＮ型トランジスタ１１が導通し、そのゲート線４に対応する各液晶セル２の一方電極２ａとその液晶セル２に対応するデータ線６とが結合される。

【００１２】

水平走査回路８は、画像信号に従って、垂直走査回路７によって１本のゲート線４が選択されている間に各データ線６に階調電位ＶＧを与える。液晶セル２の光透過率は、階調電位ＶＧのレベルに応じて変化する。垂直走査回路７および水平走査回路８によって液晶パネル１の全液晶セル２が走査されると、液晶パネル１に１つの画像が表示される。

【００１３】

図３は、水平走査回路８の構成を示す回路ブロック図である。図３において、水平走査回路８は、シフトレジスタ１３、データラッチ回路１４，１５、階調電位発生回路１６およびデコード回路１７を含む。シフトレジスタ１３は、スタート信号ＳＴおよびクロック信号ＣＬＫに同期してデータラッチ回路１４を制御する。データラッチ回路１４は、シフトレジスタ１３によって制御され、画像データ信号Ｄ０～Ｄ５を１データ線６分ずつ順次ラッチし、１行分の画像データ信号Ｄ０～Ｄ５をラッチする。データラッチ回路１５は、ラッチ信号ＬＴによって制御され、データラッチ回路１４にラッチされた１行分の画像データ信号Ｄ０～Ｄ５を一度にラッチする。データラッチ回路１５は、各データ線６ごとに、ラッチした画像データ信号Ｄ０～Ｄ５およびその相補信号／Ｄ０～／Ｄ５をデコード回路１７に与える。

【００１４】

階調電位発生回路１６は、６４の階調電位ＶＧ１～ＶＧ６４を生成する。デコード回路１７は、各データ線６ごとに、データラッチ回路１５から与えられた画像データ信号Ｄ０～Ｄ５およびその相補信号／Ｄ０～／Ｄ５に従って６４の階調電位ＶＧ１～ＶＧ６４のうちのいずれかの階調電位を選択し、選択した階調電位をそのデータ線６に与える。

【００１５】

図４は、階調電位発生回路１６の構成を示す回路図である。図４において、この階調電位発生回路１６は、ラダー抵抗回路２０，２２およびスイッチＳ０～Ｓ６４を含む。

【００１６】

ラダー抵抗回路２０は、低電位ＶＬのラインと高電位ＶＨのラインとの間に直列接続された６５の抵抗素子２０．１～２０．６５を含む。抵抗素子２１．１～２１．６５の間の６４のノードＮ１ａ～Ｎ６４ａには、ＶＨ－ＶＬを抵抗素子２１．１～２１．６５の抵抗値Ｒ１～Ｒ６５で分圧した６４の階調電位ＶＧ１～ＶＧ６４がそれぞれ出力される。抵抗素子２１．１～２１．６５の抵抗値Ｒ１～Ｒ６５は、液晶セル２のガンマ特性などの光学特性に応じて設定される。

【００１７】

ラダー抵抗回路２２は、低電位ＶＬのラインとスイッチＳ０の一方端子との間に直列接続された６５の抵抗素子２３．１～２３．６５を含む。スイッチＳ０の他方端子は、高電位ＶＨのラインに接続される。スイッチＳ０がオンすると、抵抗素子２３．１～２３．６５の間の６４のノードＮ１ｂ～Ｎ６４ｂには、ＶＨ－ＶＬを抵抗素子２３．１～２３．６５の抵抗値ｒ１～ｒ６５で分圧した６４の階調電位ＶＧ１～ＶＧ６４がそれぞれ出力される。

【００１８】

ここで、抵抗素子２３．１～２３．６５の抵抗値ｒ１～ｒ６５は、それぞれ抵抗素子２

１．１～２１．６５の抵抗値Ｒ１～Ｒ６５の１／ｋ（ただし、ｋ＞１である）に設定されている。すなわち、ｒ１＝Ｒ１／ｋ，ｒ２＝Ｒ２／ｋ，…，ｒ６５＝Ｒ６５／ｋである。したがって、スイッチＳ０がオンすると、ノードＮ１ｂ～Ｎ６４ｂの電位はそれぞれノードＮ１ａ～Ｎ６４ａの電位と同じになる。また、ラダー抵抗回路２２の総抵抗値はラダー抵抗回路２０の総抵抗値の１／ｋとなり、スイッチＳ０のオン時にラダー抵抗回路２２に流れる電流Ｉ２はラダー抵抗回路２０に流れる電流Ｉ１のｋ倍になる。

【００１９】

スイッチＳ１～Ｓ６４は、それぞれノードＮ１ａとＮ１ｂ，Ｎ２ａとＮ２ｂ，…，Ｎ６４ａとＮ６４ｂの間に接続される。スイッチＳ０～Ｓ６４は、同時にオン／オフされる。スイッチＳ０～Ｓ６４の各々は、Ｎ型トランジスタでもよいし、Ｐ型トランジスタでもよいし、Ｎ型トランジスタおよびＰ型トランジスタを並列接続したものでもよい。

【００２０】

スイッチＳ０～Ｓ６４がオフされている場合は、ラダー抵抗回路２０のみによって階調電位ＶＧ１～ＶＧ６４が生成される。この場合は、階調電位発生回路１６の消費電流Ｉが小さく抑えられる。スイッチＳ０～Ｓ６４がパルス的にオンされると、ラダー抵抗回路２０，２２によって階調電位ＶＧ１～ＶＧ６４が生成される。この場合は、階調電位発生回路１６の電流駆動能力が増大する。

【００２１】

図５は、デコード回路１７に含まれるデコード単位回路２５の構成を示す回路図である。図５において、デコード回路２５は、各データ線６に対応して設けられていて、それぞれ６４の階調電位ＶＧ１～ＶＧ６４に対応して設けられた６４組のＮ型トランジスタ３０～３５を含む。

【００２２】

階調電位ＶＧ１に対応するＮ型トランジスタ３０～３５は、階調電位発生回路１６の出力ノードＮ１ａとノードＮ６５の間に直列接続され、それらのゲートはそれぞれデータラッチ回路１５からのデータ信号／Ｄ０～／Ｄ５を受ける。ノードＮ６５は、対応のデータ線６に接続されている。画像データ信号Ｄ５～Ｄ０が０００００００の場合にＮ型トランジスタ３０～３５が導通し、データ線６に階調電位ＶＧ１が与えられる。

【００２３】

階調電位ＶＧ２に対応するＮ型トランジスタ３０～３５は、階調電位発生回路１６の出力ノードＮ２ａとノードＮ６５の間に直列接続され、それらのゲートはそれぞれデータラッチ回路１５からのデータ信号Ｄ０，／Ｄ１～／Ｄ５を受ける。画像データ信号Ｄ５～Ｄ０が０００００１の場合にＮ型トランジスタ３０～３５が導通し、データ線６に階調電位ＶＧ２が与えられる。

【００２４】

以下、同様にして、画像データ信号Ｄ５～Ｄ０が０００００，０００００１，…，１１１１１１の場合に、それぞれ階調電位ＶＧ１～ＶＧ６４がデータ線６に与えられる。

【００２５】

図６は、図４および図５に示した階調電位発生回路１６およびデコード単位回路２５の動作を示すタイムチャートである。図６において、時刻ｔ０よりも前の時刻では、スイッチＳ０～Ｓ６４がオフされており、高電位ＶＨのラインと低電位ＶＬのラインとの間には、ラダー抵抗回路２０の電流Ｉ１のみが流れている。このとき、データラッチ回路１５の出力データ信号Ｄ５～Ｄ０が０００００００であり、階調電位ＶＧ１がデータ線６に与えられていたものとする。

【００２６】

時刻ｔ０において、データラッチ回路１５の出力データ信号Ｄ５～Ｄ０が０００００００から１１１１１１に遷移すると、スイッチＳ０～Ｓ６４がオンしてラダー抵抗回路２２が活性化され、高電位ＶＨのラインと低電位ＶＬのラインとの間には、ラダー抵抗回路２０，２２の電流Ｉ１＋Ｉ２が流れる。また、ノードＮ６４ｂがスイッチＳ６４、ノードＮ６４ａ、Ｎ型トランジスタ３０～３５およびノードＮ６５を介してデータ線６に接続され、

データ線６が２つのラダー抵抗回路２０，２２で充電されてデータ線６の電位ＶＧは急速に上昇する。

【００２７】

データ線６の電位ＶＧが所定値（たとえばＶＧ６４の９０％の電位）になる時刻ｔ１において、スイッチＳ０～Ｓ６４がオフすると、データ線６はラダー抵抗回路２０のみで充電される。データ線６は既に所定値に充電されているので、時刻ｔ１以降はデータ線６は短時間に階調電位ＶＧ６４に充電される。時刻ｔ１以降は、高電位ＶＨのラインと低電位ＶＬのラインとの間には、ラダー抵抗回路２０の電流Ｉ１のみが流れる。

【００２８】

この実施の形態では、高抵抗のラダー抵抗回路２０と低抵抗のラダー抵抗回路２２とを設け、データ線６の充電／放電時にラダー抵抗回路２２をパルス的に活性化させるので、小さな消費電流で、データ線６を高速に充電／放電させることができる。

【００２９】

図７は、この実施の形態の変更例を示す回路図である。この変更例のデコード単位回路４０は、図５のデコード単位回路２５にデータ線駆動回路４１を追加したものである。データ線駆動回路４１は、ノードＮ６５とデータ線６の間に設けられ、ノードＮ６５の電位を電流増幅してデータ線６に与える。この場合は、階調電位発生回路１６の負荷容量を小さくすることができる。

【００３０】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【００３１】

【図１】この発明の一実施の形態によるカラー液晶表示装置の構成を示すブロック図である。

【図２】図１に示した各液晶セルに対応して設けられる液晶駆動回路の構成を示す回路図である。

【図３】図１に示した水平走査回路の構成を示すブロック図である。

【図４】図３に示した階調電位発生回路の構成を示す回路図である。

【図５】図３に示したデコード回路に含まれるデコード単位回路の構成を示す回路図である。

【図６】図４および図５に示した階調電位発生回路およびデコード単位回路の動作を示すタイムチャートである。

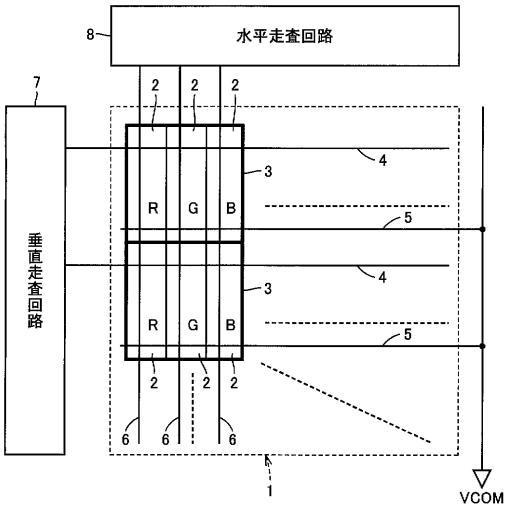
【図７】この実施の形態の変更例を示す回路図である。

【符号の説明】

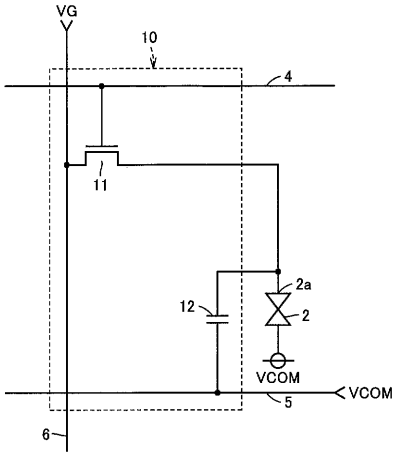
【００３２】

１　液晶パネル、２　液晶セル、３　画素、４　ゲート線、５　共通電位線、６　データ線、７　垂直走査回路、８　水平走査回路、１０　液晶駆動回路、１１，３０～３５　Ｎ型トランジスタ、１２　キャパシタ、１３　シフトレジスタ、１４，１５　データラッチ回路、１６　階調電位発生回路、１７　デコード回路、２０，２２　ラダー抵抗回路、２１，２３　抵抗素子、Ｓ　スイッチ、２５，４０　デコード単位回路、４１　データ線駆動回路。

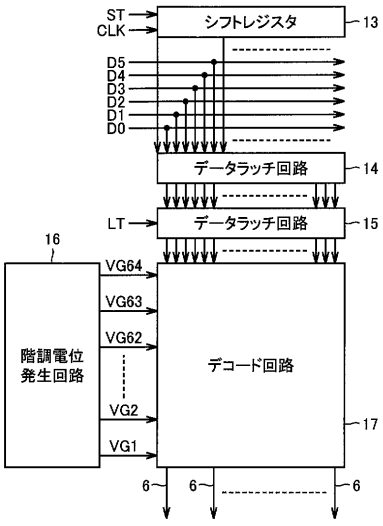
【図１】


8
水平走査回路
7
垂直走査回路
2
3
4
5
R
G
B
6
1
VCOM

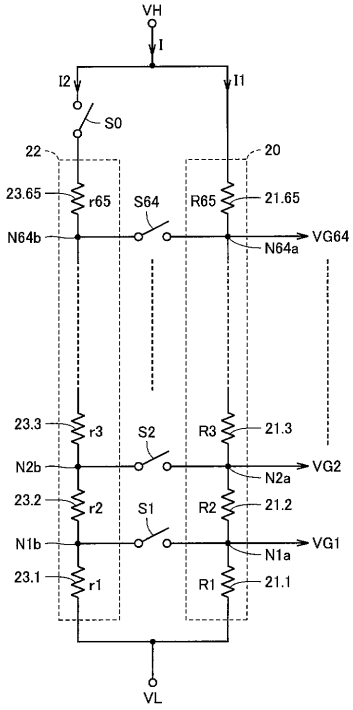
【図２】


VG
10
4
11
12
2a
2
VCOM
VCOM
5
6

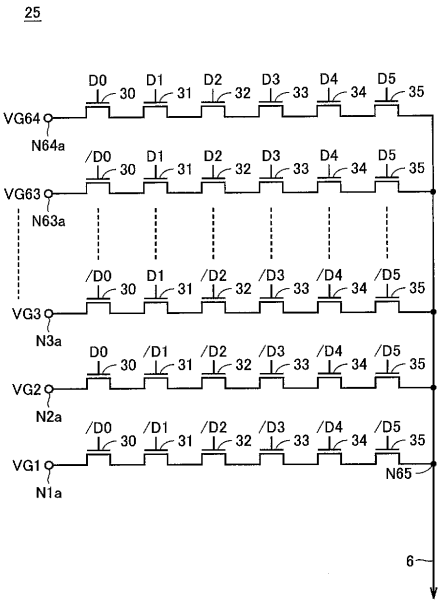
【図３】


8
ST
CLK
シフトレジスタ
13
D5
D4
D3
D2
D1
D0
データラッチ回路
14
LT
データラッチ回路
15
16
VG64
VG63
VG62
VG2
VG1
階調電位
発生回路
デコード回路
17
6

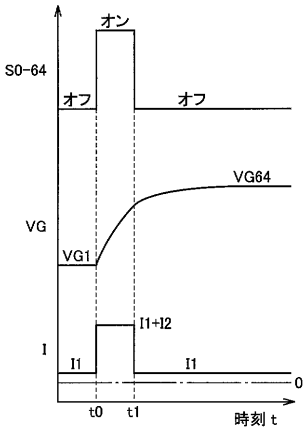
【図４】


16
VH
I
I2
I1
S0
22
20
23.65
r65
S64
R65
21.65
N64b
N64a
VG64
23.3
r3
S2
R3
21.3
N2b
N2a
VG2
23.2
r2
S1
R2
21.2
N1b
N1a
VG1
23.1
r1
R1
21.1
VL

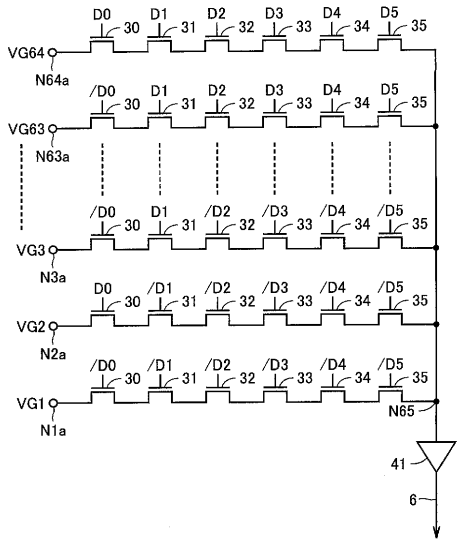
【図５】


25
D0 30 D1 31 D2 32 D3 33 D4 34 D5 35
VG64
N64a
/D0 30 D1 31 D2 32 D3 33 D4 34 D5 35
VG63
N63a
/D0 30 D1 31 /D2 32 /D3 33 /D4 34 /D5 35
VG3
N3a
D0 30 /D1 31 /D2 32 /D3 33 /D4 34 /D5 35
VG2
N2a
/D0 30 /D1 31 /D2 32 /D3 33 /D4 34 /D5 35
VG1
N1a
N65
6

【図６】


S0-64
オン
オフ
オフ
VG64
VG
VG1
I1+I2
I
I1
I1
0
t0
t1
時刻 t

【図７】


40
D0 30 D1 31 D2 32 D3 33 D4 34 D5 35
VG64
N64a
/D0 30 D1 31 D2 32 D3 33 D4 34 D5 35
VG63
N63a
/D0 30 D1 31 /D2 32 /D3 33 /D4 34 /D5 35
VG3
N3a
D0 30 /D1 31 /D2 32 /D3 33 /D4 34 /D5 35
VG2
N2a
/D0 30 /D1 31 /D2 32 /D3 33 /D4 34 /D5 35
VG1
N1a
N65
41
6

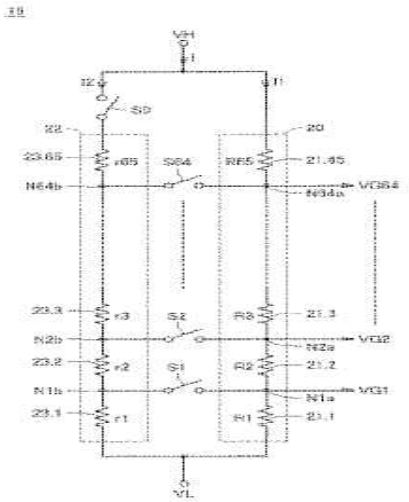
フロントページの続き

(51)Int.Cl.[7]	FI		テーマコード（参考）
	Ｇ０９Ｇ 3/20	６１２Ｆ	
	Ｇ０９Ｇ 3/20	６２１Ｆ	
	Ｇ０９Ｇ 3/20	６２３Ｅ	

(72)発明者 飛田 洋一
東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内

Ｆターム(参考) 2H093 NA16 NA53 NC03 NC10 NC12 NC22 NC26 NC34 NC35 NC49
ND06 ND31 ND39
5C006 BB16 BF24 BF25 BF34 BF43 FA14 FA47
5C080 AA10 BB05 DD08 DD26 FF11 GG11 JJ02 JJ03 JJ04

专利名称(译)	画像表示装置		
公开(公告)号	JP2005037746A	公开(公告)日	2005-02-10
申请号	JP2003275529	申请日	2003-07-16
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	飛田洋一		
发明人	飛田 洋一		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/00 G09G5/10		
CPC分类号	G09G3/3688 G09G2310/027 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.520 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.612.F G09G3/20.621.F G09G3/20.623.E G09G3/20.623.F		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND06 2H093/ND31 2H093/ND39 5C006/BB16 5C006/BF24 5C006/BF25 5C006/BF34 5C006/BF43 5C006/FA14 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD26 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36		
代理人(译)	森田俊夫 堀井裕 酒井 将行		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有低电流消耗并且能够高速对数据线进行充电/放电的图像显示装置。 该彩色液晶显示装置的灰度电位产生电路16具有相对较高的电阻值，对电源电压VH-VL进行分压以产生64个灰度电位VG1至VG64，并输出它们。 施加到节点N1a至N64a的梯形电阻电路20具有相对低的电阻值，并且在将所选灰度电位施加到数据线的时段的第一预定时段和电源电压VH-中被激活。 它包括梯形电阻电路22和开关S0至S64，它们对VL进行分压以产生64个灰度电势VG1至VG64，并将它们施加到节点N1a至N64a。 因此，由于低电阻梯形电阻电路22以脉冲方式被激活，所以数据线6可以以小的电流消耗高速地充电/放电。 [选择图]图4