



## 【特許請求の範囲】

## 【請求項 1】

表示画像データを記憶する表示メモリを備え、前記表示メモリから順次表示画像データを読み出して表示装置の駆動信号を生成し出力する表示駆動制御装置であって、前記表示メモリは表示装置の一画面分の表示データよりも大きなデータを格納可能な記憶容量を有するように構成され、前記表示メモリの後段には、該表示メモリから読み出された第 1 画像データと第 2 画像データに対してビットシフト処理を行なってから加算することにより 2 つの画像の透過表示データを得る透過演算回路が設けられてなることを特徴とする表示駆動制御装置。

## 【請求項 2】

前記表示メモリに格納される前記第 2 画像データは、3 原色の各色コードと透過率もしくはビットシフト量を意味するコードとを含むことを特徴とする請求項 1 に記載の表示駆動制御装置。

## 【請求項 3】

前記第 2 画像データが表示される位置を設定可能なレジスタが複数個設けられていることを特徴とする請求項 1 又は 2 に記載の表示駆動制御装置。

## 【請求項 4】

前記第 2 画像データが格納される前記表示メモリ内の格納位置を設定可能なレジスタが複数個設けられていることを特徴とする請求項 3 に記載の表示駆動制御装置。

## 【請求項 5】

前記第 1 画像データが格納される前記表示メモリ内の格納位置を設定可能なレジスタが設けられていることを特徴とする請求項 4 に記載の表示駆動制御装置。

## 【請求項 6】

前記透過演算回路による透過演算処理の際に前記第 1 画像データと前記第 2 画像データは時分割方式で読み出されることを特徴とする請求項 2 に記載の表示駆動制御装置。

## 【請求項 7】

前記透過演算回路は、第 1 および第 2 のビットシフタと加算器とを備え、前記表示メモリより読み出された第 1 画像データは第 1 のビットシフタによりまた前記表示メモリより読み出された第 2 画像データは第 2 のビットシフタによりそれぞれビットシフトされた後、前記加算器で加算されることを特徴とする請求項 6 に記載の表示駆動制御装置。

## 【請求項 8】

前記第 1 および第 2 のビットシフタは各々 1 ビットシフト動作可能なビットシフタであることを特徴とする請求項 7 に記載の表示駆動制御装置。

## 【請求項 9】

前記透過演算回路は、前記加算器の後段にラッチ回路を備え、前記ラッチ回路にラッチされた第 1 画像データまたは第 2 画像データを前記第 1 または第 2 のビットシフタに伝達する経路が設けられていることを特徴とする請求項 8 に記載の表示駆動制御装置。

## 【請求項 10】

外部から入力される前記第 2 画像データの 3 原色の各色コードのいずれかのビットと透過率もしくはビットシフト量を意味するコードのビットとを入れ替えて前記表示メモリに供給するビット処理回路を有することを特徴とする請求項 2 に記載の表示駆動制御装置。

## 【請求項 11】

表示画像データを記憶する表示メモリを備え、前記表示メモリから順次表示画像データを読み出してカラー表示装置の駆動信号を生成し出力する表示駆動制御装置であって、前記表示メモリは表示装置の第 1 ベース画像データと第 2 ベース画像データを格納可能な記憶容量を有するように構成され、前記表示メモリに第 1 ベース画像データが格納される際には、該表示メモリの残りの記憶領域に前記第 1 ベース画像データと合成表示される画像データが格納可能に構成されてなることを特徴とする表示駆動制御装置。

## 【請求項 12】

前記表示メモリに第2ベース画像データが格納される際には、該表示メモリの残りの記憶領域に前記第2ベース画像データと合成表示される画像データが格納可能に構成されてなることを特徴とする請求項11に記載の表示駆動制御装置。

【請求項13】

前記表示メモリの残りの記憶領域に格納される画像データは、前記第1ベース画像データまたは第2ベース画像データと透過表示される画像データであることを特徴とする請求項12に記載の表示駆動制御装置。

【請求項14】

表示画像データを記憶する表示メモリを備え、前記表示メモリから順次表示画像データを読み出してカラー表示装置の駆動信号を生成し出力する表示駆動制御装置であって、前記表示装置の第1の表示領域の選択線をスキャン駆動する信号と前記表示装置の第2の表示領域の選択線をスキャン駆動する信号を各々異なる周期で生成可能な駆動回路を備え、前記第1の表示領域の表示の際には前記第2の表示領域の表示を停止し、前記第2の表示領域の表示の際には前記第1の表示領域の表示を停止し、表示を停止した表示領域の選択線スキャン駆動信号の周期を、表示を行なう表示領域の選択線スキャン駆動信号の周期よりも長くするように構成されてなることを特徴とする表示駆動制御装置。

10

【請求項15】

前記表示メモリは、前記第1の表示領域に表示される第1ベース画像データと前記第2の表示領域に表示される第2ベース画像データを格納可能な記憶容量を有するように構成され、

20

前記表示メモリに第1ベース画像データが格納される際には該表示メモリの残りの記憶領域に前記第1ベース画像データと合成表示される画像データが格納可能に構成されていることを特徴とする請求項14に記載の表示駆動制御装置。

【請求項16】

表示画像データを記憶する表示メモリを備え、前記表示メモリから順次表示画像データを読み出してカラー表示装置の駆動信号を生成し出力する表示駆動制御装置であって、前記表示メモリの後段には、該表示メモリから読み出された第1画像データと第2画像データに対してビットシフト処理を行なってから加算することにより2つの画像の透過表示データを得る透過演算回路が設けられ、

前記表示メモリは表示装置の第1ベース画像データと第2ベース画像データを格納可能な記憶容量を有するように構成され、

30

前記表示メモリに第1ベース画像データが格納される際には該表示メモリの残りの記憶領域に前記第1ベース画像データと合成表示される画像データが、また前記表示メモリに第2ベース画像データが格納される際には該表示メモリの残りの記憶領域に前記第2ベース画像データと合成表示される画像データが格納可能に構成され、

前記透過演算回路は、前記第1ベース画像データまたは第2ベース画像データと前記合成表示される画像データとから透過表示データを生成可能に構成されてなることを特徴とする表示駆動制御装置。

【請求項17】

前記表示メモリから前記第1ベース画像データを読み出して前記表示装置の駆動信号を生成し出力する際には前記第2ベース画像データが表示されるべき領域に対応する前記表示装置の選択線スキャン駆動信号の周期を長くし、

40

前記表示メモリから前記第2ベース画像データを読み出して前記表示装置の駆動信号を生成し出力する際には前記第1ベース画像データが表示されるべき領域に対応する前記表示装置の選択線スキャン駆動信号の周期を長くするように構成されていることを特徴とする請求項16に記載の表示駆動制御装置。

【請求項18】

請求項1～17のいずれかに記載の表示駆動制御装置と、該表示駆動制御装置によって駆動される表示装置と、前記表示メモリに書き込まれる表示データの生成およびその書込み位置情報に関する設定を行なうシステム制御装置と、を備え、

50

前記システム制御装置は、前記表示装置に前記表示メモリより読み出されて合成された画像データを表示させる場合にも合成されない画像データを表示させる場合にも同一フォーマットの画像データを転送することを特徴とする表示装置を備えた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、表示装置を駆動制御する表示駆動制御装置さらには半導体集積回路化された表示駆動制御装置に適用して有効な技術に関し、例えば携帯電話器等の携帯用電子機器に用いられるカラー液晶パネルを駆動する液晶表示駆動制御装置およびそれを用いた携帯電話器などの電子機器に利用して有効な技術に関する。

10

【0002】

【従来の技術】

近年、携帯電話器やPDA（パーソナル・デジタル・アシスタント）などの携帯用電子機器の表示装置としては、一般に複数の表示画素がマトリックス状に2次元配列されたドットマトリックス型液晶パネルが用いられており、機器内部にはこの液晶パネルの表示制御を行なう半導体集積回路化された液晶表示制御装置（液晶コントローラ）や該制御装置の制御下で液晶パネルを駆動する液晶ドライバもしくは液晶コントローラと液晶ドライバを内蔵した液晶表示駆動制御装置（液晶コントローラドライバ）が搭載されている。

【0003】

従来、携帯用電子機器に用いられる液晶パネルは、モノクロ静止画表示のものが多かった。しかしながら、近年、携帯用電子機器の高機能化に伴い、表示部に表示される内容の多様化が進んでおり、カラー表示や動画表示を行なうものが主流になって来ている。

20

【0004】

ところで、カラー液晶パネルを有する機器においては、カラー表示の利点を生かして背景画像の一部に文字や記号などの情報画像を透かしたような状態で表示させたり、メモリに記憶されている画像データから該画像を縮小した画像のデータを生成するリサイズ機能など、元になる画像データを処理して多種多様な表示が行なわれている。従来、このような処理は電子機器に搭載されているマイクロプロセッサのソフトウェア処理により行なうのが一般的であった。

【0005】

30

【発明が解決しようとする課題】

液晶パネルのカラー化や表示画面の大型化に伴う画像データの増加、動画表示の導入に伴ってマイクロプロセッサに要求される処理内容がますます多くなる。そのため、透かし表示のためのデータ処理をマイクロプロセッサのソフトウェア処理により行なう場合には、電子機器に搭載されるマイクロプロセッサとして高機能かつ高速処理可能なものが要求され、システムのコストアップを招く要因となるとともに、処理を開始してから実際に透かし画像が表示されるまでの時間が長くなるという課題がある。

【0006】

しかも、マイクロプロセッサのソフトウェア処理により透かし表示を行なう場合、第1の画像の透過率を $\alpha$ とすると、第1の画像データに対しては $\alpha$ を掛ける乗算を、また第2の画像データに対しては $(1 - \alpha)$ を掛ける乗算を行なってさらにそれらを加算する処理（以下、 $\alpha$ ブレンディングと称する）を行なう必要があり、処理内容が複雑である。

40

【0007】

また、ソフトウェア処理による透かし表示では、外部メモリに記憶されている元になる画像データを読み出してデータを処理して液晶コントローラドライバLSIに送ることになるため、透かし表示と透かし無し表示を繰り返し行なうには、表示を切り替える度にマイクロプロセッサがいちいち外部メモリから画像データを読み出して液晶コントローラドライバLSIに表示データを送る必要があり、消費電力と処理時間の増加を免れることができないという課題がある。

【0008】

50

また、携帯用電子機器に搭載される液晶コントローラドライバLSIには、液晶パネルに表示する画像データを格納するメモリを内蔵したものが多く使用されているが、液晶パネルのカラー化や表示画面の大型化に伴って内蔵メモリの大容量化が必要になる。しかしながら、内蔵メモリの大容量化はチップサイズの増大ひいてはチップコストの増加を招くため、少ない記憶容量で所望の表示を行なえるようにするため効率の良いメモリ管理手法が要求される。

【0009】

さらに、近年の携帯電話器には、本体の内側と外側の両方にそれぞれ液晶パネルを有するものが出現しているが、このように2つの液晶パネルを有する電子機器では、それぞれの液晶パネルに対応して液晶コントローラドライバLSIを設けたのではコストが非常に高くなるため一つの液晶コントローラドライバLSIで2つの液晶パネルを駆動することができる技術が要求される。しかしながら、2つの液晶パネルを駆動可能な液晶コントローラドライバLSIを実現しようとする、メモリに必要とされる記憶容量が多くなったりいずれか一方のパネルの表示が不要な場合における消費電力の抑制など解決すべき課題が多くなる。

10

【0010】

この発明の目的は、カラー液晶パネルとそれを駆動制御する液晶表示駆動制御装置とマイクロプロセッサを備えたシステムにおけるマイクロプロセッサの負担を軽減することができる表示駆動制御装置を提供することにある。

この発明の他の目的は、カラー液晶パネルとそれを駆動制御する液晶表示駆動制御装置とマイクロプロセッサを備えたシステムにおける消費電力を低減することが可能な表示駆動制御装置を提供することにある。

20

【0011】

この発明のさらに他の目的は、カラー液晶パネルとそれを駆動制御する液晶表示駆動制御装置を備えたシステムにおいて、内蔵メモリを効率良く管理してチップサイズひいてはコストを低減することができる表示駆動制御装置を提供することにある。

この発明のさらに他の目的は、2以上の液晶パネルを備えたシステムにおいて、1つの表示駆動制御装置により2以上の液晶パネルを制御ししかもそれぞれのパネルに応じて最適な駆動を実行することができる表示駆動制御装置を提供することにある。

【0012】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

30

【0013】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、液晶パネルに表示される画像データを記憶するメモリを内蔵し該メモリから順次画像データを読み出してカラー液晶パネルの各画素の3原色の画像信号をそれぞれ生成し外部出力端子から出力する液晶表示駆動制御装置に、内蔵メモリから読み出された2つの画像データを処理して透かし表示用のデータを生成可能な画像データ処理回路を設け、該画像データ処理回路により生成された表示データをドライバ回路へ供給して該ドライバ回路により液晶パネルの駆動信号を生成し出力させるようにしたものである。

40

【0014】

上記した手段によれば、マイクロプロセッサのソフトウェア処理を行なわなくても透かし表示を実現することができる。また、内蔵メモリの後段に透かし表示用のデータを生成可能な画像データ処理回路が設けられているため、透かし表示と透かし無し表示を繰り返さないような場合にも、表示を切り替える度にマイクロプロセッサがいちいち液晶コントローラドライバLSIに表示データを送る必要がなくなり、システム全体としての消費電力を低減することができる。

【0015】

50

また、望ましくは、上記画像データ処理回路は、画像データをビットシフトする１組のビットシフタと、該ビットシフタによりそれぞれビットシフトさせた第１の画像データと第２の画像データとを加算する加算器とから構成する。かかる手段によれば、ビットシフタという比較的簡単な回路によって透かし表示に必要な透過率５０％や２５％、１２．５％……のような画像データを得ることができ、ビットシフタと加算器とから画像データ処理回路を構成することができるため、複雑な演算回路が不要であり、表示駆動制御装置のコストアップを回避しつつマイクロプロセッサに負担をかけることなく透かし表示を実現することができる。

【００１６】

さらに、望ましくは、上記内蔵メモリは液晶パネルの１画面分の画像データ量よりも大きな記憶容量を有するように構成し、１画面分の画像データを記憶した内蔵メモリの残りの領域に該１画面分の画像データと重ね合わされる他の画像データを記憶させるようにする。これにより、少ない記憶容量の内蔵メモリに効率良く透かし表示に必要な画像データを保持させることができる。

10

【００１７】

また、２以上の液晶パネル用の駆動信号を生成して出力する液晶表示駆動制御装置において、いずれか一方の液晶パネルを表示駆動し他方のパネルは非表示とするような制御を行なうとともに、内蔵メモリの記憶容量を各パネルに対応した画像データを合計した大きさとし、非表示のパネルに対応した記憶領域を利用して透かし表示のために重ね合わされる他の画像データを記憶させるようにする。これにより、比較的小さな記憶容量の内蔵メモリに効率良く透かし表示に必要な画像データを保持させることができる。

20

【００１８】

さらに、外部から供給された画像データを処理して該画像を縮小した画像のデータを生成するリサイズ機能を設け、該リサイズ機能により生成された画像データを１画面分の画像データを記憶している内蔵メモリの残りの領域またはいずれか非表示のパネルに対応した記憶領域に格納させるようにする。これにより、比較的小さな記憶容量の内蔵メモリに表示画面もしくは背景画像の一部（ウィンド領域）に他の画像を縮小表示させる場合に必要な画像データを保持させることができる。ここで、望ましくは、リサイズ機能を有効にするか無効にするか指定することができるレジスタを設ける。これにより、マイクロプロセッサ側にリサイズ機能を持つシステムまたはマイクロプロセッサ側にリサイズ機能を持たないシステムのいずれにも適用することができる液晶表示駆動制御装置が得られる。

30

【００１９】

【発明の実施の形態】

以下、この発明の好適な実施の形態を図面に基づいて説明する。

図１は、本発明に係る液晶表示駆動制御装置（液晶コントローラドライバ）の一実施例を示すブロック図である。特に制限されるものでないが、実施例の液晶コントローラドライバは、一個の半導体チップ上に半導体集積回路として形成される。

【００２０】

この実施例の液晶コントローラドライバ２００は、外部のマイクロプロセッサもしくはマイクロコンピュータ（以下、マイコンと略す）等からの指令に基づいてチップ内部全体を制御する制御部２０１、外部からの発振信号もしくは外部端子に接続された振動子からの発振信号に基づいてチップ内部の基準クロックパルスを生成するパルスジェネレータ２０２、このクロックパルスに基づいてチップ内部の種々の回路の動作タイミングを与えるタイミング信号を発生するタイミング制御回路２０３、図示しないシステムバスを介してマイコン等との間で主としてインストラクションや静止画像データなどのデータの送受信を行なうシステム・インタフェース２０４、図示しない表示データバスを介して主としてアプリケーションプロセッサなどからの動画データや水平・垂直同期信号ＨＳＹＮＣ、ＶＳＹＮＣを受ける外部表示インタフェース２０５が設けられている。前記アプリケーションプロセッサからの動画データは、ドットクロック信号ＤＯＴＣＬＫに同期して供給される。

40

## 【0021】

また、この実施例の液晶コントローラドライバ200には、表示データをビットマップ方式で記憶するSRAM(Static Random Access Memory)などの読み出し書き込み可能な揮発性メモリからなる表示メモリ206、マイコンからの書き込みデータのビットの並び替えなどのビット処理を行なうビット変換回路207、ビット変換回路207で変換された画像データまたは外部表示インタフェース205を介して入力された画像データを取り込んで保持するライトデータラッチ回路208、表示メモリ206から読み出された画像データを保持するリードデータラッチ回路209、上記表示メモリ206に対する書き込みアドレスを生成するアドレスカウンタなどからなるライトアドレス生成回路210、液晶パネルへの表示のために表示メモリ206から読み出された画像データに基づいて透かし表示のための演算を行なう透過演算手段211、該透過演算手段211より出力された表示データを取り込んで保持するラッチ回路212が設けられている。透過演算手段211は透過演算をせずに表示データをそのまま通過させることも可能である。

## 【0022】

特に制限されるものでないが、この実施例では表示メモリ206から画像データを読み出すためのリードアドレスを生成するカウンタはタイミング制御回路203内に設けられている。表示メモリ206は、複数のメモリセルを含むメモリアレイと、ライトアドレス生成回路210やタイミング制御回路203から供給されるアドレスをデコードしてメモリアレイ内のワード線やビット線を選択する信号を生成するアドレスデコーダと、メモリセルから読み出された信号を増幅したり、書き込みデータに応じてメモリアレイ内のビット線に所定の電圧を印加したりするセンスアンプを有する。

## 【0023】

さらに、この実施例の液晶コントローラドライバ200には、表示データラッチ回路212にラッチされた表示データから液晶の劣化を防止する交流駆動のためのデータに変換する交流化回路213、該回路で変換されたデータを保持するラッチ回路214、液晶パネルの駆動に必要な複数レベルの電圧を発生する液晶駆動レベル発生回路215、該液晶駆動レベル発生回路215で生成された電圧に基づいてカラー表示や階調表示に適した波形信号を生成するのに必要な階調電圧を生成する階調電圧生成回路216、液晶パネルのγ特性を補正するため図17に示すような特性の階調電圧を設定するγ調整回路217、上記階調電圧生成回路216から供給される階調電圧の中からラッチ回路214にラッチされている表示データに応じた電圧を選択して液晶パネルの信号線としてのソース線に印加される電圧(ソース線駆動信号)S1~S396を出力するソース線駆動回路215、液晶パネルの選択線としてのゲート線(コモン線とも呼ばれる)に印加される電圧(ゲート線駆動信号)G1~G272を出力するゲート線駆動回路219、液晶パネルのゲート線を1本ずつ順番に選択レベルに駆動するためのスキャンデータを生成するシフトレジスタなどからなるスキャンデータ発生回路220等が設けられている。

なお、図1において、SEL1, SEL2, SEL3はデータセレクトで、それぞれタイミング制御回路203から出力される切替え信号によって制御され、複数の入力信号のいずれかを選択的に通過させる。

## 【0024】

制御部201には、液晶コントローラドライバ200の動作モードなどチップ全体の動作状態を制御するためのコントロールレジスタCTRや、該コントロールレジスタCTRや前記表示メモリ206の参照のためのインデックス情報を記憶するインデックスIXRなどのレジスタが設けられており、外部のマイコン等がインデックスレジスタIXRに書き込みを行なうことで実行するインストラクションを指定すると、制御部201が指定されたインストラクションに対応した制御信号を生成し出力する。また、制御部201が実行するインストラクションは、外部から供給されるレジスタ選択信号RSと書き込み制御信号WRと16ビットのデータバス信号DB0~DB15によって指定されるように構成されている。

## 【 0 0 2 5 】

このように構成された制御部 2 0 1 による制御によって、液晶コントローラドライバ 2 0 0 は、マイコン等からの指令およびデータに基づいて図外の液晶パネルに表示を行なう際に、画像データを表示メモリ 2 0 6 に順次書き込んで行く描画処理を行なうと共に、表示メモリ 2 0 6 から周期的に表示データを読み出す読出し処理を行なって液晶パネルのソース線に印加する信号とゲート線に印加する信号を生成して出力する。

## 【 0 0 2 6 】

システム・インタフェース 2 0 4 は、マイコン等のシステム制御装置との間で表示メモリ 2 0 6 への描画の際などに必要とされるレジスタへの設定データや表示データ等の信号の送受信を行なう。この実施例では、I M 3 - 1 および I M 0 / I D 端子の状態に応じて 8 0 系インタフェースとして 1 8 ビット、1 6 ビット、9 ビット、8 ビットの平行入出力またはシリアル入出力のいずれかが選択可能に構成されている。

## 【 0 0 2 7 】

また、マイコンとシステム・インタフェース 2 0 4 との間には、上記レジスタ選択信号 R S と書込み制御信号 W R の他、データ送信先のチップを選択するチップセレクト信号 C S \*、読出しを許可するリードイネーブル信号 R D \* などが送信される制御信号線、レジスタ設定データや表示データなど 1 8 ビットのデータ信号 D B 0 ~ D B 1 7 が送受信されるデータ信号線とが設けられる。ここで、符号に \* が付されている信号は、ロウレベルが有効レベルとされる信号であることを意味している。

## 【 0 0 2 8 】

なお、データ信号線 D B 0 ~ D B 1 7 のうち D B 0 と D B 1 はシリアルデータ通信線を兼用するように構成されている。書込み制御信号 W R の入力端子は、シリアル・インタフェースが指定されたときに同期用のシリアルクロック S C L が入力される端子と兼用されており、シリアルデータはシリアルクロック信号 S C L と同期して入出力される。シリアル・インタフェースを選択することにより、データ信号線 D B 2 ~ D B 1 8 が不要となり、基板上に設けられるシステムバスの幅を小さくすることができる。

## 【 0 0 2 9 】

この実施例の液晶コントローラドライバ 2 0 0 に入力される信号としては、上記以外に例えばチップ内部を初期状態にするリセット信号 R E S E T \* や内部回路の試験のためのテスト信号 T E S T 1 , T E S T 2、テスト用クロック信号 T S C などがある。また、本実施例の液晶コントローラドライバ 2 0 0 のチップには、これらの信号の入出力端子の他に、液晶駆動レベル発生回路 2 1 5 や階調電圧生成回路 2 1 6 で生成された電圧を出力する端子、液晶駆動レベル発生回路 2 1 5 の制御信号を入力する端子などが設けられているが、これらは本発明に直接関係しないので説明は省略する。

## 【 0 0 3 0 】

本実施例の液晶コントローラドライバ 2 0 0 は、2 つの液晶パネルを有するシステムにおいて 2 つの液晶パネルを 1 つの液晶コントローラドライバチップで駆動できるように構成されており、例えば駆動対象の 2 つの液晶パネルの特性が異なる場合にそれぞれの液晶パネルの  $\gamma$  特性を補正するような階調電圧を発生できるように上記  $\gamma$  調整回路 2 1 7 が構成されている。これとともに、駆動対象の 2 つの液晶パネルの  $\gamma$  特性を設定するためのレジスタ 2 2 1 , 2 2 2 が設けられ、それぞれの液晶パネルの駆動時にセクタ S E L 3 によって所望の  $\gamma$  特性データが設定されているレジスタ 2 2 1 または 2 2 2 が選択され、そのレジスタに設定されている  $\gamma$  特性データが  $\gamma$  調整回路 2 1 7 に供給され、 $\gamma$  調整回路 2 1 7 からの制御信号により階調電圧生成回路 2 1 6 により生成される階調電圧を動的に変化させることができるように構成されている。 $\gamma$  特性データを保持するレジスタ 2 2 1 , 2 2 2 の代わりに不揮発性メモリ素子からなる設定手段を用いるようにしてもよい。

## 【 0 0 3 1 】

セクタ S E L 3 は、タイミング制御回路 2 0 3 から出力されるメイン画面とサブ画面の切替え信号 M S C によって制御され、タイミング制御回路 2 0 3 はメイン画面駆動時とサブ画面駆動時に切替え信号 M S C を変化させる。 $\gamma$  レジスタ 2 2 1 , 2 2 2 は、外部のマ

10

20

30

40

50

アイコン等が前記システム・インタフェース 204 を介して設定することができるようにされている。この  $\gamma$  レジスタ 221, 222 も制御部 201 のコントロールレジスタ CTR に設けることができる。

#### 【0032】

特に制限されるものでないが、この実施例の階調電圧生成回路 216 は 32 段階の階調電圧  $V_{31} \sim V_0$  を生成できるように構成されている。発生する電圧を切替え可能な階調電圧生成回路 216 は、例えば図 8 のように電源電圧端子  $V_{cc} - V_{ss}$  間に接続されたラダー抵抗 61 と、該ラダー抵抗 61 で抵抗分割された任意の電圧を選択するスイッチ素子を有する複数の選択回路 62 と、各選択回路 62 により選択された電圧をインピーダンス変換して出力する複数のバッファアンプ 63 とからなり、2つの  $\gamma$  レジスタ 221 または 222 の設定値で各選択回路 62 内のスイッチ素子を切り替えることにより所望のレベルの電圧を出力させる構成とすることで実現することができる。また、図 8 の階調電圧生成回路 216 においては、使用する液晶パネルの  $\gamma$  特性に応じて  $\gamma$  レジスタ 221 と 222 の設定値を変更することにより最適な表示画質が得られる。 $\gamma$  レジスタ 221 と 222 のビット数が充分でない場合には、セクタ SEL3 の後段にデコーダを設けるようにしてもよい。

10

#### 【0033】

図 1 に示されている  $\gamma$  調整回路 217 は図 8 の選択回路 62 に相当する。なお、階調電圧生成回路 216 で生成された 32 段階の階調電圧  $V_{31} \sim V_0$  を用いて、ソース線駆動回路 218 においていずれか隣接する 2つの電圧（例えば  $V_{21}$  と  $V_{22}$ ）を 1 水平期間の前半と後半でそれぞれ選択することで実効的に中間の電圧  $(V_{21} + V_{22}) / 2$  を発生させることによって、実質的に 64 段階の階調表示が可能である。

20

#### 【0034】

図 2 には、本実施例の液晶コントローラドライバ 200 により駆動される液晶表示デバイスの構成例が示されている。図 2 に示されている液晶表示デバイス 100 は、2つの液晶パネル 110 と 120 とが FPC と呼ばれるフレキシブルプリント配線ケーブル 130 により結合され、一方の液晶パネル 120 のガラス基板 121 上に実施例の液晶コントローラドライバ 200 が実装され、第 1 の液晶パネル 110 のソース線と第 2 の液晶パネル 120 のソース線は FPC 130 上の配線 131 によりそれぞれ対応するもの同士が接続されている。2つの液晶パネル 110 と 120 が FPC 130 により結合されているため、FPC 130 を湾曲させることで例えばそれぞれの液晶パネルの背面同士が向き合い表示面が各々  $180^\circ$  異なる方向を向くような状態で配置させる実装が可能になる。

30

#### 【0035】

なお、液晶パネル 110 および 120 がカラーパネルの場合、RGB（赤、緑、青）の 3 ドットで構成された画素がマトリックス状に配列され、例えば各ライン（行）毎に RGB の画素が順に繰返し配置され、列方向には同一色の画素が並ぶように配置されたものを使用される。液晶パネルの各画素は、TFT（薄膜トランジスタ）からなるスイッチ素子と画素電極とから構成され、画素電極と液晶を挟んで対抗する共通電極との間に画像データに応じた電圧が印加される。そして、同一行の画素のスイッチ素子のゲート電極が連続するように形成されてゲート線を構成し、同一列の画素のスイッチ素子のソース端子は上記ゲート線と交差する方向に配設されたソース線に接続される。

40

#### 【0036】

図 2 に示されている液晶表示デバイスは、例えば折畳み式の携帯電話器に適用された場合、一方は上蓋ケースの内側にあつて蓋を開いた状態で待ち受け画面等を表示し、他方は上蓋ケースの外側にあつて通常は時刻等を表示し着信があると着信表示をしたりするのに使用される。かかる携帯電話器においては、上蓋を開いた状態で見える内側の画面が重要であり、内側の液晶パネルは TFT などを使用した高精細なカラー液晶パネルで構成されかつバックライトにより明るく表示されることが多い一方、蓋を閉じた状態で見える背面画面は補助的なものでありそのような画面を表示する外側の液晶パネルはモノクロ表示やバックライト無しの反射型のものが多い。

50

## 【0037】

このように2つの液晶パネルの表示品質が異なる場合、各液晶パネルの $\gamma$ 特性も異なるものとなる。本実施例の液晶コントローラドライバ200は、上記のように特性の異なる2つの液晶パネルを駆動する場合に、一方の液晶パネルの駆動状態から他方の液晶パネルの駆動状態へ移る際に上記セクタSEL3を切り替えて、 $\gamma$ 調整回路217に供給されるレジスタ221, 222の設定値を変えることにより、階調電圧生成回路216がそれぞれのパネルの特性に応じて異なる3段階の階調電圧を発生してソース線駆動回路218へ与え、ソース線駆動回路218がそれらの階調電圧の中から表示データに応じた電圧を選択することで液晶駆動信号を生成して出力することができるよう構成されているため、各液晶パネルにおいて最適な表示画質を得ることが可能となる。

10

## 【0038】

さらに、本実施例の液晶コントローラドライバ200には、図1に示されているように、表示メモリ206内のデータ書込み位置を指定するアドレス(始点および終点)を設定するレジスタBSA, BEA; OSA, OSEや画面上への表示位置を設定するレジスタODP等が設けられており、タイミング制御回路203がこれらのレジスタの設定値に基づいてタイミング制御信号を生成するように構成されている。図1には示されていないが、これらのレジスタBSA, BEA; OSA, OSEやODPを有効にするか無効にするか設定可能なイネーブルレジスタ(図4参照)も設けられている。また、タイミング制御回路203はフレーム同期信号FLMも生成して出力する。

## 【0039】

なお、図1においては、図示の都合で、上記アドレス設定用レジスタBSA, BEA; OSA, OSEや表示位置レジスタODPがタイミング制御回路203の近傍に示されているが、実施例の液晶コントローラドライバでは、これらのレジスタはコントロールレジスタCTR内に設けられている。

20

## 【0040】

アドレス設定用レジスタが2組あるのは、背景となるベース画像データの格納位置を指定するアドレスおよびこれと重ね合わされて表示される画像(以下、OSD画像と称する)データの格納位置を指定するアドレスをそれぞれ任意に設定できるようにするためである。表示位置レジスタODPは1組である。これは、ベース画像の表示位置は液晶パネルの画面全体に固定されており、OSD画像の表示位置を可変にするためである。OSD画像を複数表示させることができるようにしたい場合には、アドレス設定レジスタOSA, OSEと表示位置レジスタODPをそれぞれ複数設けるようにすればよい。

30

## 【0041】

本実施例の液晶コントローラドライバ200においては、2つの液晶パネルを有するシステムにおいて2つの液晶パネルを1つの液晶コントローラドライバで駆動し、2つの液晶パネルのそれぞれにベース画像を表示できるようにするため、ベース画像のアドレス設定用レジスタが2組設けられている。すなわち、第1ベース画像の開始アドレスを設定する始点レジスタBSA0と終了アドレスを設定する終点レジスタBEA0および第2ベース画像の開始アドレスを設定する始点レジスタBSA1と終了アドレスを設定する終点レジスタBEA1である。

40

## 【0042】

また、本実施例の液晶コントローラドライバ200には、OSD画像を同時に3個表示可能にするため、OSD画像のアドレス設定用レジスタが3組設けられている。すなわち、第1OSD画像の開始アドレスを設定する始点レジスタOSA0と終了アドレスを設定する終点レジスタOEA0、第2OSD画像の開始アドレスを設定する始点レジスタOSA1と終了アドレスを設定する終点レジスタOEA1および第3OSD画像の開始アドレスを設定する始点レジスタOSA2と終了アドレスを設定する終点レジスタOEA2である。表示位置レジスタも3つのOSD画像に対応して3つ(ODP0, ODP1, ODP2)設けられている。

## 【0043】

50

本実施例の液晶コントローラドライバ２００においては、図２に示すような２つの液晶パネルを有する表示デバイスの２つの表示画面ＤＰＦ１とＤＰＦ２に表示可能な２つのベース画像データを記憶可能な容量を有するように表示メモリ２０６が構成されている。表示画面ＤＰＦ１は前記液晶パネル１１０に対応し、表示画面ＤＰＦ２は前記液晶パネル１２０に対応する。

２つの画像を重ね合わせて液晶パネル１２０に透かし表示を行なう場合には、図３に示すように、２つの表示画面ＤＰＦ１とＤＰＦ２のうち一方の画面（図では第１画面）に対応する画像データの記憶領域に、ＯＳＤ画像データを記憶するように構成されている。なお、第１画面の記憶領域にＯＳＤ画像データを記憶した場合、液晶パネル１１０の表示画面ＤＰＦ１には有効な表示（ベース画像の表示）がなされないような駆動制御が行なわれる。

10

#### 【００４４】

逆に、液晶パネル１１０の表示画面ＤＰＦ１に透かし表示を行ない、液晶パネル１２０の表示画面ＤＰＦ２には表示を行なわないような場合には、表示メモリ２０６の表示画面ＤＰＦ１の画像データ記憶領域にベース画像データを記憶し、表示画面ＤＰＦ２の画像データ記憶領域にＯＳＤ画像データを記憶するようにしてもよい。

#### 【００４５】

携帯電話器においては、蓋を開いた状態では内側の液晶パネルの表示が重要で外側の液晶パネルの表示は消しても良い一方、蓋を閉じた状態では外側の液晶パネルの表示が重要であり内側の液晶パネルの表示は消費電力低減のため消すようにしていることを考慮したものである。このような表示メモリ２０６の記憶管理を行なうことにより、少ない記憶容量を利用して多種多様な表示が可能になる。言い換えると、本実施例の適用により可能になる表示内容の多様性に比較して予め用意すべき表示メモリの記憶容量を小さくして液晶コントローラドライバ２００のチップサイズの増加を抑制することができる。

20

#### 【００４６】

図４には、表示メモリ２０６から表示データを読み出すためのアドレスを生成するため上記タイミング制御回路２０３に設けられるリードアドレス生成部の構成例が示されている。

図４に示されているように、リードアドレス生成部は、液晶パネルのスクアンラインすなわち駆動電圧が印加されるゲート線を示す値を生成するための基準ラインカウンタ３１と、表示メモリ２０６からベース画像データを読み出すためのアドレスを生成するベース画像ラインアドレスカウンタ３２と、ＯＳＤ画像の表示位置を判定するためのＯＳＤ位置判定回路３３と、表示メモリ２０６からＯＳＤ画像データを読み出すためのアドレスを生成するＯＳＤ画像ラインアドレスカウンタ３４と、ＯＳＤ画像の表示領域であるか否かを判定するための領域判定回路３５と、該領域判定回路３５における判定結果に基づいてベース画像ラインアドレスカウンタ３２の計数値またはＯＳＤ画像ラインアドレスカウンタ３４の計数値のいずれかを選択して表示メモリのリードアドレスとして出力するセレクタ３６とを備えている。

30

#### 【００４７】

基準ラインカウンタ３１は、フレーム同期信号ＦＬＭに同期してリセットされ、１ライン周期に相当する周期を有する基準クロックＣＫ０に同期して更新される。ベース画像ラインアドレスカウンタ３２は、コントロールレジスタＣＴＲ内の第１ベース画像の開始アドレスを設定する始点レジスタＢＳＡ０および終了アドレスを設定する終点レジスタＢＥＡ０の値並びに第２ベース画像の開始アドレスを設定する始点レジスタＢＳＡ１および終了アドレスを設定する終点レジスタＢＥＡ１の値と、基準ラインカウンタ３１の値とを比較し、基準ラインカウンタ３１の値が第１ベース画像の始点と終点との間にあるときおよび第２ベース画像の始点と終点との間にあるときに、表示ラインの切替えに合わせてアドレスを更新する。

40

#### 【００４８】

特に制限されるものでないが、図４のリードアドレス生成部には、上記アドレス設定用レ

50

ジスタBSA0, BEA0; BSA1, BEA1を有効にするか無効にするか設定可能なイネーブルレジスタBASEE0, BASEE1およびレジスタBSA0, BEA0; BSA1, BEA1の値を通過させたり遮断したりするゲート兼セレクタSEL10が設けられている。

#### 【0049】

OSD位置判定回路33は、コントロールレジスタCTR内の表示位置レジスタODP0, ODP1, ODP2の設定値と基準ラインカウンタ31の値を比較し、表示ラインがOSD画像の表示開始位置に達したか否か判定し、達したときはコントロールレジスタCTR内のOSD画像の始点レジスタOSA0, OSA1, OSA2の値をOSD画像ラインアドレスカウンタ34にロードさせた後、表示ラインの切り替えに合わせてアドレスを更新する。 10

#### 【0050】

領域判定回路35は、コントロールレジスタCTR内のOSD画像の始点レジスタOSA0, OSA1, OSA2およびOSD画像の終点レジスタOEA0, OEA1, OEA2の値とOSD画像ラインアドレスカウンタ34の値とを比較して表示ラインがOSD画像の表示領域に入っているか否か判定する。これとともに、領域判定回路35は、表示メモリ206から読み出されたOSD画像データに含まれている透過率を表わすαビットをデコードするデコーダDECからの出力に基づいてセレクタ36を切り替えて、ベース画像ラインアドレスカウンタ32の計数値またはOSD画像ラインアドレスカウンタ34の計数値のいずれかを表示メモリのリードアドレスとして出力させる。 20

#### 【0051】

特に制限されるものでないが、図4のリードアドレス生成部には、上記表示位置レジスタODP0, ODP1, ODP2とOSD画像の始点レジスタOSA0, OSA1, OSA2およびOSD画像の終点レジスタOEA0, OEA1, OEA2を有効にするか無効にするか設定可能なイネーブルレジスタOSDE0, OSDE1およびレジスタODP0, ODP1, ODP2とOSA0, OSA1, OSA2とOEA0, OEA1, OEA2の値をそれぞれ通過させたり遮断したりするゲート兼セレクタSEL11, SEL12, SEL13が設けられている。

#### 【0052】

図4のリードアドレス生成部においては、αビットが透かし表示を指示しているときは、液晶パネルの1ライン表示周期の前半にOSD画像ラインアドレスカウンタ34の計数値を出力し、後半にベース画像ラインアドレスカウンタ32の計数値を出力するようにセレクタ36の切り替えを行なわれる。また、αビットがベース画像の100%表示を指示しているときは、液晶パネルの1ライン表示周期の間ずっとベース画像ラインアドレスカウンタ32の計数値を出力し、αビットがOSD画像の100%表示を指示しているときは、液晶パネルの1ライン表示周期の間ずっとOSD画像ラインアドレスカウンタ34の計数値を出力するようにセレクタ36が制御される。 30

#### 【0053】

さらに、αビットがブリンキングを指示しているときは0.5秒あるいは1秒のような比較的長い時間間隔でベース画像ラインアドレスカウンタ32の計数値とOSD画像ラインアドレスカウンタ34の計数値を交互に出力するようにセレクタ36が制御される。表1に、本実施例の液晶コントローラドライバにおける3ビットのαビットと表示内容との関係を示す。 40

#### 【0054】

#### 【表1】

| $\alpha 2$ | $\alpha 1$ | $\alpha 0$ | 表示内容                      |
|------------|------------|------------|---------------------------|
| 0          | 0          | 0          | ベース画像データ 100%表示           |
| 0          | 0          | 1          | —                         |
| 0          | 1          | 0          | —                         |
| 0          | 1          | 1          | —                         |
| 1          | 0          | 0          | ベース画像データ、OSD画像データ 50%透過表示 |
| 1          | 0          | 1          | ベース画像データとOSD画像データ1のプリンキング |
| 1          | 1          | 0          | OSD画像データ 100%表示           |
| 1          | 1          | 1          | ベース画像データとOSD画像データ2のプリンキング |

10

## 【 0 0 5 5 】

図 5 には上記透過演算回路 2 1 1 の構成例が、また図 6 にはその動作タイミングが示されている。

この実施例では表示メモリ 2 0 6 から液晶パネルの 1 ライン分すなわち 3 9 6 画素分の表示データが同時に読み出されるように構成されている。読み出された表示データは 1 画素当たり R G B それぞれ 6 ビット計 1 8 ビットで構成されており、透過演算回路 2 1 1 には 3 9 6 個の画素の表示データに対応して 3 9 6 個の単位演算回路 A C U 0 ~ A C U 3 9 5 が設けられている。図 5 には、代表として単位演算回路 A C U 0 ~ A C U 3 9 5 のうちの

20

一つ A C U 0 についてその具体的な構成例が示されている。図示しないが、他の単位演算回路 A C U 1 ~ A C U 3 9 5 も同様な構成を有する。以下、単位演算回路 A C U 0 について説明し、他の単位演算回路 A C U 1 ~ A C U 3 9 5 については説明を省略する。

## 【 0 0 5 6 】

単位演算回路 A C U 0 は、2 つのビットシフタ S F T 1 , S F T 2 と、これらのビットシフタ S F T 1 , S F T 2 でビットシフト処理された 1 8 ビットのデータを加算する加算器 A D D と、加算器 A D D の出力を一時的に保持する第 1 のラッチ回路 L T 1 と、ラッチ回路 L T 1 の出力を取り込む第 2 のラッチ回路 L T 2 と、ラッチ回路 L T 2 に取り込まれた表示データのうち透過率を示す 3 ビットの  $\alpha$  ビットをデコードしてビットシフタ S F T 1 , S F T 2 および加算器 A D D に対する制御信号を生成するデコーダ D E C とから構成されている。ラッチ回路 L T 1 はクロック信号 C K 2 に同期して、またラッチ回路 L T 2 はクロック信号 C K 2 と同一の周期で位相の異なるクロック信号 C K 1 に同期してそれぞれデータをラッチする。クロック信号 C K 1 は前記基準クロック C K 0 を分周することにより生成される。

30

## 【 0 0 5 7 】

上記ビットシフタ S F T 1 , S F T 2 のうち S F T 1 には表示メモリ 2 0 6 から読み出された 1 8 ビットの表示データが入力され、S F T 2 には第 2 のラッチ回路 L T 2 に取り込まれた表示データが入力される。ビットシフタ S F T 1 , S F T 2 は、それぞれデコーダ D E C の出力に応じて 1 8 ビットの表示データに対して 1 ビットシフト処理またはシフト無し

40

のいずれかの動作をするように制御され、1 ビットシフト処理では上位側のビットをそれぞれ下位側へ 1 ビットだけシフトする。従って、1 ビットシフト処理すると 1 8 ビットの画像データはその L S B のビットが消滅する。加算器 A D D は、デコーダ D E C の出力に応じて 1 ビットシフトのときはビットシフタ S F T 1 , S F T 2 から供給される R G B の各 6 ビットのうち下位 5 ビット同士の加算を行なうように構成されている。

## 【 0 0 5 8 】

また、この実施例の単位演算回路 A C U 0 は、デコーダ D E C がそのコントロール信号 C N T によって非動作状態にされているときには、ビットシフタ S F T 1 が入力された表示データをスルーさせ、加算器 A D D がビットシフタ S F T 1 から入力された表示データをスルーさせるように構成されている。デコーダ D E C が非動作状態のとき加算器 A D D を

50

スルー状態にさせる代わりに、ビットシフトSFT2が入力されたデータを遮断してオール“0”のデータを出力し、加算器ADDはこのオール“0”のデータとビットシフトSFT1から入力された表示データとを加算した結果を出力するように構成しても良い。デコードDECのコントロール信号CNTはタイミング制御回路203から供給される。

#### 【0059】

この実施例では、表示メモリ206からベース画像データとOSD画像データを時分割で読み出すようにしているが、ベース画像データとOSD画像データを同時に読み出す方式も考えられる。ただし、その場合には透過処理が行なわれないときにも表示メモリ206からベース画像データとOSD画像データが読み出されるので不要な画像データを遮断する仕組みが必要になるとともに、透過処理が行なわれる場合よりも透過処理が行なわれない場合の方が多いシステムに使用される場合に無駄な読み出し動作による無駄な消費電力が多くなる。従って、本実施例のように時分割でベース画像データとOSD画像データを読み出す方がトータルの消費電力が少ない回路を構築することができる。

10

#### 【0060】

次に、透過演算回路211の動作を、図6のタイミングチャートを用いて説明する。

この実施例の液晶コントローラドライバ200においては、 $\alpha$ ブレンディングを行なう場合、まずOSD画像データが読み出され、その後でベース画像データが読み出されるようにされる。また、透過演算回路211を動作させるクロック信号CK1、CK2は液晶パネルの1ライン表示周期T1の1/2の周期に設定されているとともに、 $\alpha$ ビットをデコードするデコードDECを制御するコントロール信号CNTは1ラインの表示期間の前半は無効レベル（ロウレベル）にされ、後半は有効レベル（ハイレベル）にされるように生成される。

20

#### 【0061】

クロック信号CK1に同期して表示メモリ206からOSD画像データが読み出される（タイミングt1）と、その画像データはビットシフトSFT1および加算器ADDをスルーしてクロック信号CK2に同期してラッチ回路LT1にラッチされる（タイミングt2）。ラッチ回路LT1にラッチされたOSD画像データはクロック信号CK1の次のパルスに同期してラッチ回路LT2にラッチされる（タイミングt3）。

#### 【0062】

このとき、表示メモリ206から次の表示データであるベース画像データが読み出される。また、ラッチ回路LT2には $\alpha$ ビットを含むOSD画像データがラッチされており、クロック信号CK1の立上りに同期してコントロール信号CNTがハイレベルに変化されると、 $\alpha$ ビットをデコードしてビットシフトSFT1、SFT2を活性化させる。これによって、ビットシフトSFT1とSFT2ではそれぞれベース画像データとOSD画像データのビットシフト処理が行なわれ、このビットシフトされた2つの画像データが加算器ADDで加算された結果（透過演算データ）が出力される（図6の期間T2）。

30

#### 【0063】

この加算器ADDから出力された透過演算データはクロック信号CK2に同期してラッチ回路LT1にラッチされる（タイミングt4）。そして、ラッチ回路LT1にラッチされた透過演算データはクロック信号CK1のその次のパルスに同期してラッチ回路LT2にラッチされ、液晶ドライバ（交流化回路およびソース線駆動回路）へ供給される（タイミングt5）。

40

#### 【0064】

なお、この実施例においては、ビットシフトSFT1、SFT2が1ビットシフトを行なうことで透過率50%の $\alpha$ ブレンディング画像を生成して出力する場合を例にとって説明したが、ラッチ回路LT2の保持データをビットシフトSFT1側へ帰還させる経路や加算器ADDへ帰還させる経路を設けることにより、透過率25%や75%の画像データを生成させることができる。

#### 【0065】

例えば1ライン表示期間の前半で表示メモリから読み出されたOSD画像データの $\alpha$ ビッ

50

トが透過率75%を示しているときは、表示メモリからベース画像データを読み出す前に、ラッチLT1にラッチされているOSD画像データをビットシフタSFT2に供給して1ビットシフトを行なって50%のデータとしてラッチLT2にラッチした後に、再度ビットシフタSFT2へ供給して2回目の2ビットシフト処理を行なって25%のデータとしてラッチLT1にラッチする。そして、この25%のデータとラッチ回路LT2に保持されている50%のデータを加算器ADDに供給して75%のOSD画像データを得る。しかる後、表示メモリからベース画像データを読み出してビットシフタSFT1を2回通して25%のデータを生成し、この25%ベース画像データと前記75%のOSD画像データを加算器ADDで加算して出力する。

【0066】

10

同様にして、先ず25%のOSD画像データを生成してから75%ベース画像データを生成し、それらを加算することで透過率25%の画像データとして出力することも可能である。なお、ビットシフタSFT1、SFT2を、デコーダDECからの出力に応じてそれぞれ一度に2ビットシフトや3ビットシフトを行なえるように構成しても良い。これにより、透過率75%や25%の画像データの生成に要する時間を短縮することができる。

【0067】

ここで、本実施例の液晶コントローラドライバ200におけるベース画像データとOSD画像データのデータフォーマットの例を、図7を用いて説明する。

ベース画像データとOSD画像データは各々18ビットで構成されている。このうちベース画像データは、図7(A)のように、RGBの各色がそれぞれ6ビットで表わされる。OSD画像データは、RGBの各色がそれぞれ5ビットで表わされるが、チップ外部からは図7(B)のように先頭3ビットに $\alpha$ ビット $\alpha_2$ 、 $\alpha_1$ 、 $\alpha_0$ が配置されたデータまたは図7(C)のようにRGBの各色の最下位ビットにそれぞれ $\alpha$ ビット $\alpha_2$ 、 $\alpha_1$ 、 $\alpha_0$ が分配配置されたデータのいずれのフォーマットのデータも受け付け可能にされている。そして、図7(B)のようなフォーマットのデータが入力されるとチップ内部のビット処理回路207(図1参照)でビットの並びを図7(C)のように変換して表示メモリ206に格納するように構成されている。入力された画像データが図7(B)または図7(C)のいずれのフォーマットのデータであるかはデータを入力するインストラクションによって指定される。

20

【0068】

30

ところで、前述したように、本実施例の液晶コントローラドライバ200は、特性の異なる2つの液晶パネルを駆動する場合に、一方の液晶パネルの駆動状態から他方の液晶パネルの駆動状態へ移る際に、それぞれのパネルの特性に応じて階調電圧生成回路216が異なる階調電圧を発生可能に構成されている。そして、階調電圧を切り替えるため2つのレジスタ221と222およびセレクトラSEL3を備えている。しかるに、セレクトラSEL3によってレジスタ221または222から $\gamma$ 調整回路217に供給される設定値を切り替える実施例のような方式では、階調電圧生成回路216の応答遅れによって出力される電圧がすぐには上昇せず、切替り時に画質が低下するおそれがある。なお、階調電圧生成回路216の応答遅れは、主として階調電圧生成回路216内に設けられているバッファアンプ63における遅延である。

40

【0069】

そこで、この実施例では、タイミング制御回路203から出力される信号のタイミングを調整することにより、表示が一方のパネルの画面から他方のパネルの画面へ移る際に、図9(B)に示すようにタイムラグ(以下、ミドルポーチと称する)MPを設け、このミドルポーチMPの期間においてはいずれのパネルのどのゲートラインにも電圧が印加されないように制御を行なうことによって表示画質の低下を防止するように構成されている。図9(A)は従来の1画面駆動における動作を、図9(B)は本実施例の液晶コントローラドライバによる駆動によって前記第1液晶パネル110に表示されるサブ画面から第2液晶パネル120に表示されるメイン画面へ表示が移る場合の動作を模式的に示したものである。

50

## 【 0 0 7 0 】

図 9 ( B ) に示されているように、本実施例では、サブ画面表示の際には  $\gamma$  レジスタ 1 ( 2 2 1 ) が選択されてその設定値に基づいて階調電圧が生成され、メイン画面表示の際には  $\gamma$  レジスタ 2 ( 2 2 2 ) が選択されてその設定値に基づいて異なる階調電圧が生成される。そして、 $\gamma$  レジスタ 1 から  $\gamma$  レジスタ 2 への切替えはミドルポーチ M P の期間に行なわれる。さらに、表示がメイン画面からサブ画面に戻る際にはもともと帰線期間としてフロントポーチと呼ばれる間合い時間 F P とバックポーチと呼ばれる間合い時間 B P が設けられており、この間に選択レジスタを  $\gamma$  レジスタ 2 から  $\gamma$  レジスタ 1 へ切り替えて階調電圧の切替えを行なう。上記のような制御を行なうことによって、表示画質の低下を招くことなく異なる特性を有する液晶パネル 1 1 0 から 1 2 0 へ、また 1 2 0 から 1 1 0 へ表示駆動を移すことができる。

## 【 0 0 7 1 】

図 1 0 には、上記ミドルポーチを設けた表示切替え制御を行なう場合のゲート線駆動信号 G 1 ~ G 2 7 2 のタイミングチャートが示されている。図 1 0 において、F L M はフレーム同期信号、C K 0 は基準クロック信号、G 1 ~ G 9 6 はサブ画面を提供する第 1 パネルのゲート線の駆動信号、G 9 7 ~ G 2 7 2 はメイン画面を提供する第 2 パネルのゲート線の駆動信号、S 1 ~ S 3 9 6 は第 1 パネルと第 2 パネルに共通のソース線の駆動信号、M S C はメイン画面とサブ画面の切替え信号である。全ソース線の駆動信号 S 1 ~ S 3 9 6 は同時に出力され、ゲート線駆動信号 G 1 ~ G 2 7 2 に同期して切替えが行なわれる。図 1 0 に示されているように、ゲート線駆動信号 G 9 6 と G 9 7 との間にミドルポーチ M P が設けられ、ゲート線駆動信号 G 2 7 2 と G 1 との間にフロントポーチ F P およびバックポーチ B P が設けられており、これらの期間に切替え信号 M S C によるセレクト S E L 3 の切替えで  $\gamma$  レジスタの設定値の選択が行なわれる。

## 【 0 0 7 2 】

上記のように表示画面の切替えの際にミドルポーチ期間を設けることにより、表示画質の低下を招くことなく異なる特性を有する液晶パネル 1 2 0 から 1 1 0 へ表示駆動を移すことができる。なお、上記実施例では、1つの階調電圧生成回路 2 1 6 に2つの  $\gamma$  レジスタ 2 2 1 , 2 2 2 の設定値を選択して与える方式であるため、設定値が切り替わった際にバッファアンプ 6 3 で応答遅れが発生する。

そこで、 $\gamma$  特性がそれぞれ異なる階調電圧生成回路を2つ用意しておく方式が考えられる。このような方式によれば、表示パネルに応じて2つの階調電圧生成回路の出力を切り替えるようにすれば応答遅れをかなり短くすることができるが、階調電圧生成回路を2つ設けると回路規模が非常に大きくなってしまいうという不具合がある。これに対し、実施例のように階調電圧生成回路を1つにして  $\gamma$  レジスタの設定値で発生電圧を切り替えるように構成することにより、回路規模の増加を最小限に抑えることが可能となる。

## 【 0 0 7 3 】

なお、コントロールレジスタ C T R の一部にミドルポーチ M P の期間を指定するレジスタを設け、タイミング制御回路 2 0 3 がこのレジスタの設定値に応じてミドルポーチ M P の期間を可変制御する実施例も考えられる。そして、その場合、ミドルポーチ M P の期間を1水平期間すなわち基準クロック C K 0 の周期の整数倍で可変制御するように構成すれば、比較的簡単な回路でミドルポーチ M P の期間を可変とすることが可能である。このミドルポーチ M P の期間は、階調電圧生成回路や液晶パネルの特性にもよるが最大でも7水平期間程度あれば充分であると考えられる。

## 【 0 0 7 4 】

次に、本発明の第2の実施例を、図 1 1 ~ 図 1 6 を用いて説明する。第2の実施例は、第1の実施例の  $\alpha$  プレンディング等の機能に加え、入力された画像を 1 / 2 , 1 / 3 , ... のように縮小するリサイズ機能を液晶コントローラドライバ 2 0 0 に設けたものである。具体的には、図 1 1 のようにライトアドレス生成回路 2 1 0 の前段にリサイズ処理回路 2 0 を設けるようにしたものである。また、リサイズ処理回路 2 0 における縮小率を設定するためのリサイズレジスタ R S Z や縦方向と横方向の余り画素数を設定するための余りレ

レジスタ R C V , R C H がコントロールレジスタ C T R 内に設けられる。特に制限されるものでないが、この実施例のリサイズレジスタ R S Z には、縮小率を設定するビットの他に、間引き画素の位置を設定するビットが設けられる。

#### 【 0 0 7 5 】

リサイズ回路 2 0 とレジスタレジスタ R S Z , R C V , R C H 以外は、図 1 に示されているものと同一の構成で良い。図 1 1 には、図 1 に示されている回路ブロックのうち第 2 実施例に係る書込み系の回路のみ示され、読出し系の回路は省略されている。図 1 には示されていないが図 1 1 に示されている書込み信号生成回路 6 0 は、表示メモリ 2 0 6 への書込みの際に許可信号（ライトイネーブル信号）W E を生成する回路で、図 1 においてはタイミング制御回路 2 0 6 内に設けられている。

10

#### 【 0 0 7 6 】

図 1 2 には、リサイズ回路 2 0 の具体的な構成例が示されている。

リサイズ回路 2 0 は、X 方向すなわちライン方向のアドレスを計数する X 方向カウンタ 2 1 と、Y 方向すなわち列方向のアドレスを計数する Y 方向カウンタ 2 2 と、X 方向カウンタ 2 1 のリセット信号および Y 方向カウンタ 2 2 のクロック信号を発生する信号発生回路 2 3 と、Y 方向カウンタ 2 2 のリセット信号を発生する信号発生回路 2 4 とからなる。

#### 【 0 0 7 7 】

X 方向カウンタ 2 1 は、タイミング制御回路 2 0 6 から供給されるアドレスカウント制御信号（クロック信号）によってカウントアップ動作し、信号発生回路 2 3 からのリセット信号によりリセットされ、所定の値の計数を繰返し実行する。アドレスカウント制御信号はチップ外部から供給される書込み制御信号 W R 等に基づいて生成される。信号発生回路 2 3 は、X 方向カウンタ 2 1 のカウントアップ信号とライトアドレス生成回路 2 1 0 からの X 方向終了信号と余りレジスタ R C H からの X 方向余り設定ビット信号およびリサイズレジスタ R S Z からの縮小率設定信号とに基づいて、X 方向カウンタ 2 1 のリセット信号および Y 方向カウンタ 2 2 のクロック信号を発生する。

20

#### 【 0 0 7 8 】

Y 方向カウンタ 2 2 は、信号発生回路 2 3 からのクロック信号によってカウントアップ動作し、信号発生回路 2 4 からのリセット信号によりリセットされ、所定の値の計数を繰返し実行する。信号発生回路 2 4 は、Y 方向カウンタ 2 3 のカウントアップ信号とライトアドレス生成回路 2 1 0 からの Y 方向終了信号と余りレジスタ R C V からの Y 方向余り設定ビット信号およびリサイズレジスタ R S Z からの縮小率設定信号とに基づいて、Y 方向カウンタ 2 3 のリセット信号を発生する。X 方向カウンタ 2 1 のリセット信号および Y 方向カウンタ 2 3 のリセット信号は、ライトアドレス生成回路 2 1 0 に供給されて内部のアドレスカウンタを更新させる。

30

#### 【 0 0 7 9 】

ライトアドレス生成回路 2 1 0 は、コントロールレジスタ C T R に設けられている書込み開始アドレスレジスタ A D および書込み範囲を示すウィンドアドレスを保持するレジスタ H S A , H E A , V S A , V E A を参照して、表示メモリ 2 0 6 に対するライトアドレスを生成する。書込み開始アドレスレジスタ A D およびウィンドアドレスレジスタ H S A , H E A , V S A , V E A は、本実施例のリサイズ処理のみでなくベース画像よりも小さな画像を表示メモリ 2 0 6 の任意の位置に書き込んで重ね合わせ表示を行なう場合にも使用できるレジスタであり、もともとそのようなレジスタを有する液晶コントローラドライバにおいては、これらのレジスタを新たに設ける必要がない。

40

#### 【 0 0 8 0 】

また、X 方向カウンタ 2 1 のカウントアップ信号と Y 方向カウンタ 2 3 のカウントアップ信号は、書込み信号生成回路 6 0 に供給され、書込み信号生成回路 6 0 はこれらの信号とタイミング制御回路 2 0 3 からの書き込みタイミング信号およびリサイズレジスタ R S Z からの間引き位置設定ビット信号とに基づいて書込み信号 W E を生成するように構成されている。

#### 【 0 0 8 1 】

50

ここで、図 1 2 のリサイズ処理回路 2 0 による画像縮小処理の原理を、図 1 4 および図 1 5 を用いて説明する。図 1 4 は 1 / 2 縮小、図 1 5 は 1 / 3 縮小を示す。図示しないが、1 / 4 縮小や 1 / 5 縮小も同様の原理で可能である。この縮小率がリサイズレジスタ R S Z の縮小率設定ビットにより指定されるようにされている。

#### 【 0 0 8 2 】

本実施例のリサイズ処理回路 2 0 は、図 1 4 ( A ) に示すように書込み画像データを所定の割合で間引くことにより、図 1 4 ( B ) に示すように縮小した画像を得てこれを表示メモリ 2 0 6 の指定された領域に書き込むものである。図 1 4 ( A ) では、偶数行と偶数列を間引く例が示されているが、奇数行と奇数列を間引くようにしても縮小した画像を得ることができる。いずれの行および列を間引くかは、リサイズレジスタ R S Z 内の間引き位置設定ビットにより指定可能にされている。 10

#### 【 0 0 8 3 】

図 1 5 ( A ) には外部から供給される縮小前の画像データが、図 1 5 ( B ) には 1 / 3 縮小において 1 番目の行と列を間引いて記憶するように設定された場合に表示メモリ 2 0 6 に書き込まれる画素データが、また図 1 5 ( C ) には 1 / 3 縮小において 2 番目の行と列を間引いて記憶するように設定された場合に表示メモリ 2 0 6 に書き込まれる画素データが、さらに図 1 5 ( D ) には 1 / 3 縮小において 3 番目の行と列を間引いて記憶するように設定された場合に表示メモリ 2 0 6 に書き込まれる画素データが示されている。

#### 【 0 0 8 4 】

図 1 3 には、縮小率が 1 / 2 に設定された場合におけるリサイズ処理回路 2 0 の入出力信号および内部信号のタイミングが示されている。図 1 3 から分かるように、書込み信号 W E は基準となるライト信号の 2 周期に 1 回だけ有効レベル（ハイレベル）にされる。また、X 方向カウンタ 2 1 と Y 方向カウンタ 2 3 はそれぞれ計数値が「 0 1 」になるとリセットされるつまり 1 0 進数で見ると「 0 」と「 1 」を繰り返す。縮小率が 1 / 3 に設定された場合には X 方向カウンタ 2 1 と Y 方向カウンタ 2 3 はそれぞれ計数値が「 1 0 」になるとリセットされ、縮小率が 1 / 4 に設定された場合にはそれぞれ計数値が「 1 1 」になるとリセットされる。カウンタが 2 ビットの場合、1 / 4 縮小まで可能である。カウンタを 3 ビット構成とすることにより、1 / 8 縮小まで可能にすることができる。 20

#### 【 0 0 8 5 】

表 2 にリサイズレジスタ R S Z の縮小率設定ビットの割当てと画像サイズとの関係を、表 3 にリサイズレジスタ R S Z の間引き位置設定ビットの割当てと間引き位置との関係を、表 4 に縦方向の余り画素数を設定するための余りレジスタ R C V のビット割当てと余り画素数との関係をそれぞれ示す。なお、横方向の余り画素数を設定するための余りレジスタ R C H の構成は縦方向の余りレジスタ R C V のそれと同様であるので、省略する。 30

#### 【 0 0 8 6 】

##### 【 表 2 】

| RSZ2 | RSZ1 | RSZ0 | 書込みサイズ |
|------|------|------|--------|
| 0    | 0    | 0    | 1/1    |
| 0    | 0    | 1    | 1/2    |
| 0    | 1    | 0    | 1/3    |
| 0    | 1    | 1    | 1/4    |
| 1    | 0    | 0    | 1/5    |
| 1    | 0    | 1    | 1/6    |
| 1    | 1    | 0    | 1/7    |
| 1    | 1    | 1    | 1/8    |

40

#### 【 0 0 8 7 】

50

【表 3】

| DWP2 | DWP1 | DWP0 | 1/2縮小 | 1/3縮小 | 1/4縮小 | 1/8縮小 |
|------|------|------|-------|-------|-------|-------|
| 0    | 0    | 0    | 1画素目  | 1画素目  | 1画素目  | 1画素目  |
| 0    | 0    | 1    | 2画素目  | 2画素目  | 2画素目  | 2画素目  |
| 0    | 1    | 0    | 設定禁止  | 3画素目  | 3画素目  | 3画素目  |
| 0    | 1    | 1    | 設定禁止  | 設定禁止  | 4画素目  | 4画素目  |
| 1    | 0    | 0    | 設定禁止  | 設定禁止  | 設定禁止  | 5画素目  |
| 1    | 0    | 1    | 設定禁止  | 設定禁止  | 設定禁止  | 6画素目  |
| 1    | 1    | 0    | 設定禁止  | 設定禁止  | 設定禁止  | 7画素目  |
| 1    | 1    | 1    | 設定禁止  | 設定禁止  | 設定禁止  | 8画素目  |

10

【0088】

【表 4】

| RCV2 | RCV1 | RCV0 | 余り画素(縦) |
|------|------|------|---------|
| 0    | 0    | 0    | 0       |
| 0    | 0    | 1    | 1       |
| 0    | 1    | 0    | 2       |
| 0    | 1    | 1    | 3       |
| 1    | 0    | 0    | 4       |
| 1    | 0    | 1    | 5       |
| 1    | 1    | 0    | 6       |
| 1    | 1    | 1    | 7       |

20

【0089】

30

ここで、図16(A)に示すようなデータサイズが $X \times Y$ である転送画像( $X$ ,  $Y$ は画素数)を $1/N$ に縮小して、図16(B)のように表示メモリ(RAM)の任意の記憶領域(開始位置 $X0$ ,  $Y0$ )に格納する場合を例にとって、外部のマイコンによるコントロールレジスタCTR内の所定のレジスタへの設定の仕方を説明する。なお、 $N$ は正の整数である。

【0090】

外部のマイコンは、リサイズレジスタRSZの間引き位置設定領域に $(N-1)$ をセットする。 $(N-1)$ とするのは、 $N=1$ のときに縮小率が $1/1$ であり、表2より縮小率が $1/1$ の場合には間引き位置設定ビットRSZ2, RSZ1, RSZ0は“000”(10進数の「0」に相当)となるためである。リサイズレジスタRSZの間引き位置設定ビットには、表3に従って縮小率に応じて設定禁止になっていない範囲で自由に設定することができる。レジスタRCVに設定する縦方向の余り画素数 $L$ は、余り演算式 $L = X \bmod N$ を用いて、前記画素数 $X$ と縮小率 $N$ とから求めることができる。同様に、レジスタRCHに設定する横方向の余り画素数 $M$ は、余り演算式 $M = Y \bmod N$ を用いて、前記画素数 $X$ と縮小率 $N$ とから求めることができる。

40

【0091】

また、外部のマイコンは、上記レジスタの他に、表示メモリの書込み開始アドレスを設定するレジスタADにアドレス $X0$ ,  $Y0$ を設定し、書込み領域設定レジスタHSA, HEA, VSA, VEAにそれぞれ $X0$ ,  $X0 + Rx - 1$ ,  $Y0$ ,  $Y0 + Ry - 1$ を設定する必要がある。なお、ここで $Rx$ ,  $Ry$ はそれぞれ表示メモリ206内のデータ書込み領域

50

のサイズであり、前記転送画像の画素数  $X$  ,  $Y$  および余り画素数  $L$  ,  $M$  と縮小率  $N$  を用いて、 $R_x = (X - L) / N$  ,  $R_y = (Y - M) / N$  なる式により求めることができる。

#### 【0092】

本実施例に従うと、外部のマイコン等は予め所定のレジスタを設定し、リサイズを指示するインストラクションを入力して通常の手書きデータと同様のデータ転送を実行すれば、液晶コントローラドライバ 200 内で自動的に画像の縮小が行われ、縮小された画像データが表示メモリ 206 に格納される。本機能を利用すると、例えば複数の画像のサムネイル（縮小画像が並んだ一覧表）を作成したり、カメラ付き携帯電話器において相手方から送られてきた画像を画面全体に表示してその一部に自己のカメラで撮影した画像を縮小表示させるようなことを短時間に行なうことができるようになるという利点がある。

10

#### 【0093】

又メイン画像パネルとサブ画像パネルを持つカメラ付き携帯電話機において、第一の実施例と合わせて、表示 RAM のメモリ空間をメイン画像パネルとサブ画像パネルと更に  $\alpha$  ブレンディング及びリサイズ用の空間を設けることにより、表示 RAM の占有面積が大きくなるものの、カメラを使う時に撮影しようとする画像をメイン画面全体に表示させることにより撮影画面を確認しつつ、サブ画面で撮影相手に撮影しようとする画像をリサイズにより縮小表示して確認してもらえようしながら、 $\alpha$  ブレンディングによりメインパネルに時間や携帯の状態等の情報を透かした状態で表示を行うことができ、更に外部から送られてきた画像をリサイズして  $\alpha$  ブレンディングによりメインパネルに透けた状態で重ね合わせて表示を行うことができる。又この時に、本発明における  $\gamma$  特性の補正を行うこと

20

#### 【0094】

なお、前記書き込み開始アドレス設定用レジスタ AD および書き込み領域設定レジスタ HSA , HEA , VSA , VEA への設定の仕方によって、リサイズ回路 20 により圧縮された画像データを第 1 画像の記憶領域に格納させ、図 1 の実施例の透過演算回路 211 や関連するレジスタを利用して第 2 画像の記憶領域に記憶されているベース画像データと圧縮画像データを合成した画像を第 2 液晶パネル 120 に表示させることも可能である。

#### 【0095】

次に、本発明の第 3 の実施例を説明する。第 3 の実施例は、第 1 の実施例の機能に加え、表示がなされない側の液晶パネルのゲート線を表示時よりも長い周期でスキャンすることで液晶の劣化を防止するようにしたものである。

30

図 2 に示されているようなソース線を共通にする 2 つの液晶パネル 110 および 120 を有する液晶表示デバイス 100 を駆動するシステムでは、一方の液晶パネルの表示が不要で表示を停止させる場合にも他方の液晶パネルの表示駆動のためにソース線に印加された電圧が非表示の液晶パネルの液晶にも印加されてしまう。このとき、非表示の液晶パネルのゲート線のスキャン動作を停止させると、液晶に交流電圧が印加されなくなると液晶の劣化を招くおそれがある。

#### 【0096】

そこで、この実施例の液晶コントローラドライバは、非表示の液晶パネルのゲート線に対してもスキャン動作を行なって液晶の劣化を防止し、かつそのスキャン周期を通常表示駆動の際よりも十分に長くすることで消費電力の低減を図るようにしている。図 18 には、一例として第 1 液晶パネル 110 のサブ画面は通常を表示を行ない第 2 液晶パネル 120 のメイン画面の表示を停止させる場合のゲート線駆動信号のタイミングの例が示されている。

40

#### 【0097】

図 18 のタイミングに従うと、第 1 液晶パネル 110 のゲート線  $G_1 \sim G_{96}$  には各フレーム毎に 1 回ずつ駆動パルスが印加されるのに対し、第 2 液晶パネル 120 のゲート線  $G_{97} \sim G_{272}$  には奇数フレーム毎に駆動パルスが印加される。図示の都合上、図 18 においては、非表示の第 2 液晶パネル 120 のゲート線  $G_{97} \sim G_{272}$  に対して奇数フレ

50

ーム毎に駆動パルスを印加する場合を示したが、非表示の液晶パネルのゲート線に対するスキンの周期は、液晶の劣化を防止可能な範囲でできるだけ長い時間に設定するのが望ましい。これにより、非表示の液晶パネルのゲート線には所定のインターバルにおいて駆動パルスが印加されるようになる。その結果、非表示の液晶パネルにおいても液晶に交番電圧が印加されるようになって液晶の劣化が防止される。

#### 【0098】

なお、この実施例の液晶コントローラドライバは、非表示の液晶パネルのゲート線のスキンの動作に合わせてソース線には黒色を表示させる画素データに対応した電圧を印加するように構成されている。実施例の液晶パネルは黒色を表示させる画素データに対応した電圧が白色を表示させる画素データに対応した電圧よりも低いので、白色を表示させる場合よりも画素電極の充放電に伴う電力損失が少なく済むためである。白色を表示させる画素データに対応した電圧の方が低い液晶パネルに対しては、非表示の際に色を表示させる電圧を印加するようにしてもよい。

10

#### 【0099】

図19は、本発明に係る液晶表示駆動制御装置（液晶コントローラドライバ）を備えたシステムの一例としての携帯電話器の全体構成を示すブロック図である。

この実施例の携帯電話器は、表示手段としての液晶表示デバイス100、送受信のアンテナ310、音声出力用のスピーカ320、音声入力用のマイクロホン330、CCD（チャージ・カップルド・デバイス）やMOSセンサなどからなる固体撮像素子340、該固体撮像素子340からの画像信号を処理するDSP（Digital Signal Processor）などからなる画像信号処理回路230、本発明に係る液晶表示駆動制御装置としての液晶コントローラドライバ200、スピーカ320やマイクロホン330の信号の入出力を行なう音声インタフェース241、アンテナ310との間の信号の入出力を行なう高周波インタフェース242、音声信号や送受信信号に係る信号処理等を行なうベースバンド部250、MPEG方式等に従った動画処理等マルチメディア処理機能や解像度調整機能、ジャバ高速処理機能等を有するマイクロプロセッサなどからなるアプリケーションプロセッサ260、電源用IC270およびデータ記憶用のメモリ281、282等を備えてなる。

20

#### 【0100】

アプリケーションプロセッサ260は、固体撮像素子340からの画像信号の他、高周波インタフェース242を介して他の携帯電話器から受信した動画データも処理する機能を有する。液晶コントローラドライバ200とベースバンド部250とアプリケーションプロセッサ260とメモリ281、282と画像信号処理回路230はシステムバス291によりデータ転送可能に接続されている。図19の携帯電話システムでは、システムバス291の他に表示データバス292が設けられ、この表示データバス292には液晶コントローラドライバ200とアプリケーションプロセッサ260およびメモリ281が接続されている。

30

#### 【0101】

なお、上記ベースバンド部250は、例えばDSP（Digital Signal Processor）などからなり音声信号処理を行なう音声信号処理回路251、カスタム機能（ユーザ論理）を提供するASIC（application specific integrated circuits）252、ベースバンド信号の生成や表示制御、システム全体の制御等を行なうシステム制御装置としてのマイコン253等により構成される。

40

#### 【0102】

メモリ281、282のうち281は揮発性メモリで通常SRAMやSDRAMにより構成され、さまざまな画像処理を行った画像データ等が保存されるフレームバッファ等として用いられる。メモリ282は不揮発性メモリで例えば所定のブロック単位で一括消去可能なフラッシュメモリにより構成され、表示制御を含む携帯電話器システム全体の制御プログラムや制御データの記憶用に使用される。

50

## 【0103】

前記実施例の液晶コントローラドライバを用いた本システムでは、液晶表示デバイス100として、表示画素がマトリックス状に配列されたドットマトリックス方式のカラーTFT液晶パネルを用いることができる。さらに、液晶表示デバイス100が図2に示されているような2画面を有するものである場合にも1つの液晶コントローラドライバで駆動することができる。

## 【0104】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例の液晶表示駆動制御装置により駆動されるカラー液晶パネルは、同一列にはRGBのうち同一色の画素が配置されていると説明したが、例えば液晶コントローラドライバ200と液晶パネルとの間に液晶パネルへ送るRGB画像信号の転送順序をR-G-BからG-B-R、B-R-Gのように変える回路を設けたりすることで、列方向にもRGBが順に配置されているような液晶パネルに対しても本発明を適用することができる。また、前記実施例においては、液晶表示駆動制御装置にゲート線駆動回路219が設けられていると説明したが、ゲート線駆動回路が別の半導体集積回路として構成されている場合にも本発明を適用することができる。

10

## 【0105】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である液晶表示装置の駆動制御装置およびそれを適用した携帯電話器について説明したが、この発明はそれに限定されるものでなく、液晶以外のドットマトリックス型の表示装置の駆動制御装置および携帯電話器以外のPHS(Personal Handyphone System)、PDAなど種々の携帯型電子機器に適用することができる。

20

## 【0106】

## 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、透かし表示のための演算を液晶表示駆動制御装置の側で行なうため、カラー液晶パネルとそれを駆動する液晶表示駆動制御装置とマイクロプロセッサを備えたシステムにおけるマイクロプロセッサの負担を軽減することができる。

30

## 【0107】

また、本発明に従うと、透かし表示と透かし無し表示を繰り返し行なう場合に、表示を切り替える度にマイクロプロセッサがいちいち外部メモリから画像データを読み出して液晶表示駆動制御装置へデータを送る必要がなく、液晶表示駆動制御装置内の表示メモリにある画像データを用いてインストラクションのみで表示内容を切り替えることができるため、表示の切替えが速くかつ消費電力の少ない表示システムを実現することができる。

## 【0108】

さらに、本発明に従うと、内蔵メモリの記憶容量を2つの液晶パネルの画像データを合計した大きさとし、いずれか使用しないパネルに対応した記憶領域を利用して透かし表示のために重ね合わされる他の画像データを記憶させるため、記憶容量の小さな内蔵メモリを効率良く管理して多様な表示を行なうことができるとともに、同様な機能を有するシステムに比べて液晶表示駆動制御装置に内蔵される表示メモリの記憶容量を減少させ、チップサイズひいてはコストを低減することができる。

40

## 【0109】

また、本発明に従うと、使用する液晶パネルの $\gamma$ 特性に応じた階調電圧を生成することができるため、2以上の液晶パネルを備えたシステムにおいて1つの表示駆動制御装置により2以上の液晶パネルをそれぞれのパネルの特性に応じて最適駆動することができるという効果がある。

## 【図面の簡単な説明】

【図1】本発明に係る表示駆動制御装置を適用した液晶コントローラドライバの第1の実

50

施例を示すブロック図である。

【図 2】第 1 の実施例の液晶コントローラドライバによって駆動可能な液晶表示デバイスの構成例と表示メモリの画像データ記憶領域との対応を示す説明図である。

【図 3】2 つの表示パネルを有する液晶表示デバイスの方の画面に透かし画像を表示する場合の表示領域と画像データ記憶領域との対応を示す説明図である。

【図 4】第 1 の実施例の液晶コントローラドライバ内のタイミング制御回路に設けられるリードアドレス生成部の構成例を示すブロック図である。

【図 5】第 1 の実施例の液晶コントローラドライバ内の表示メモリの後段に設けられる透過演算回路の構成例を示すブロック図である。

【図 6】第 1 の実施例の透過演算回路における信号のタイミングを示すタイミングチャートである。 10

【図 7】第 1 の実施例の液晶コントローラドライバで扱われる 1 画素の画像データのデータフォーマットを示す説明図である。

【図 8】第 1 の実施例の液晶コントローラドライバを構成する階調電圧生成回路の構成例を示すブロック図である。

【図 9】従来の液晶コントローラドライバと第 1 の実施例を適用した液晶コントローラドライバにより駆動される液晶パネルの画面の表示タイミングを示す説明図である。

【図 10】第 1 の実施例を適用した液晶コントローラドライバにより駆動される 2 つの液晶パネルの表示画面の駆動タイミングを示すタイミングチャートである。

【図 11】第 2 の実施例を適用した液晶コントローラドライバの書き込み系回路の構成を示すブロック図である。 20

【図 12】第 2 の実施例を適用した液晶コントローラドライバを構成するリサイズ処理回路の構成例を示すブロック図である。

【図 13】第 2 の実施例のリサイズ処理回路における信号のタイミングを示すタイミングチャートである。

【図 14】図 14 ( A ) は第 2 の実施例のリサイズ処理の原理を示す説明図、図 14 ( B ) は縮小された画像データのイメージを示す説明図である。

【図 15】第 2 の実施例のリサイズ処理による 1 / 3 縮小の 3 つのパターンを示す説明図である。

【図 16】第 2 の実施例におけるリサイズ処理前の画像データとリサイズ処理後のメモリ内の圧縮データの格納状態を示す説明図である。 30

【図 17】液晶パネルの  $\gamma$  特性を補正する階調電圧を示す図である。

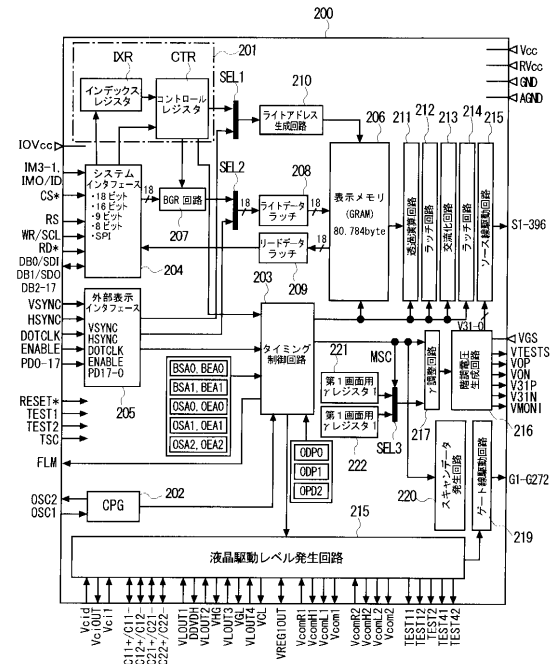
【図 18】第 3 の実施例を適用した液晶コントローラドライバにおけるインターバル・スキップの動作タイミングを示すタイミングチャートである。

【図 19】本発明を適用した液晶コントローラドライバの応用システムの一例としての携帯電話器の全体構成を示すブロック図である。

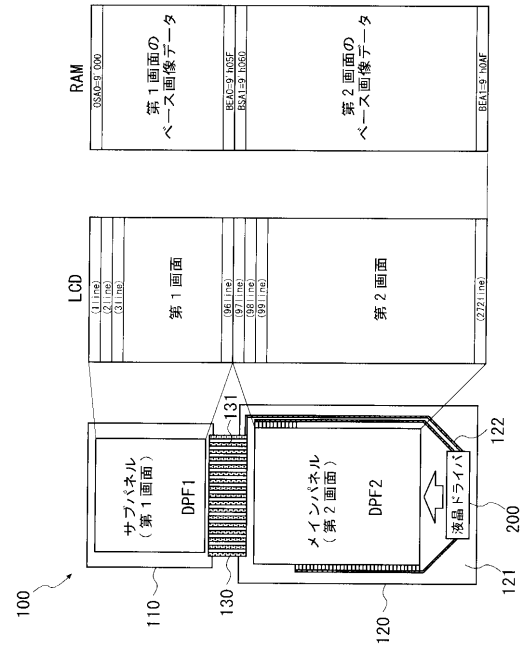
#### 【符号の説明】

- 1 0 0 表示装置 ( 液晶デバイス )
- 1 1 0 第 1 液晶パネル
- 1 2 0 第 2 液晶パネル
- 1 3 0 フレキシブル配線ケーブル ( F P C )
- 2 0 0 表示駆動制御装置 ( 液晶コントローラドライバ )
- 2 0 1 制御部
- 2 0 2 クロック信号生成回路 ( パルスジェネレータ )
- 2 0 3 タイミング制御回路
- 2 0 6 表示メモリ ( 表示メモリ )
- 2 0 7 ビット処理回路
- 2 1 0 ライトアドレス生成回路
- 2 1 1 透過演算回路

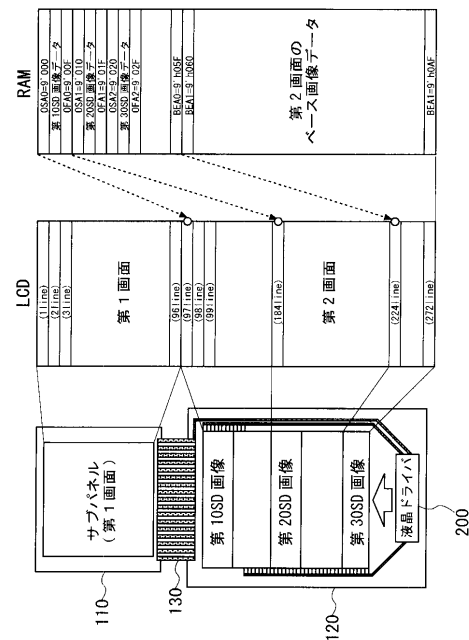
【図 1】



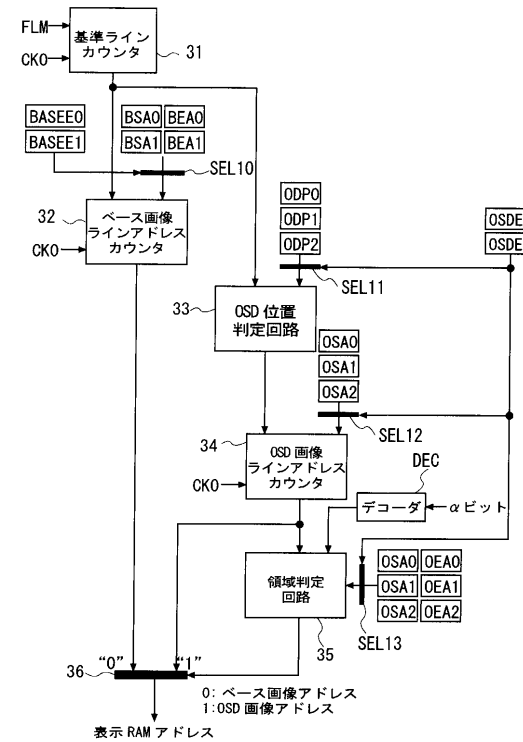
【図 2】



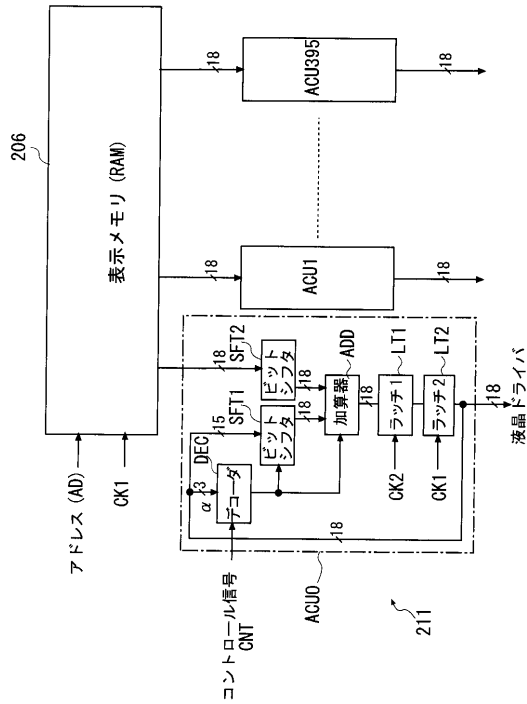
【図 3】



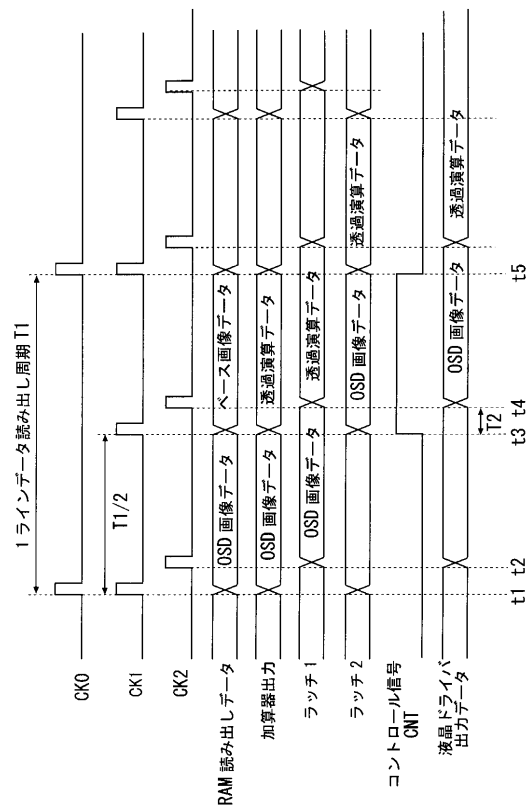
【図 4】



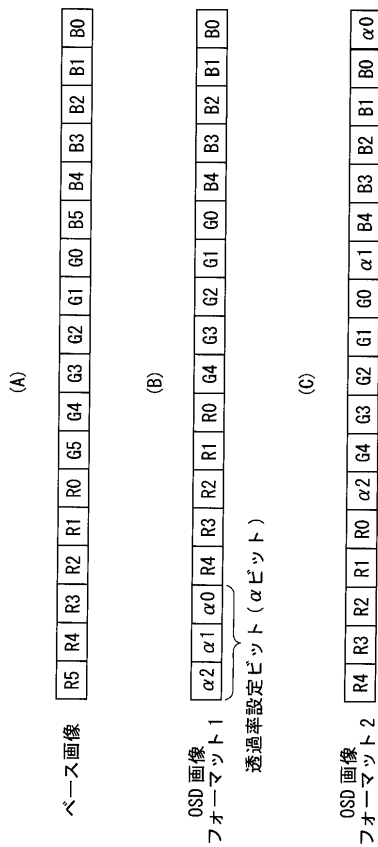
【図 5】



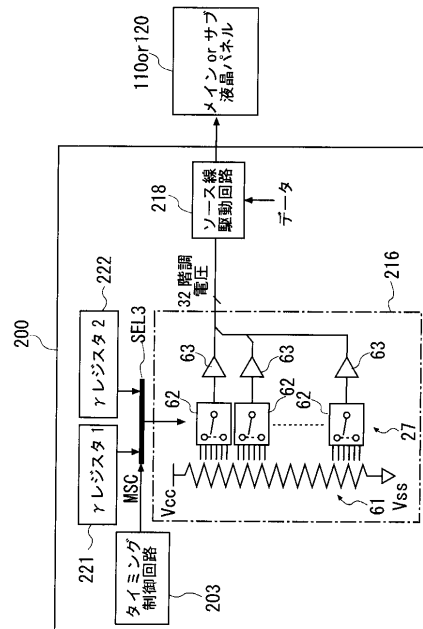
【図 6】



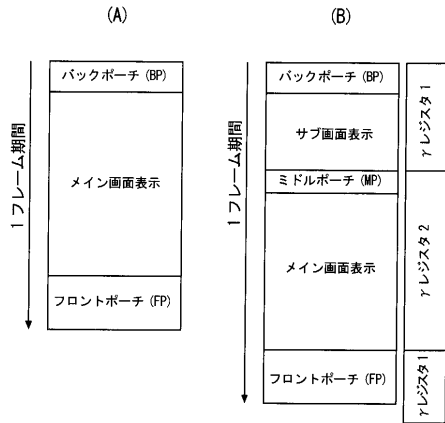
【図 7】



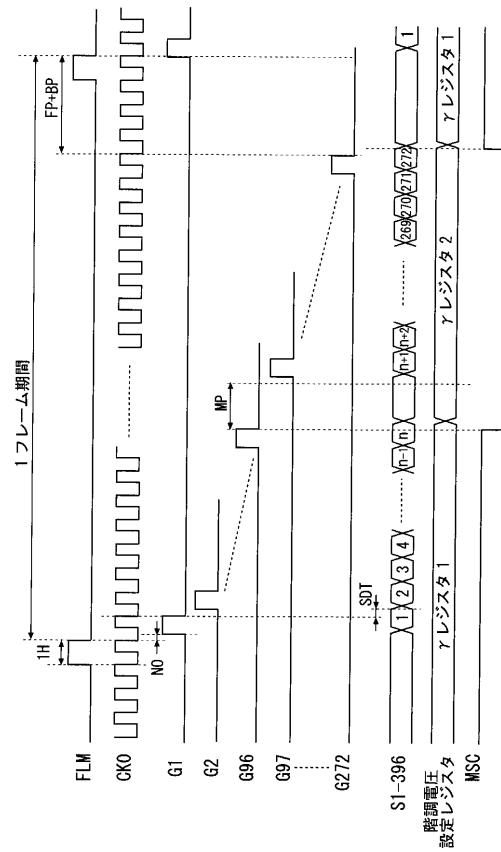
【図 8】



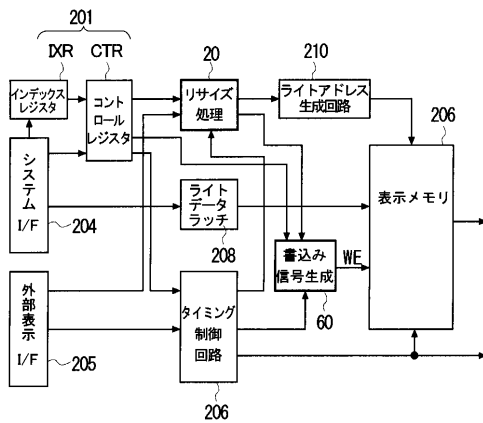
【図 9】



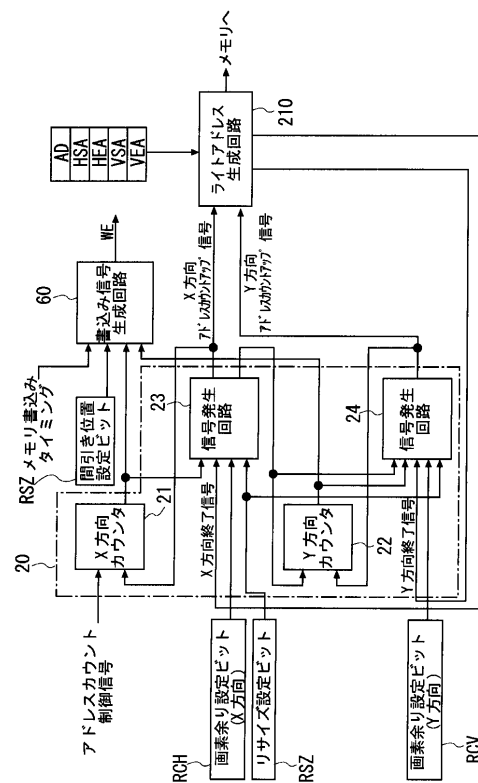
【図 10】



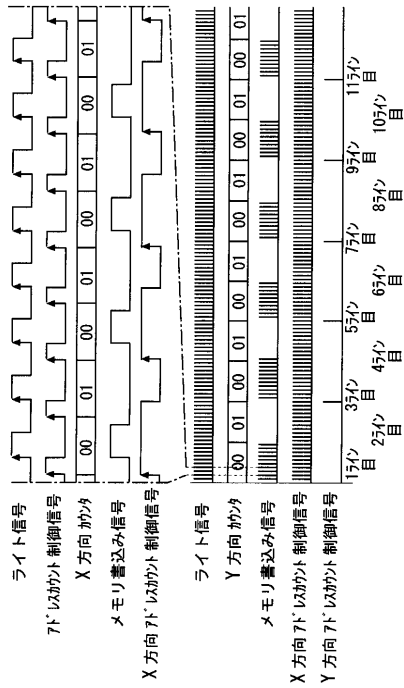
【図 11】



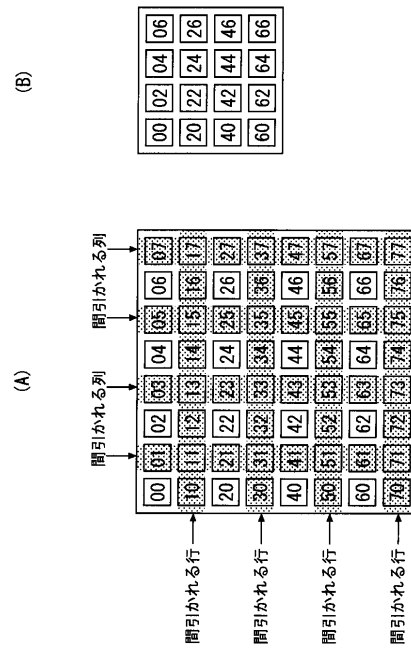
【図 12】



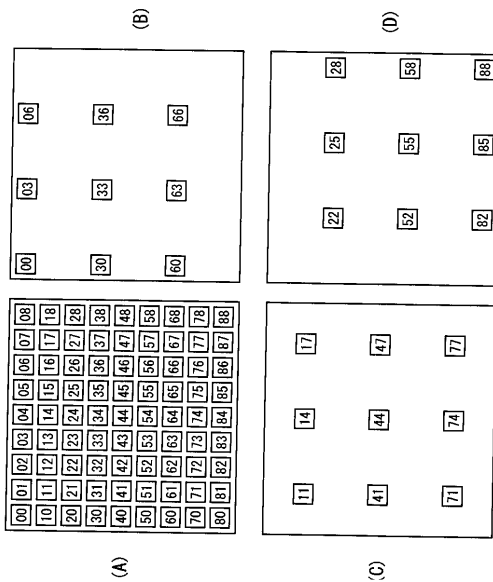
【図 13】



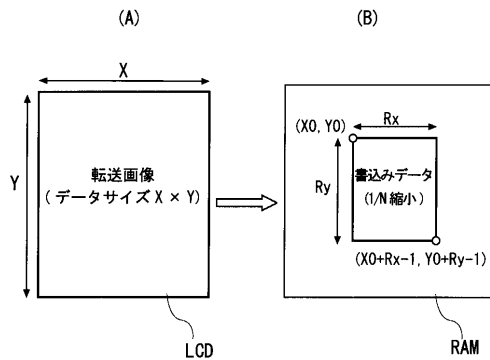
【図 14】



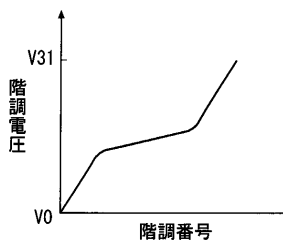
【図 15】



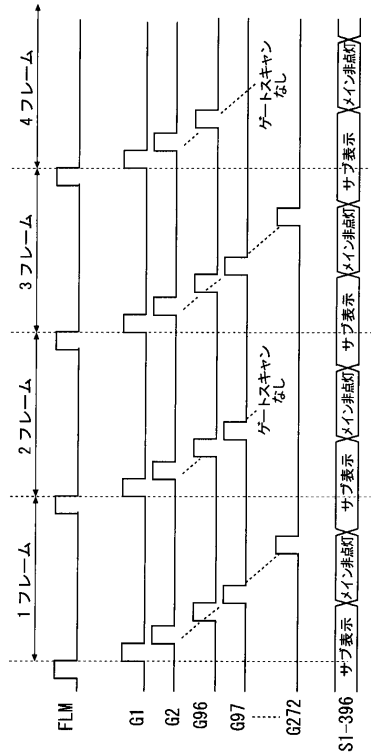
【図 16】



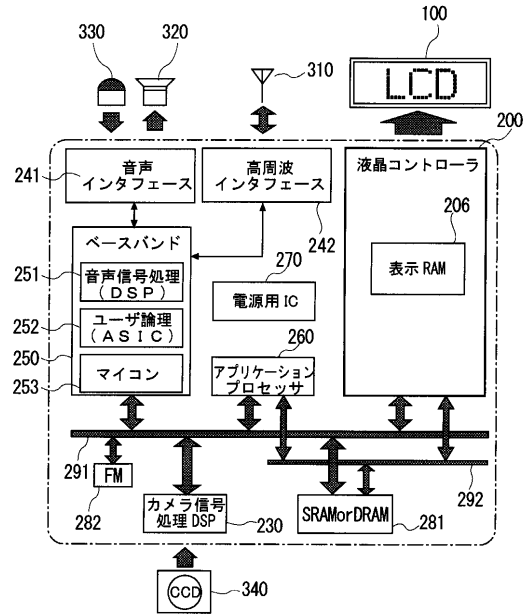
【図 17】



【図 18】



【図 19】



## フロントページの続き

| (51)Int.Cl. <sup>7</sup> | F I          | テーマコード(参考) |
|--------------------------|--------------|------------|
|                          | G 0 9 G 3/20 | 6 6 0 K    |
|                          | G 0 9 G 3/20 | 6 6 0 N    |
|                          | G 0 9 G 3/20 | 6 8 0 D    |
|                          | G 0 9 G 3/20 | 6 8 0 S    |

(72)発明者 田邊 圭

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

(72)発明者 黒川 康人

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

F ターム(参考) 2H093 NA16 NA53 NC13 NC16 NC22 NC26 NC27 NC29 NC34 NC50  
 ND17 ND49 ND54  
 5C006 AA22 AB01 AF01 AF12 AF27 BB11 BF02 BF03 BF04 BF15  
 BF28 FA44 FA47  
 5C080 AA10 BB05 CC03 CC10 DD22 DD26 DD27 EE21 EE30 EE32  
 GG12 JJ01 JJ02 JJ04 JJ06 KK07 KK47

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示设备和控制设备                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 公开(公告)号        | <a href="#">JP2004233742A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 公开(公告)日 | 2004-08-19 |
| 申请号            | JP2003023423                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   | 申请日     | 2003-01-31 |
| [标]申请(专利权)人(译) | 株式会社瑞萨科技<br>日立器件工程株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| 申请(专利权)人(译)    | 瑞萨科技公司<br>日立设备工程有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| [标]发明人         | 坂卷五郎<br>内田孝俊<br>田邊圭<br>黒川康人                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| 发明人            | 坂卷 五郎<br>内田 孝俊<br>田邊 圭<br>黒川 康人                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
| IPC分类号         | G02F1/133 G09G3/20 G09G3/36 G09G5/02 G09G5/36                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| CPC分类号         | G09G3/3688 G09G3/3611 G09G5/36 G09G5/39 G09G5/397 G09G2300/0426 G09G2310/0278<br>G09G2320/0673 G09G2330/021 G09G2340/0414 G09G2340/0421 G09G2340/12 G09G2360/04                                                                                                                                                                                                                                                                                                                                                |         |            |
| FI分类号          | G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.631.B G09G3/20.631.R G09G3/20.660.K<br>G09G3/20.660.N G09G3/20.680.D G09G3/20.680.S                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| F-TERM分类号      | 2H093/NA16 2H093/NA53 2H093/NC13 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC27 2H093/NC29 2H093/NC34 2H093/NC50 2H093/ND17 2H093/ND49 2H093/ND54 5C006/AA22 5C006/AB01 5C006/AF01 5C006/AF12 5C006/AF27 5C006/BB11 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF15 5C006/BF28 5C006/FA44 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/CC10 5C080/DD22 5C080/DD26 5C080/DD27 5C080/EE21 5C080/EE30 5C080/EE32 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK47 2H193/ZA04 2H193/ZD23 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |

#### 摘要(译)

解决的问题：在包括彩色液晶面板，用于驱动彩色液晶面板的液晶显示驱动控制装置和微处理器的系统中，减轻微处理器的负担并减少功耗。

解决方案：内置用于存储要在液晶面板上显示的图像数据的存储器（206），并从该存储器顺序读取图像数据，以生成彩色液晶面板的每个像素的三种原色的图像信号，以生成外部输出端子。从该装置输出的液晶显示驱动控制装置设置有透明计算电路（211），用于计算从内置存储器读取的两个图像数据并生成用于水印显示的数据，并且透明计算电路生成该数据。显示数据被提供给驱动器电路（218），并且该驱动器电路生成并输出用于液晶面板的驱动信号。[选择图]图3

