

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-93821

(P2004-93821A)

(43) 公開日 平成16年3月25日(2004.3.25)

(51) Int.Cl.⁷

G02F 1/1343

G02F 1/1335

G02F 1/1368

F I

G02F 1/1343

G02F 1/1335 500

G02F 1/1368

テーマコード (参考)

2H091

2H092

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願2002-253760 (P2002-253760)

(22) 出願日 平成14年8月30日 (2002.8.30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(74) 代理人 100093506

弁理士 小野寺 洋二

(72) 発明者 鴨志田 健太

千葉県茂原市早野3300番地 株式会社

日立製作所ディスプレイグループ内

Fターム(参考) 2H091 FA35Y FD02 HA06 LA16

2H092 GA13 GA15 JA24 JB62 NA01

QA06

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

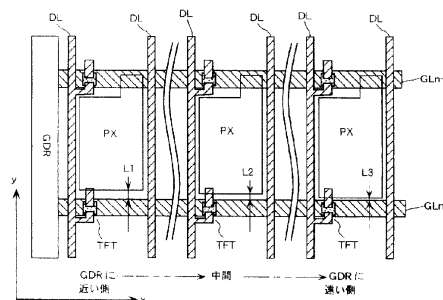
【課題】 ゲートドライバから遠い領域における残像やフリッカを十分に抑制して高品質の映像表示を可能とする。

○

【解決手段】 ゲート線GLの給電端であるゲートドライバGDRに近い側から遠い側（終端）に向けて、自段のゲート線GL_nと画素電極PXの当該自段のゲート線GL_n側端部との間の間隔L₁、L₂、L₃をL₁>L₂>L₃の如く、徐々に小さくし、画素電極PXと自段のゲート線GL_nの間の容量であるゲート・ソース間容量C_{gs}をゲートドライバGDRから遠くなるに従って徐々に大きくした。

【選択図】 図4

図4



【特許請求の範囲】

【請求項 1】

第 1 基板と第 2 基板の対向間隙に液晶を挟持し、前記第 1 基板の主面上で一方向に延在し、前記位置方向と交差する他方向に並設された多数の走査信号線および前記他方に延在し前記一方向に並設された多数の映像信号線と、前記走査信号線と映像信号線の交差部のそれぞれに設けたアクティブ素子と、前記アクティブ素子で駆動される画素電極とを有し、画素をマトリクス状に配置して表示領域とした液晶表示装置であって、前記画素は前記走査信号線の隣接する二本と前記映像信号線の隣接する 2 本で囲まれた領域に形成され、
所定の画素電極を駆動するアクティブ素子に接続された走査信号線側端部と当該所定の画素電極との間の間隔を前記走査信号線の給電端から遠ざかる距離に応じて徐々に小さくしたことを特徴とする液晶表示装置。 10

【請求項 2】

前記画素電極の夫々の領域内に開口を有する遮光膜を具備したことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

第 1 基板と第 2 基板の対向間隙に液晶を挟持し、前記第 1 基板の主面上で一方向に延在し、前記位置方向と交差する他方向に並設された多数の走査信号線および前記他方に延在し前記一方向に並設された多数の映像信号線と、前記走査信号線と映像信号線の交差部のそれぞれに設けたアクティブ素子と、前記アクティブ素子で駆動される画素電極とを有し、
画素をマトリクス状に配置して表示領域とした液晶表示装置であって、
前記画素は前記走査信号線の隣接する二本と前記映像信号線の隣接する 2 本で囲まれた領域に形成され、
所定の画素電極を駆動するアクティブ素子に接続された走査信号線と当該所定の画素電極の自段の走査信号線側端部との間の間隔を前記走査信号線の給電端から中間部に至る距離に応じて徐々に小さくしたことを特徴とする液晶表示装置。 20

【請求項 4】

前記画素電極の夫々の領域内に開口を有する遮光膜を具備したことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記走査信号線の両端に駆動回路が接続されていることを特徴とする請求項 3 に記載の液晶表示装置。 30

【請求項 6】

前記遮光層の開口部が、前記走査信号線の給電端に近い側で遠い側より小さいことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 7】

前記遮光層の開口部が、前記走査信号線の中間部で給電端に近い側より大きいことを特徴とする請求項 4 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係り、特に走査信号線が長い比較的大画面をもつ液晶表示パネルにおける表示むらとフリッカの発生を抑制して高品質の画像表示を可能とした液晶表示装置に関する。

【0002】

【従来の技術】

コンピュータやその他の情報機器の高精細度カラーモニター、あるいはテレビ受像機の表示デバイスとして液晶表示装置が広く用いられている。液晶表示装置は、基本的には少なくとも一方が透明なガラス等からなる二枚の（一对の）基板の間に液晶層を挟持した所謂液晶表示パネルを有し、この液晶表示パネルの基板に形成した画素形成用の各種電極に選 40 50

択的に電圧を印加して所定画素の点灯と消灯を行う形式、上記各種電極と画素選択用のアクティブ素子（薄膜トランジスタ等、以下ではアクティブ素子の典型例として薄膜トランジスタを用いるものとして説明する）を形成してこのアクティブ素子を選択することにより当該薄膜トランジスタで駆動される画素電極と共通電極あるいは対向電極との間に挟持される液晶から構成される所定画素の点灯と消灯を行う形式とに分類される。

【0003】

特に、後者の形式の液晶表示装置はアクティブ・マトリクス型と称し、コントラスト性能、高速表示性能等から液晶表示装置の主流となっている。アクティブ・マトリクス型液晶表示装置は、一方の基板に形成した電極と他方の基板に形成した電極との間に液晶層の配向方向を変えるための電界を印加する、所謂縦電界方式（TN方式）と、液晶層に印加する電界の方向を基板面とほぼ平行な方向とする、所謂横電界方式（IPS方式）の液晶表示装置などが知られている。

10

【0004】

この種の液晶表示装置は、一般に一对の基板の一方に走査信号線（以下、ゲート線）およびこのゲート線と交差する映像信号線（以下、ドレイン線）を有する。ゲート線とドレイン線の交差部にはアクティブ素子として薄膜トランジスタ等のスイッチング素子を有する。以下ではアクティブ素子の典型例として薄膜トランジスタを用いるものとして説明する。そして、ゲート線の延在方向と直交する上記一方の基板の一辺または平行する二辺に走査信号線駆動回路チップ（以下、ゲートドライバ）が設置され、ゲート線の端部から走査信号が給電される。そして、上記一方の基板の上記ドレイン線の延在方向と直交する一辺または平行する二辺には映像信号線駆動回路チップ（以下、ドレインドライバ）が設置され、ドレイン線の端部から映像信号が供給される。

20

【0005】

また、前記したTN方式では、一对の基板の他方に共通電極を有し、IPS方式では上記一方の基板に対向電極を備えている。何れの方式の液晶表示装置でも、ゲート線とドレイン線の交差部分に薄膜トランジスタ等のアクティブ素子を画素毎に有する。選択されたゲート線のアクティブ素子で駆動される画素電極と共通電極あるいは対向電極との間に電界を生成して画素の点灯を行う。

【0006】

【発明が解決しようとする課題】

30

液晶表示装置は薄形、低消費電力と共に、高精細化が進みブラウン管（CRT）ディスプレイから置き換わりが顕著である。しかし、液晶表示パネルの画面サイズが大きくなると、ドレイン線やゲート線の延在長さが長くなる。通常、ドレイン線よりもゲート線の長さが長くなる。ゲート線はアルミニウムを主成分とした金属材料等の薄層で構成されるため、その抵抗値は給電端すなわちゲートドライバから遠くなるほど大きくなり、給電されるゲート信号（パルス）に波形歪みが生じる。その結果、画面のちらつきや残像が発生し易い。

【0007】

図1は大画面化に伴う画面のちらつきや残像の発生を説明する模式図である。図中、参照符号PNLは液晶表示パネルであり、ゲート線GLとドレイン線DLの交差部に画素を有した表示領域ARが形成される。表示領域ARの回りにゲートドライバGDRとドレインドライバDDRが設置されている。この構成例では、液晶表示パネルPNLの表示領域ARの短辺側（x方向）の片側にゲートドライバGDRが設置され、長辺側（y方向）の片側のドレインドライバDDRが設置されている。

40

【0008】

ゲート線GLはゲートドライバGDRの設置辺側から、その反対側の短辺方向に延在して敷設され、一端からゲート信号が給電されている。このような構成では、図中に参照符号ZNで示した領域、すなわちゲート信号の給電端（ゲートドライバ側）から遠い領域に残像やフリッカが発生し易い。このような残像やフリッカは、ドレイン線DLから画素に書き込まれる電圧がゲートドライバGDRに近い側（給電端側）と遠い側（終端側）とで異

50

なることによる。画素に書き込まれた信号電荷は当該画素を構成する容量に依存する。

【0009】

すなわち、書込み電圧の信号波形はゲートドライバから遠い側の画素で鈍り、波形歪を生じる。その結果と当該終端側の画素に書き込まれる電圧は小さくなって、図1で説明したような領域Z_N近傍で残像やフリッカが発生し易い。この波形歪は薄膜トランジスタのゲート・オフのタイミングを遅らせると共に、ゲート・オフ時のゲート・ソース間容量を介して飛び込む電圧によるソース電極電位低下成分を小さくしてしまう。このことは、ゲート線の給電端側に対して終端側のソース電極電位が高くなることを意味する。

【0010】

画素電極と液晶を介して対向する電極（共通電極、対向電極）は表示領域内に一様に一定の電圧が印加されていることから、当該液晶に印加される電圧はゲート線の給電端側と終端側とで異なってしまう、輝度変化で画面にちらつきが生じることになる。

【0011】

また、ゲート線に印加されるオン電圧とオフ電圧の差が終端側に向かって徐々に小さくなり、画素電極の電位が給電端側と終端側とで異なってくる。そのため、画素電極の中間電位と当該画素電極に液晶を介して対向する電極（共通電極、対向電極）の電位にずれが生じ、これがDC成分となって残像が発生する。

【0012】

このような現象を回避するための対策として従来では、薄膜トランジスタのソース電極とゲート線の交差容量をゲート線の延在方向で変えるようにしたもの（特開2000-147539）、あるいは前段のゲート線幅を変えて画素電極との交差容量を変化させて付加容量をゲート線方向で変えるもの（特開2000-338523）、または画素電極の位置をずらしてゲート線との交差容量を変化させることで付加容量をゲート線方向で変える（特開平10-39328）ものが提案されている。しかし、このような手段を用いても、前記した残像やフリッカの発生を十分に低減させることは難しい。

【0013】

本発明の目的は、前記した従来技術の如き手段を用いることなく、ゲートドライバから遠い領域における残像やフリッカを十分に抑制して高品質の映像表示を可能とした液晶表示装置を提供することにある。

【0014】

【課題を解決するための手段】

先ず、上記目的を達成するための本発明による技術思想の概念を説明する。図2および図3は液晶表示装置の一画素の等価回路の模式図であり、図1は薄膜トランジスタがオン（ON）状態を、図2は同オフ（OFF）状態を示す。図2及び図3において、参照符号DLはドレイン線、GL_nは自段ゲート線、GL_{n-1}は前段ゲート線、PXは画素電極、COMは共通電極である。なお、薄膜トランジスタはドレイン線DLと自段ゲート線GL_nの交差部に有するが、図示はしていない。

【0015】

また、V_{goff}は前段ゲート線GL_{n-1}の電位、V_{gon}は自段ゲート線GL_nの電位、V_{d1}、V_{d2}はドレイン線DLの電位、V_{com}は共通電極COMの電位を示す。そして、C_{ds}はドレイン・ソース間容量、C_{gs}はゲート・ソース間容量、C_{add}は付加容量、C_{lc}は液晶容量である。

【0016】

図1のオン状態では画素電極PXの電位はドレイン線DLの電位V_{d1}と見なすことができる。このオン状態で画素電極PXに蓄積される電荷Q₁は、

【数1】

$$Q_1 = C_{lc}(V_{d1} - V_{com}) + C_{gs}(V_{d1} - V_{gon}) + C_{ds}(V_{d1} - V_{d1}) + C_{add}(V_{d1} - V_{goff}) \\ = C_{lc}(V_{d1} - V_{com}) + C_{gs}(V_{d1} - V_{gon}) + C_{add}(V_{d1} - V_{goff}) \quad \dots\dots\dots \{ 1 \}$$

で表される。

10

20

30

40

50

【0017】

また、オフ状態での画素電極PXの電荷Q2は、

【数2】

$$Q2 = C_{lc}(V_{px} - V_{com}) + C_{gs}(V_{px} - V_{goff}) + C_{ds}(V_{px} - V_{d2}) + C_{add}(V_{px} - V_{goff}) \quad \text{----- (2)}$$

となる。

【0018】

画素電極PXの電荷自体は、オン状態からオフ状態への切り替わり前後で変わらないため 10

【数3】

$$Q1 = Q2 \quad \text{----- (3)}$$

である。

【0019】

これにより、

【数4】

$$\begin{aligned} & (C_{lc} + C_{gs} + C_{add})V_{d1} - C_{gs} \cdot V_{gon} \\ & = (C_{lc} + C_{gs} + C_{ds} + C_{add})V_{px} - C_{gs} \cdot V_{goff} - C_{ds} \cdot V_{d2} \quad \text{----- (4)} \end{aligned} \quad 20$$

となる。

【0020】

変形していくと、

【数5】

$$\begin{aligned} (C_{lc} + C_{gs} + C_{ds} + C_{add})V_{px} &= (C_{lc} + C_{gs} + C_{add})V_{d1} - C_{gs} \cdot V_{gon} \\ & \quad + C_{gs} \cdot V_{goff} + C_{ds} \cdot V_{d2} \quad \text{----- (5)} \end{aligned} \quad 30$$

【数6】

$$V_{px} = \frac{(C_{lc} + C_{gs} + C_{add})V_{d1} - C_{gs} \cdot V_{gon} + C_{gs} \cdot V_{goff} + C_{ds} \cdot V_{d2}}{(C_{lc} + C_{gs} + C_{ds} + C_{add})} \quad \text{----- (6)}$$

40

【数7】

$$V_{px} = V_{d1} - \frac{C_{gs}(V_{gon} - V_{goff})}{(C_{lc} + C_{gs} + C_{ds} + C_{add})} - \frac{C_{ds}(V_{d1} - V_{d2})}{(C_{lc} + C_{gs} + C_{ds} + C_{add})} \quad \text{----- (7)}$$

【0021】

したがって、薄膜トランジスタのオンからオフへの画素電極電位の変動量V'は

【数8】

50

$$V' = V_{d1} - V_{px} = \frac{C_{gs}(V_{gon} - V_{goff})}{(C_{lc} + C_{gs} + C_{ds} + C_{add})} + \frac{C_{ds}(V_{d1} - V_{d2})}{(C_{lc} + C_{gs} + C_{ds} + C_{add})} \quad (8)$$

【0022】

(8)式において、右辺の第1項が自段のゲート線GLnの電圧がオンからオフに切り替わることによる飛び込み電圧である。また右辺の第2項はドレイン線DLの影響による項であるが、薄膜トランジスタがオフ状態でのドレイン線の電圧Vd2は保持期間中に変わる値であり、かつドレイン線DLへの映像信号が交流化されていることにより、時間平均で0となる。

10

【0023】

したがって、上記第2項は定数と見ることができ、薄膜トランジスタのオン状態からオフ状態への切り替わりの影響は、

【数9】

$$V'' = \frac{C_{gs}(V_{gon} - V_{goff})}{(C_{lc} + C_{gs} + C_{ds} + C_{add})} \quad (9)$$

が支配的である。

20

【0024】

(9)式から明らかに、ゲート・ソース間容量Cgsの値が自段のゲート線GLnの変化量である「Vgon - Vgoff」に乗じて分子となる。ゲート線を伝わる走査信号は、表示領域における給電端側に比べて中間領域、および終端領域では徐々に波形の鈍りが生じるため、実効的なVgonの値は徐々に低下する。

【0025】

このため、「Vgon - Vgoff」の値が徐々に低下し、(9)式に示したV''がゲート線の給電端側に比べて給電端から遠い側では低い値となって、画素電極PXに加わる電位がゲート線の給電端側と終端側とで異なった値となる。この結果、画素電極PXに加わる電位にずれが生じ、これがDC成分となって残像やフリッカが表示面内に不均一に生

30

【0026】

これを解決するために、前記の特開2000-338523や特開平10-39328では、ゲート線の線幅を終端側に向かって大きくしたり交差容量を大きくすることで付加容量Caddを変えている。しかし、付加容量Caddは(9)式に示されたように分母にあるため、変動量を大きくする必要がある。その結果、終端方向で開口率が低下するという弊害が生じる。

【0027】

上記のような弊害を解消するには、前記の特開2000-147539に提案されたように、(9)式の分子を構成するゲート・ソース間容量Cgsを変化させればよい。しかし、特開2000-147539に開示されたゲート・ソース間容量Cgsを変化させるための構成では、構造が複雑であるため、ゲート・ソース間容量Cgsが所要の変化となるように製造することが難しく、コスト低減の支障の一つとなっている。

40

【0028】

この課題を解決するため、本発明の解決手段の基本思想は、自段のゲート線と画素電極の距離を給電端側から遠い側に向けて徐々に狭めることでゲート・ソース間容量Cgs(画素電極と自段のゲート線間の容量)を変化させる点にある。本発明の代表的な構成を記述すれば次のとおりである。

【0029】

(1)、第1基板と第2基板の対向間隙に液晶を挟持し、前記第1基板の主面上で一方向

50

に延在し、前記位置方向と交差する他方向に並設された多数のゲート線（走査信号線）および前記他方に延在し前記一方向に並設された多数のドレイン線（映像信号線）と、前記ゲート線とドレイン線の交差部のそれぞれに設けた薄膜トランジスタ等のアクティブ素子と、前記アクティブ素子で駆動される画素電極とを有し、画素をマトリクス状に配置して表示領域とした液晶表示装置であって、

前記画素は前記ゲート線の隣接する二本と前記ドレイン線の隣接する２本で囲まれた領域に形成され、

所定の画素電極を駆動するアクティブ素子に接続されたゲート線側端部と当該所定の画素電極との間の間隔を前記ゲート線の給電端から遠ざかる距離に応じて徐々に小さくした。

【００３０】

これにより、ゲート波形歪みの増大による飛び込み量の減少をC g s増大により補償できるため、フリッカ、残像の低減が実現する。

【００３１】

前記の構成において、前記画素電極の夫々の領域内に開口を有する遮光膜（ブラックマトリクス）を具備することができる。遮光膜を具備するものにおいて、自段のゲート線と遮光膜の自段のゲート線側における開口内縁との間隔を前記ゲートドライバからの距離に応じて大きくすることで、開口率が向上できる。

【００３２】

また、前記遮光膜の開口面積を前記ゲートドライバからの距離に応じて広くすることで輝度均一化の効果が得られる。ゲート給電端から遠ざかるに従い生じるゲート信号の波形なまりの増大による輝度低下を、開口率向上で補償することができるからである。また、前記画素電極を横断して前記一方向に延在する保持容量線を設けた形式の液晶表示装置についても上記の構成を適用できる。

【００３３】

上記した液晶表示装置は、例えばT N型であれば、画素電極は画素領域の略全域内に当該画素の形状に略倣って形成されている。次段のゲート線に近接する画素電極の端縁は、当該次段のゲート線と略平行に存在する。この平行する両者の間隔を当該ゲート線に走査信号を給電するゲートドライバから遠ざかるに従って狭くすることにより、前記した薄膜トランジスタのゲート・ソース間容量C g sは徐々に大きくなる。I P S型でも画素電極の形成領域は異なるが、同様の思想が適用できる。

【００３４】

これにより、ゲート線の給電端側と給電端から遠い側とで画素電極に加わる電位を略均一とすることができ、残像やフリッカの発生が低減される。そして、本構成は画素電極とゲート線のパターンングで実現できるため、製造が簡単であり、歩留りが向上し、低コスト化が達成される。

【００３５】

（２）、第１基板と第２基板の対向間隙に液晶を挟持し、前記第１基板の主面上で一方向に延在し、前記位置方向と交差する他方向に並設された多数のゲート線および前記他方に延在し前記一方向に並設された多数のドレイン線と、前記ゲート線とドレイン線の交差部のそれぞれに設けた薄膜トランジスタ等のアクティブ素子と、前記アクティブ素子で駆動される画素電極とを有し、画素をマトリクス状に配置して表示領域とした液晶表示装置であって、

前記画素は前記ゲート線の隣接する二本と前記ドレイン線の隣接する２本で囲まれた領域に形成され、

所定の画素電極を駆動するアクティブ素子に接続された前記自段のゲート線と当該所定の画素電極の自段のゲート線側端部との間の間隔を前記ゲートドライバから中間部に至る距離に応じて徐々に小さくした。

【００３６】

これにより、ゲート波形歪みの増大による飛び込み量の減少をC g s増大により補償できるため、フリッカ、残像の低減が実現する。

10

20

30

40

50

【0037】

前記の構成において、前記画素電極の夫々の領域内に開口を有する遮光膜（ブラックマトリクス）を具備することができる。このとき、前記自段のゲート線と前記遮光膜の前記自段のゲート線側における開口内縁との間隔を前記ゲートドライバからの距離に応じて大きくすることで、表示画面全域で、前記と同様に、輝度の均一化を図ることができる。また、前記画素電極を横断して前記一方向に延在する保持容量線を設けた形式の液晶表示装置についても上記の構成を適用できる。

【0038】

なお、ゲート線を交互に配置し、それぞれのゲート線の一端から給電する片側給電方式を組み合わせた方式に対しても本発明は同様に適用できる。また、本発明は上記構成および後述する実施例の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変更が可能であることは言うまでもない。

【0039】

【発明の実施の形態】

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。

【0040】

図4は本発明による液晶表示装置の第1実施例を説明する画素部回りの模式図である。本実施例はTN型の液晶表示装置に本発明を適用したものである。図4において、参照符号GDRはゲートドライバ、DLはドレイン線、GL_nは自段のゲート線、GL_{n-1}は前段のゲート線、PXは画素電極、TFTは薄膜トランジスタを示す。また、L₁、L₂、L₃は自段のゲート線GL_nと画素電極PXの当該自段のゲート線GL_n側端部との間の間隔である。

【0041】

そして、ゲート線の給電端であるゲートドライバGDRに近い側から遠い側（終端）に向けて、自段のゲート線GL_nと画素電極PXの当該自段のゲート線GL_n側端部との間の間隔L₁、L₂、L₃をL₁>L₂>L₃の如く、徐々に小さくしてある。したがって、画素電極PXと自段のゲート線GL_nの間の容量であるゲート・ソース間容量C_{gs}はゲートドライバGDRから遠くなるに従って徐々に大きくなる。前段のゲート線GL_{n-1}や二本のドレイン線DLと画素電極PXの間隔はゲートドライバGDRに近い側も遠い側も同一としてある。

【0042】

本実施例により、ゲート線の給電端側と給電端から遠い側とで画素電極に加わる電位が略均一となり、ドレイン線から画素に書き込まれる書込み電圧の表示画面内における不均一が抑制され、残像やフリッカの発生が低減される。

【0043】

図5は本発明による液晶表示装置の第2実施例を説明する画素部回りの模式図である。図中、BMは遮光膜（ブラックマトリクス）、図4と同一の参照符号は同一機能部分に対応する。また、W₁、W₂、W₃は遮光膜BMの開口内縁と自段のゲート線GL_nとの間隔を示す。

【0044】

本実施例は、前記した第1実施例に遮光膜BMを設けたものである。そして、ゲート線の給電端であるゲートドライバGDRに近い側から遠い側（終端）に向けて、自段のゲート線GL_nと遮光膜BMの開口内縁と当該自段のゲート線GL_nとの間の間隔W₁、W₂、W₃をW₁<W₂<W₃の如く、徐々に大きくしてある。遮光膜BMと前段のゲート線GL_{n-1}や二本のドレイン線DLの間隔はゲートドライバGDRに近い側も遠い側も同一としてある。したがって、開口率は表示画面の全域で同一である。

【0045】

本実施例により、ゲート線の給電端側と給電端から遠い側とで画素電極に加わる電位が略均一となり、ドレイン線から画素に書き込まれる書込み電圧の表示画面内における不均一が抑制され、残像やフリッカの発生が低減される。また、遮光膜BMを設けることでコン

10

20

30

40

50

トラストが向上し、高精細な映像表示を得ることができる。

【0046】

図6は本発明による液晶表示装置の第3実施例を説明する画素部回りの模式図である。図中、図5と同一の参照符号は同一機能部分に対応する。本実施例では自段のゲート線 GL_n と遮光膜 BM の開口内縁と当該自段のゲート線 GL_n との間の間隔 W_1 、 W_2 、 W_3 を $W_1 > W_2 > W_3$ の如く、徐々に小さくした。遮光膜 BM と前段のゲート線 GL_{n-1} や二本のドレイン線 DL の間隔はゲートドライバ GDR に近い側も遠い側も同一としてある。したがって、開口率はゲートドライバ GDR に近い側から遠い側（終端）に向けて大きくなる。

【0047】

10

本実施例によれば、前記の第2実施例の効果に加えて、輝度均一化が実現する。

【0048】

図7は本発明による液晶表示装置の第4実施例を説明する画素部回りの模式図である。図中、 HL は保持容量線、図4と同一の参照符号は同一機能部分に対応する。図1では説明した保持容量 $Cstg$ の一方の電極を前段のゲート線 GL_{n-1} としてあるが、本実施例では、保持容量線 HL を設けて保持容量 $Cstg$ を形成している。その他の構成は図4と同様であり、効果も同等であるので、繰り返しの説明はしない。

【0049】

図8は本発明による液晶表示装置の第5実施例を説明する画素部回りの模式図である。本実施例は、所謂 IPS 型の液晶表示装置に本発明を適用したものである。すなわち、アク
20
ティブ素子である薄膜トランジスタ TFT を形成した第1基板に画素電極 PX と、この画素電極に対向して当該画素電極との間に電界を形成する対向電極 CT を有する。画素電極 PX は、薄膜トランジスタ TFT のソース電極に接続されて、自段のゲート線 GL_n に隣接して延在する部分を有した略 L 字形を有している。当該略 L 字形の遊端は前段のゲート線 GL_{n-1} に一部重畳している。

【0050】

そして、画素電極 PX の自段のゲート線 GL_n に隣接して延在する部分と当該自段のゲート線 GL_n 側端部との間の間隔 L_1 、 L_2 、 L_3 を $L_1 > L_2 > L_3$ の如く、ゲートドライバ GDR から遠ざかる距離に応じて徐々に小さくした。本実施例の構成による効果は図
30
4で説明した第1実施例と同様であり、ゲート線の給電端側と給電端から遠い側とで画素電極に加わる電位が略均一となり、ドレイン線から画素に書き込まれる書込み電圧の表示画面内における不均一が抑制され、残像やフリッカの発生が低減される。

【0051】

図9は本発明による液晶表示装置の第6実施例を説明する画素部回りの模式図である。本実施例は図8に示した IPS 型の液晶表示装置において、保持容量線 HL を設け、保持容量 $Cstg$ の一方の電極を前段のゲート線 GL_{n-1} に代えて保持容量線 HL を用いたものである。その他の構成は図8と同様であり、効果も同等であるので、繰り返しの説明はしない。

【0052】

図10は本発明による液晶表示装置の第7実施例を説明する画素部回りの模式図である。
40
図中、参照符号 $GDR-1$ は第1のゲートドライバ、 $GDR-2$ は第2のゲートドライバ、 L_{11} 、 L_{12} 、 L_{13} 、 L_{14} 、 L_{15} は画素電極と自段のゲート線 G_n との間の間隔を示す。図4と同一参照符号は同一機能部分に対応する。本実施例は、図4に示した TN 型の液晶表示装置におけるゲート線への給電を両端から行うように構成した点を除いて図4と同様の画素構成である。このような構成では、表示画面の中央部分で書込み電圧が小さくなる。

【0053】

そのため、本実施例では、第1のゲートドライバ $GDR-1$ に近い側の画素電極 PX と自段のゲート線 G_n との間の間隔 L_{11} 、および第2のゲートドライバ $GDR-2$ に近い側の画素電極 PX と自段のゲート線 G_n との間の間隔 L_{15} が大きく、中央の部分における
50

画素電極 P X と自段のゲート線 G n との間の間隔 L 1 3 が小さくなるように、 $L 1 1 > L 1 2 > L 1 3 < L 1 4 < L 1 5$ の関係に設定した。

【0054】

本実施例により、ゲート線の一方の給電端側と他方の給電端のそれぞれに近い側の画素電極と両給電端の中央部分の画素電極に加わる電位が略均一となり、ドレイン線から画素に書き込まれる書込み電圧の表示画面内における不均一が抑制され、残像やフリッカの発生が低減される。

【0055】

図 1 1 は本発明による液晶表示装置の第 8 実施例を説明する画素部回りの模式図である。本実施例は、図 1 0 で説明した実施例に前記図 5 で説明したものと同様の遮光膜 B M を設けたものである。図中、参照符号 W 1 1, W 1 2, W 1 3, W 1 4, W 1 5 は遮光膜 B M の開口内縁と自段のゲート線 G n との間の間隔、図 5 および図 1 0 と同一符号は同一機能部分に対応する。 10

【0056】

本実施例では、図 1 0 の構成に加えて、遮光膜 B M の開口内縁と自段のゲート線 G n との間の間隔について、第 1 のゲートドライバ G D R - 1 に近い側の遮光膜 B M の開口内縁と自段のゲート線 G n との間の間隔 W 1 1、および第 2 のゲートドライバ G D R - 2 に近い側の遮光膜 B M の開口内縁と自段のゲート線 G n との間の間隔 W 1 5 および中央の部分の同間隔 L 1 3 を等しくした。すなち、 $W 1 1 = W 1 2 = W 1 3 = W 1 4 = W 1 5$ としたものである。本実施例の効果は図 1 0 の実施例の効果に加えて図 5 で説明した第 2 実施例と 20 同様の効果を奏する。

【0057】

図 1 2 は本発明による液晶表示装置の第 9 実施例を説明する画素部回りの模式図である。本実施例は、図 1 0 で説明した実施例に前記図 6 で説明したものと同様の遮光膜 B M を設けたものである。すなわち、図 1 0 の構成に加えて、遮光膜 B M の開口内縁と自段のゲート線 G n との間の間隔について、第 1 のゲートドライバ G D R - 1 に近い側の遮光膜 B M の開口内縁と自段のゲート線 G n との間の間隔 W 1 1、および第 2 のゲートドライバ G D R - 2 に近い側の遮光膜 B M の開口内縁と自段のゲート線 G n との間の間隔 W 1 5 を大きくし、中央の部分の同間隔 L 1 3 を小さくした。すなち、 $W 1 1 > W 1 2 > W 1 3 < W 1 4 < W 1 5$ としたものである。本実施例の効果は図 1 0 の実施例の効果に加えて図 6 で説明した第 2 実施例と同様の効果を奏する。 30

【0058】

以上の各実施例の構成により、液晶表示パネルの画面サイズが大きくなってゲート線の延在長さが長くなっても、給電端すなわちゲートドライバから遠くなるほど大きくなるゲート信号（パルス）の波形歪みによる書込み電圧の不均一性を抑制し、表示画面の全域でちらつきや残像の発生を回避した高品質の液晶表示装置を提供できる。

【0059】

図 1 3 は一般的なアクティブ・マトリクス型液晶表示装置の構成と駆動システムの説明図である。この種の液晶表示装置は、液晶表示パネル P N L と、この液晶表示パネル P N L の周辺にドレインドライバ D D R とゲートドライバを有する。これらドレインドライバ D D R とゲートドライバ G D R に映像表示のための表示データやクロック信号、階調電圧などを供給する表示制御手段である表示制御装置 C R L、電源回路 P W U を備えている。 40

【0060】

コンピュータ、パソコン、あるいはテレビ受像回路などの外部信号源からの表示データと制御信号クロック、表示タイミング信号、同期信号などの各種電圧信号は表示制御装置 C R L に入力する。表示制御装置 C R L には、階調基準電圧生成部、タイミングントローラ T C O N などが備えられており、外部からの表示データと各種電圧信号を液晶表示パネル P N L での表示に適合した形式のデータに変換する。ドレインドライバ D D R とゲートドライバ G D R に対する表示データとクロック信号は図示したように供給される。ドレインドライバ D D R の前段のキャリー出力は、そのまま次段のドレインドライバのキャリー入 50

力に与えられる。

【0061】

図14は液晶表示パネルの各ドライバの概略構成と信号の流れを示すブロック図である。ドレインドライバDDRは映像信号等の表示データのデータラッチ部と出力電圧発生回路とから構成される。また、階調基準電圧生成部HTV、マルチプレクサMPX、コモン電圧生成部CVD、コモンドライバCDD、レベルシフト回路LST、ゲートオン電圧生成部GOV、ゲートオフ電圧生成部GFD、およびDC-DCコンバータD/Dは図12の電源回路PWUに設けられる。電源回路PWUは図示しない照明装置（バックライト）の電源であるインバータにも給電する。

【0062】

【発明の効果】

以上説明したように、本発明によれば、自段のゲート線と画素電極の距離を給電端側から遠い側に向けて徐々に狭めることでゲート・ソース間容量Cgsを変化させ、ゲートドライバから遠い領域における残像やフリッカを十分に抑制して高品質の映像表示を可能とした液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】大画面化に伴う画面のちらつきや残像の発生を説明する模式図である。

【図2】薄膜トランジスタのオン状態における液晶表示装置の一画素の等価回路の模式図である。

【図3】薄膜トランジスタのオフ状態における液晶表示装置の一画素の等価回路の模式図である。 20

【図4】本発明による液晶表示装置の第1実施例を説明する画素部回りの模式図である。

【図5】本発明による液晶表示装置の第2実施例を説明する画素部回りの模式図である。

【図6】本発明による液晶表示装置の第3実施例を説明する画素部回りの模式図である。

【図7】本発明による液晶表示装置の第4実施例を説明する画素部回りの模式図である。

【図8】本発明による液晶表示装置の第5実施例を説明する画素部回りの模式図である。

【図9】本発明による液晶表示装置の第6実施例を説明する画素部回りの模式図である。

【図10】本発明による液晶表示装置の第7実施例を説明する画素部回りの模式図である。

。 【図11】本発明による液晶表示装置の第8実施例を説明する画素部回りの模式図である 30

。 【図12】本発明による液晶表示装置の第9実施例を説明する画素部回りの模式図である。

【図13】一般的なアクティブ・マトリクス型液晶表示装置の構成と駆動システムの説明図である。

【図14】液晶表示パネルの各ドライバの概略構成と信号の流れを示すブロック図である。

。 【符号の説明】

PNL・・・液晶表示パネル

GDR・・・ゲートドライバ

DL・・・ドレイ線

GLn・・・自段のゲート線

GLn-1・・・前段のゲート線

PX・・・画素電極

TFT・・・薄膜トランジスタ

L1, L2, L3・・・自段のゲート線GLnと画素電極PXの当該自段のゲート線GLn側端部との間の間隔

W1, W2, W3・・・遮光膜BMの開口内縁と自段のゲート線GLnとの間隔。

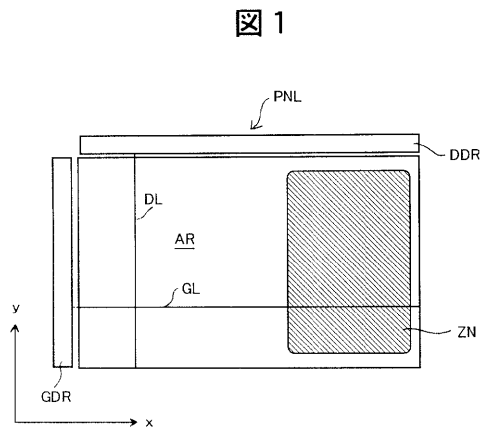
10

20

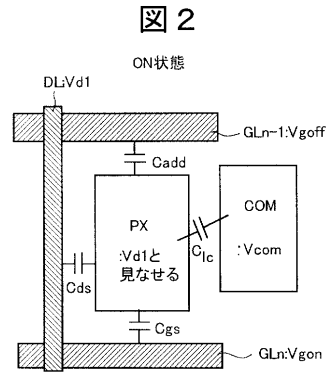
30

40

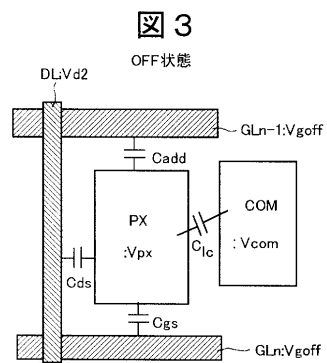
【図 1】



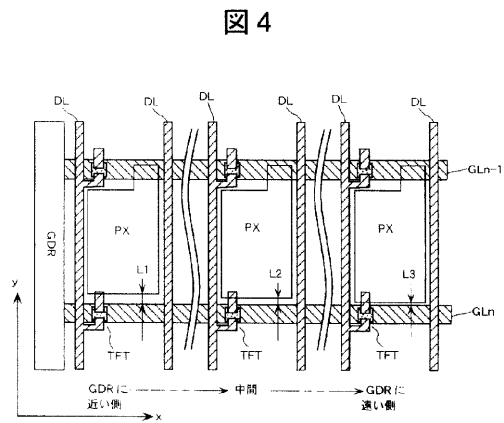
【図 2】



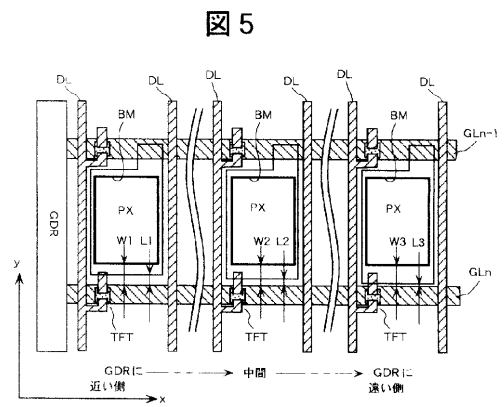
【図 3】



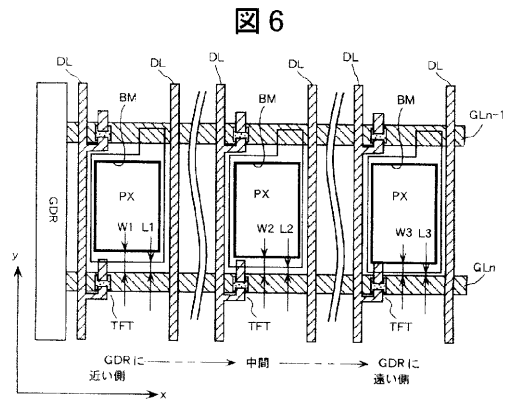
【図 4】



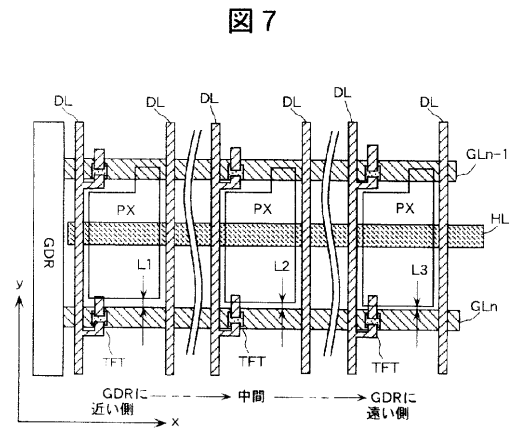
【図 5】



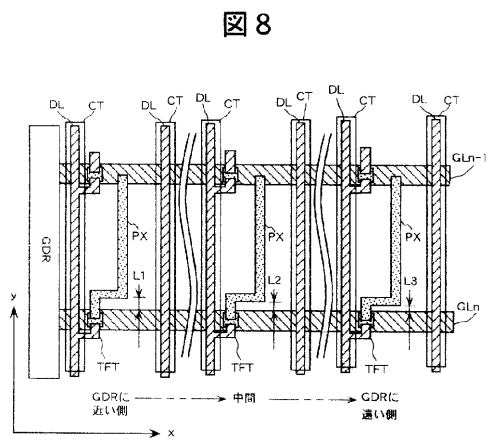
【図 6】



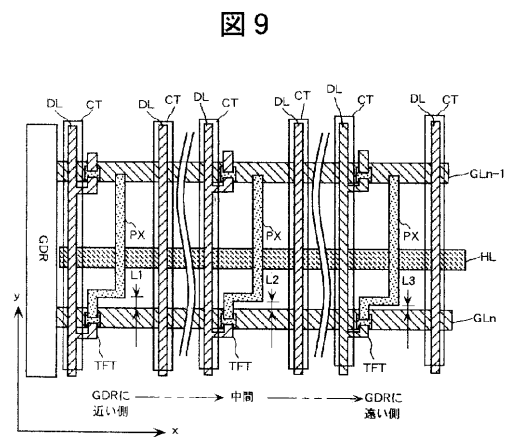
【図 7】



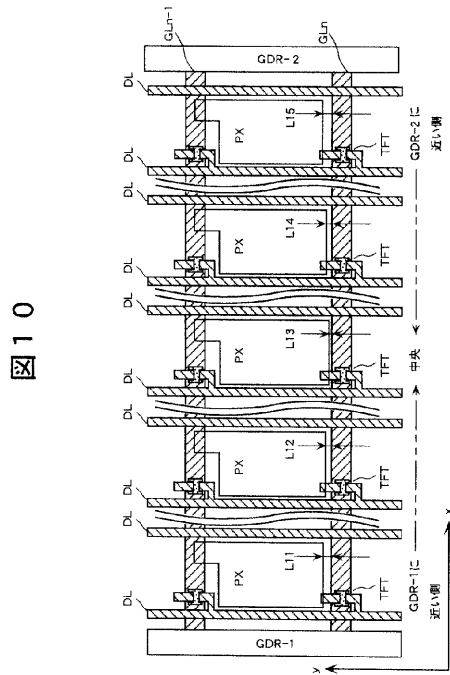
【図 8】



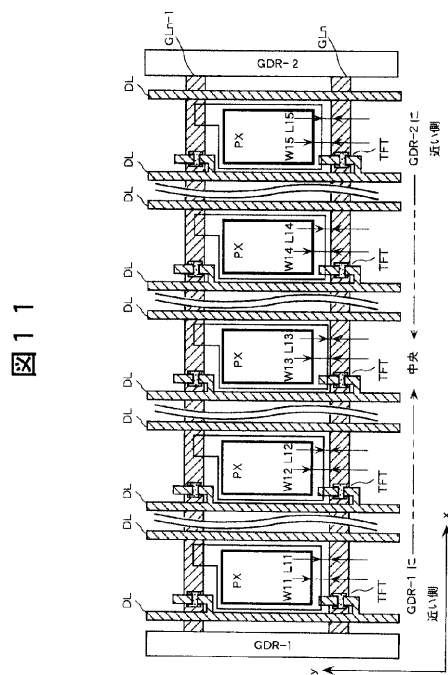
【図 9】



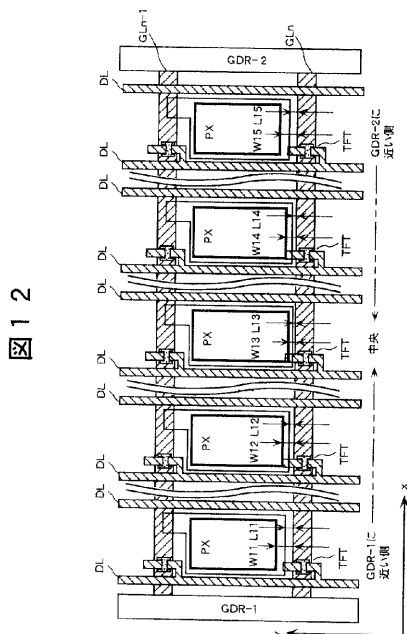
【 図 1 0 】



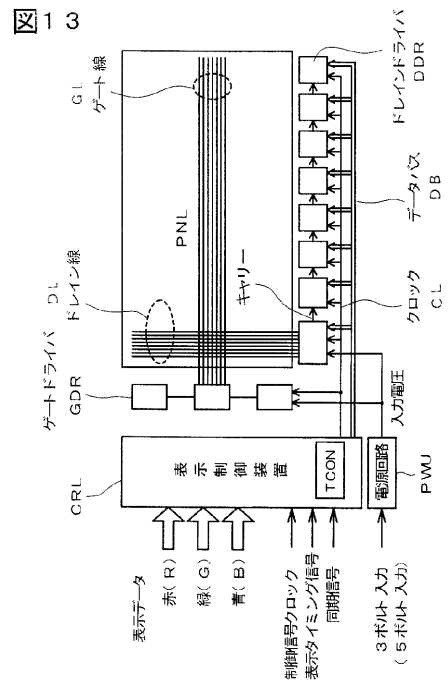
【 図 1 1 】



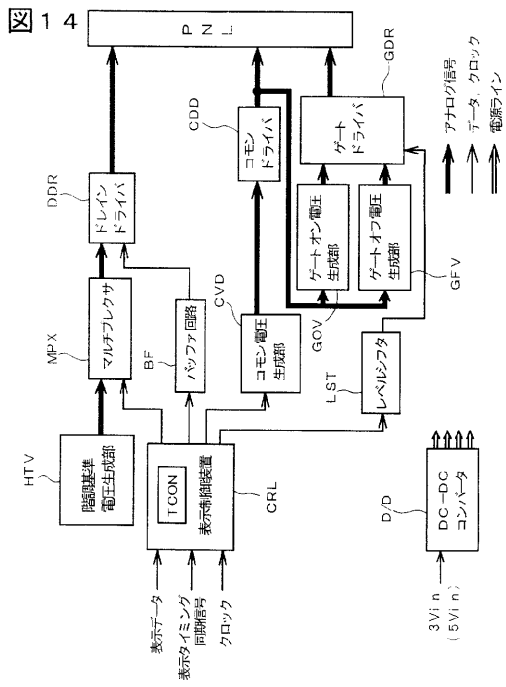
【図 1 2】



【 図 1 3 】



【図 14】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2004093821A	公开(公告)日	2004-03-25
申请号	JP2002253760	申请日	2002-08-30
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	鴨志田 健太		
发明人	鴨志田 健太		
IPC分类号	G02F1/1335 G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1335.500 G02F1/1368		
F-TERM分类号	2H091/FA35Y 2H091/FD02 2H091/HA06 2H091/LA16 2H092/GA13 2H092/GA15 2H092/JA24 2H092/JB62 2H092/NA01 2H092/QA06 2H191/FA14Y 2H191/FD02 2H191/HA05 2H191/LA21 2H192/AA24 2H192/AA42 2H192/AA43 2H192/AA45 2H192/BB01 2H192/CC04 2H192/DA02 2H192/DA12 2H192/DA65 2H192/EA17 2H192/FA44 2H192/FB03 2H192/JA06 2H192/JA32 2H291/FA14Y 2H291/FD02 2H291/HA05 2H291/LA21		
代理人(译)	小野寺杨枝		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示器，令人满意地抑制远离栅极驱动器的区域中的残像和闪烁，并且能够进行高质量的视频显示。

ŽSOLUTION：在液晶显示器中，使自身级的栅极线GL_n与像素电极PX自身级的栅极线GL_n侧的端部之间的间隔L1，L2和L3逐渐变窄，使得该关系L1> L2> L3从栅极驱动器GDR附近的一侧满足作为栅极线GL的供电端（端子）朝向远离其的一侧。像素电极PX和本级的栅极线GL_n之间的栅极/源极之间的电容CGs的值朝向远离栅极驱动器GDR的一侧逐渐变高。Ž

