

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2004-53702

(P2004-53702A)

(43) 公開日 平成16年2月19日(2004.2.19)

(51) Int.Cl.⁷

GO 2 F 1/1345

GO2F 1/1368

F 1

G O 2 F 1/1345

GO2F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 7 O L (全 18 頁)

(21) 出願番号 特願2002-207691 (P2002-207691)

(22) 出願日 平成14年7月17日 (2002. 7. 17)

(71) 出願人 502356528

株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(74) 代理人 100075096

弁理士 作田 康夫

(72) 發明者 石毛 信幸

千葉県茂原市早野3681番地 日立デバ
イスエンジニアリング株式会社内

(72) 發明者 米納 均

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

[最終頁に続く](#)

(54) 【発明の名称】 液晶表示装置

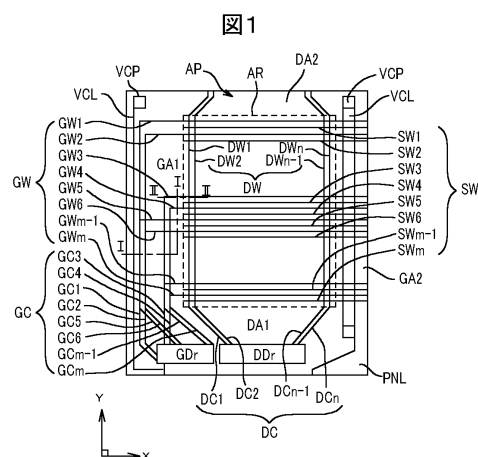
(57) 【要約】

【課題】 周辺領域を狭くした液晶表示装置を提供する。

特に、周辺領域に配置した接続線の断線、または短絡を抑制した液晶表示装置を提供する。

【解決手段】液晶表示装置は画素電極を有する画素領域と画素領域を囲む周辺領域とを有し、画素領域にはゲート線とドレイン線が配線され、周辺領域にはゲートドライバとドレインドライバが配置されている。ゲートドライバと複数のゲート線とを接続する複数のゲート接続線は周辺領域で積層されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の基板と第 2 の基板との間に液晶層を有する液晶表示装置であって、
前記第 1 の基板は画素電極を有する画素領域と前記画素領域を囲む周辺領域とを有し、
前記画素領域はゲート線とドレイン線を有し、前記ゲート線は第 1 ゲート線と第 2 ゲート線を有し、
前記周辺領域には前記第 1 ゲート線と液晶駆動回路とを電氣的に接続する第 1 ゲート接続線と、前記第 2 ゲート線と前記液晶駆動回路とを電氣的に接続する第 2 ゲート接続線とが配置され、
前記第 1 ゲート接続線と前記第 2 ゲート接続線とは前記基板の厚さ方向に積層されていることを特徴とする液晶表示装置。 10

【請求項 2】

請求項 1 において、前記第 1 ゲート線は前記第 2 ゲート線よりも前記液晶駆動回路から離れており、前記第 1 ゲート接続線は前記第 2 ゲート線よりも上層に位置することを特徴とする液晶表示装置。

【請求項 3】

請求項 1 において、前記画素領域は 2 つに分離されていることを特徴とする液晶表示装置。

【請求項 4】

互いに対向配置される第 1 の基板と第 2 の基板とを有し、前記第 1 の基板と前記第 2 の基板との間に液晶層を有する液晶表示装置であって、
前記第 1 の基板は横方向に延びるゲート線と縦方向に延びるドレイン線と、画素電極と、前記ゲート線と平行に延びる保持容量配線とを有し、
前記画素電極は対向して配置された共通電極との間で電圧を保持するためのコンデンサを形成し、
前記共通電極は共通線を介して前記保持容量配線と電氣的に接続され、
前記ゲート線は前記共通線の下に絶縁状態で配置されていることを特徴とする液晶表示装置。 20

【請求項 5】

請求項 4 において、前記共通線はドレイン線と平行に延在することを特徴とする液晶表示装置。 30

【請求項 6】

第 1 の基板と第 2 の基板との間に液晶層を有する液晶表示装置であって、
前記第 1 の基板は画素領域にゲート線とドレイン線とを有し、前記画素領域を囲む周辺領域にゲートドライバとドレインドライバとを備え、前記ゲート線はゲート接続線により前記ゲートドライバと電氣的に接続され、前記ドレイン線はドレイン接続線により前記ドレインドライバと電氣的に接続され、
前記ドレイン接続線は前記ゲートドライバの下を通過して前記ドレイン線と前記ドレインドライバとを電氣的に接続していることを特徴とする液晶表示装置。 40

【請求項 7】

請求項 6 において、前記ドレインドライバは短辺と長辺を有する矩形状であり、前記ドレイン接続線は前記ドレインドライバの短辺側で電氣的に接続していることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係り、特に画像表示領域を拡大した液晶表示装置に関する。

【0002】

液晶表示装置は、テレビ、パソコン、携帯用端末のディスプレイ等に使用されている。

【0003】

特に、アクティブ・マトリックス方式の液晶表示装置は、液晶を介在して互いに対向配置される透明基板を備えている。

【0004】

【従来の技術】

図20は従来の液晶表示装置の製造途中の透明基板及びその周辺の配線図である。

【0005】

透明基板のうち一方の透明基板の液晶側の面は、x方向（横方向）に延在しy方向（縦方向）に並設されるゲート線群GWと、このゲート線群と絶縁されてy方向に延在しx方向に並設されるドレイン（またはソース）線群DWとを備えている。

【0006】

互いに交差するゲート線群とドレイン線群とで囲まれる各領域に、該ゲート線からの走査信号によってオンするスイッチング素子と、該ドレイン線からの映像信号が前記スイッチング素子を介して供給される画素電極とが形成されて、いわゆる画素が構成されている。これらゲート線群とドレイン線群とで囲まれた領域が画素領域ARである。

【0007】

【発明が解決しようとする課題】

携帯機器において、携帯機器本体は小型化され、一方、情報の認識性を良好にするために画像表示領域は拡大している。そのため、液晶表示装置は、透明基板における画素領域の割合が増加し、画素領域を取り囲む周辺領域の割合が減少している。液晶表示装置における周辺領域は液晶駆動用の回路チップ（以下ドライバという）や接続用の配線が配置されている。

【0008】

ゲート線GWおよびドレイン線DWは周辺領域に配置されたゲート接続線GCおよびドレイン接続線DCを介してゲートドライバおよびドレインドライバと夫々電氣的に接続している。画像表示領域を大きくした液晶表示装置は、周辺領域が狭いためゲート接続線GCまたはドレイン接続線DCの間隔が狭くなり、接続線間で電氣的に短絡するという問題がある。また、接続線を細くすると断線が問題となる。

【0009】

さらに周辺領域の狭小化にともない、ドライバの設置領域も小さくなっている。

【0010】

ゲートドライバGD rは画素領域側の長辺にゲート信号の出力端子を持っている。ゲート接続線GCはゲートドライバGD rの下を通過してゲート共通線GC OMにつながっている。そのため、ゲートドライバGD rのパネル短辺側には信号発信用または受信用の端子を設置できなかった。

【0011】

【課題を解決するための手段】

液晶表示装置は、液晶を介在して互いに対向配置される透明基板を備えている。一方の透明基板は、x方向（横方向）に延在しy方向（縦方向）に並設される複数のゲート線と、この複数のゲート線と絶縁されてx方向に延在しy方向に並設される複数のドレイン（またはソース）線とを備えている。またこの透明基板はこれら複数のゲート線と複数のドレイン線とで形成された画素領域を取り囲んで周辺領域を備えている。

【0012】

複数のゲート線は周辺領域に形成された複数のゲート接続線と繋がっている。この複数のゲート接続線は周辺領域で積層している。

【0013】

また、ゲート接続線はドライバを設置した辺と異なる辺からゲート共通線に向けて延在する。

【0014】

さらに、ゲートドライバの下にドレイン接続線が配置してある。

【0015】

10

20

30

40

50

このように構成することで周辺領域を小さくした液晶表示装置を提供できる。

【0016】

【発明の実施の形態】

以下、本発明の第1の実施例を図面を参照して説明する。

【0017】

各実施例において、同じ機能の部位には同じ参照番号を付けた。

【0018】

図1は、本発明による液晶表示装置の基板の平面図である。また、図1は、有効画面の対角方向の寸法が約5.08cmの携帯端末用の液晶表示装置の平面図であり、画素電極を形成した透明基板の平面図である。図1の液晶表示装置はアクティブ・マトリクス方式を採用している。 10

【0019】

アクティブ・マトリクス方式の液晶表示装置は、互いに対向配置される多角形の基板を備えており、第1の基板と第2の基板との間に液晶層を有する。

【0020】

第2の基板には共通電極が形成されている。また共通電極と画素電極とでコンデンサが形成され、電圧を保持している。

【0021】

また第1の基板PNL1の液晶側の面は、x方向（横方向）に延在しy方向（縦方向）に並設されるゲート線群GWと、ゲート線群GWと絶縁されてx方向に延在しy方向に並設されるドレイン線群（またはソース線群という）DWとを備えている。 20

【0022】

互いに交差するゲート線とドレイン線とで囲まれる各領域に、該ゲート線からの走査信号によってオンするスイッチング素子と、該ドレイン線からの映像信号が前記スイッチング素子を介して供給される画素電極とが形成されて、いわゆる画素が構成されている。スイッチング素子としては薄膜トランジスタがある。

【0023】

ゲートドライバGDrとドレインドライバDDRの各1つのドライバはパネルPNLの短辺の片側にフリップチップ方式で実装してある。ゲートドライバGDrはゲート線GWに接続し、ドレインドライバはドレイン線DWに接続している。 30

【0024】

図1には複数あるゲート線GWの一部を記載した。ドライバから最も遠い画素を制御するゲート線GW1、ゲート線GW1に隣り合うゲート線GW2、画面中央の画素を制御するゲート線GW4、ゲート線GW4と隣り合いドライバから遠い側に位置するゲート線GW3、ゲート線GW4と隣り合いドライバ側に位置する画素を制御するゲート線GW5、ゲート線GW5と隣り合うゲート線GW6、最もドライバに近い画素を制御するゲート線Gwm、ゲート線Gwmに隣り合うゲート線Gwm-1を記載してある。各ゲート線GW1, GW2, GW3, GW4, GW5, GW6, Gwm-1, Gwmはゲート接続線GC1, GC2, GC3, GC4, GC5, GC6, Gcm-1, Gcmと夫々電氣的に接続している。また各ゲート接続線GC1, GC2, GC3, GC4, GC5, GC6, Gcm-1, GcmはゲートドライバGDrと接続している。 40

【0025】

図1には複数あるドレイン線DWの一部を記載し、画素領域の両端に配置したドレイン線DR1、DRnを記載した。ゲート線GW1、Gwmとドレイン線DR1、DRnで囲まれた領域が画素領域ARである。画素領域ARを囲んで周辺領域APがある。周辺領域には画素が形成されていない。

【0026】

図1の基板は短辺と長辺を持つ矩形の基板である。

【0027】

周辺領域APのうち、一方の長辺側の領域GA1（以下、第1長辺領域GA1という）に 50

はゲート接続線群 G C および共通線 V C L が配置してある。周辺領域のうち、他方の長辺側の領域 G A 2（以下、第 2 長辺側領域 G A 2 という）には保持容量配線群 S W および共通線 V C L が配置してある。共通線 V C L は共通線接続端子 V C P を介して対向配置された共通電極に電氣的に接続されている。

【0028】

周辺領域のうち、一方の短辺側の領域 D A 1（以下、第 1 短辺側領域 D A 1 という）には液晶表示装置を駆動させるための I C チップが固着してある。

【0029】

第 1 短辺側領域 D A 1 の中央部を含む領域に、ドレイン線群 D W と電氣的に接続される駆動回路チップ（以下ドレインドライバという）D D r が配置してある。ドレイン線群 D W とドレインドライバ D D r はドレイン接続線 D C により接続されている。 10

【0030】

図 2 はドレインドライバを配置した周辺領域におけるドレイン接続線の配置図である。

【0031】

最も左側に位置する第 1 ドレイン接続線 D C 1 と第 1 ドレイン接続線に隣り合う第 2 ドレイン接続線 D C 2 とは間隔 D P だけ離れている。

【0032】

第 1 ドレイン接続線 D C 1 と第 2 ドレイン接続線 D C 2 を平行に配置することで間隔 D P を一定にすることができ、またドレイン接続線の幅も一定にすることができる。よって、ドレイン接続線の全域で、接続線の電氣的短絡や断線を抑制することができる。 20

【0033】

また、ドライバから最も遠い接続線と近い接続線とは配線抵抗を揃えてある。配線抵抗が揃っているので、ドライバから画素への信号波形のなまりは均等になっている。配線抵抗を揃えることにより、表示特性のばらつきは低減できる。

【0034】

接続線の抵抗は接続線の長さの差が少なく、間隔 D P が大きいほど揃えやすい。間隔 D P は $D P = s \sin \theta 1 \times P$ によって算出することができる。ここで、P は画素ピッチである。画素ピッチ P は製品によって決定される値なので角度 $\theta 1$ を大きくすることで、間隔 D P を大きくすることができる。

【0035】

ドレインドライバを中央に配置することで間隔 D P を最も最大とすることができる。 30

【0036】

ドレインドライバ D D r の左側に間隔をあけてゲート線群 G W と電氣的に接続される駆動回路チップ（以下ゲートドライバという）G D r が配置してある。このように構成することで、ドライバを実装する個所は基板の 1 辺側のみとなり、ドライバを配置していない他の辺は周辺領域を小さくすることができる。

【0037】

ゲートドライバ G D r は基板 P N L の短辺と平行に長辺をもち、基板 P N L の長辺と平行に短辺をもつ矩形状である。ゲート接続線 G C はゲートドライバ G D r の表示領域側の長辺および短辺に設けられた端子と接続している。 40

【0038】

ゲートドライバ G D r の短辺に端子を設けることで、ゲートドライバの長辺を短くすることができ、周辺領域の増大を抑制できる。またゲートドライバの長辺を短くすることで、ドレイン接続線の Y 軸に対する入射角を大きくでき、製造上の歩留を改善できる。

【0039】

画素領域 A R の上側（ドライバから遠い側）半分のゲート線に接続するゲート接続線 G C 1, G C 2, G C 3, G C 4 と下側（ドライバ側）半分のゲート線に接続するゲート接続線 G C 5, G C 6, G C m-1, G C m とは重なり合って配置されている。第 1 長辺側領域 G A 1 では、ゲート接続線 G C 1 とゲート接続線 G C 5 が重なり、ゲート接続線 G C 2 とゲート接続線 G C 6 が重なり、ゲート接続線 G C 3 とゲート接続線 G C m-1 が重なり 50

、ゲート接続線 G C 4 とゲート接続線 G C m が重なっている。

【0040】

第1短辺側領域 D A 1 では、ゲート接続線 G C 5 は上側半分のゲート線に接続する接続線 G C 1, G C 2, G C 3, G C 4 と絶縁されて交差している。

【0041】

図3は図1の線 I - I の断面図である。

【0042】

画素領域の上側（ドライバから遠い側）半分のゲート線に接続するゲート接続線は、下側（ドライバ側）半分のゲート線に接続するゲート接続線の上層に配置されている。

【0043】

図3において、パネル P N L 上に下層のゲート接続線 G C 5, G C 6, G C m - 1, G C m が形成され、この下層のゲート接続線 G C 5, G C 6, G C m - 1, G C m の上に上層ゲート接続線 G C 1, G C 2, G C 3, G C 4 が夫々形成されている。ゲート接続線 G C 3, G C 4 は下層のゲート接続線 G C m - 1, G C m を乗越えて延びる上層のゲート線である。

【0044】

上層のゲート接続線と下層のゲート接続線は異なる制御を受けている。

【0045】

下層のゲート接続線は表面が酸化した酸化膜1を有している。酸化膜1の上に下層ゲート接続線と上層ゲート接続線の絶縁を目的とした第1保護膜2が形成されている。第1保護膜の上にアモルファスシリコン層3が形成されている。上層のゲート接続線の上には第2保護膜4が形成されている。第2保護膜4によりゲート接続線の保護および他の配線からの絶縁をすることができる。

【0046】

基板上の画素領域に第1ゲート線と第2ゲート線を有し、周辺領域に第1ゲート線と液晶駆動回路とを電氣的に接続する第1ゲート接続線と、第2ゲート線と前記液晶駆動回路とを電氣的に接続する第2ゲート接続線とを配置し、第1ゲート接続線と第2ゲート接続線とを基板の厚さ方向に積層することで、周辺領域を狭くすると共に、画素領域を大きくできる。

【0047】

また、ゲート接続線の幅を太くすることも可能であり、ゲート接続線の断線を抑制できる。さらに、ゲート線の間隔を長くすることも可能であり、ゲート線間の短絡を抑制できる。

【0048】

図4は図1の線 I I - I I の断面図である。

【0049】

ゲート接続線は第1保護膜2の上に形成されたアモルファスシリコン層3の上に形成されている。またゲート接続線はゲート線と一部で重なり、電氣的に接続している。

【0050】

ゲート線は表面に酸化膜1を有するが、ゲート接続線との接続部は酸化膜を有さない。この構成により、ゲート線とゲート接続線とが電氣的に接続している。

【0051】

図5はゲート接続線の他の構成例を示す断面図であり、図1の線 I - I の断面の他の構成例を示す断面図である。図5において、上層のゲート接続線と下層のゲート接続線とはずれて配置してある。

【0052】

図5のように上層のゲート接続線を下層のゲート接続線の上に形成することで、上層のゲート接続線と下層のゲート接続線との間にかかる付加容量を低減することができる。結果として、波形のなまりやノイズによる画質への影響を低減することができる。

【0053】

10

20

30

40

50

図 6 は本発明の他の構造による液晶表示装置の基板の平面図である。

【0054】

図 6 のゲート接続線は隣り合うゲート線に接続するゲート接続線を夫々上下に配置した。この構造により、ゲートドライバ周辺のゲート接続線の交差を減らすことができる。

【0055】

図 7 は図 6 の I I I - I I I 線に沿った断面図である。

【0056】

ゲート接続線 G C 2 の上層に隣合うゲート接続線 G C 1 が配置されている。

【0057】

下層のゲート接続線 G C 2 は表面に酸化膜 1 を有し、その上を第 1 の保護膜 2 で覆われている。第 1 保護膜 2 の上にアモルファスシリコン層 3 が形成されている。第 1 保護膜 2 とアモルファスシリコン層 3 によって下層ゲート接続線と上層ゲート接続線を確実に絶縁している。 10

【0058】

図 8 は 2 つの分離した液晶表示装置を 1 つのドレインドライバで駆動する液晶表示装置ユニットの基板の平面図である。

【0059】

1 つのゲートドライバおよび 1 つのドレインドライバは第 1 の液晶表示装置と第 2 の液晶表示装置の 2 つの液晶表示装置を駆動する構成となっている。第 1 の液晶表示装置と第 2 の液晶表示装置は第 1 の画素領域 A R 1 と第 2 の画素領域 A R 2 を夫々もっている。 20

【0060】

第 1 の液晶表示装置は第 1 の基板 P N L 1 と第 2 の基板 P N L 2 との間に液晶層を有し、第 2 の液晶表示装置は第 3 の基板 P N L 3 と第 4 の基板 P N L 4 との間に液晶層を有する。これらの基板のうち、第 1 の基板 P N L 1 と第 3 の基板 P N L 3 にはゲート線、ドレイン線、ゲート接続線、ドレイン接続線、スイッチング素子、画素電極等が形成されている。

【0061】

第 1 の基板 P N L 1 は第 1 短辺側領域 D A 1 にゲートドライバ G D r およびドレインドライバ D D r の配置してある。また、周辺領域のうち、他方の短辺側の領域 D A 2 (以下、第 2 短辺側領域 D A 2 という) には、フレキシブル基板に接続するためのフレキシブル基板接続用パッド F P A D が形成されている。 30

【0062】

フレキシブル基板の一端は第 1 の基板 P N L 1 のフレキシブル基板接続用パッド F P A D に接続され、フレキシブル基板の他の一端は、第 3 の基板 P N L 3 のフレキシブル基板接続用パッド F P A D に接続される。

【0063】

また第 1 の基板 P N L 1 のフレキシブル基板接続用パッド F P A D にはゲート接続線 G M C およびドレイン接続線 D C が接続されている。ゲート接続線およびドレイン接続線はフレキシブル基板を介して、第 3 の基板 P N L 3 のゲート線およびドレイン線に夫々接続する。 40

【0064】

第 2 液晶用のゲート接続線 G M C は任意の数 (k 本) だけゲートドライバに接続している。また第 2 液晶用のゲート接続線 G M C は、ドライバから最も遠いゲート線 G W 1 に接続するゲート接続線 G C 1 から順に第 2 液晶用のゲート接続線 G M C の数に合わせて配置した。このように構成することで、第 2 液晶用のゲート接続線 G M C とゲート線 G W との交差は少なくなり、ゲート接続線の断線を防止できる。

【0065】

第 2 液晶用のゲート接続線 G M C 1, G M C k はフレキシブル基板を介して第 3 の基板のゲート線 G M W 1, G M W k に夫々接続している。

【0066】

図 9 は第 1 の基板の断面図であり、図 8 の I V - I V 線に沿った断面図である。

【0067】

第 1 の基板に形成されたゲート線 G W 1 に接続するゲート接続線 G C 1 の上層に第 3 の基板に形成されたゲート線 G M W に接続するゲート接続線 G M C 1 が配置されている。

【0068】

また、第 1 の基板に形成されたゲート線 G W k に接続するゲート接続線 G C k の上層に第 3 の基板に形成されたゲート線 G M W k に接続するゲート接続線 G M C k が配置されている。

【0069】

下層のゲート接続線 G C は表面に酸化膜を有し、その上を第 1 の保護膜で覆われている。第 1 保護膜 2 の上にアモルファスシリコン層 3 が形成されている。第 1 保護膜 2 とアモルファスシリコン層 3 によって下層ゲート接続線 G C と上層ゲート接続線 G M C を確実に絶縁している。 10

【0070】

次に本発明の第 2 の実施例を説明する。

【0071】

図 10 は本発明の第 2 の実施例による液晶表示装置の基板を含む硝子板 G L の平面図である。

【0072】

基板 P N L は薄膜トランジスタおよび周辺の配線が形成された硝子板から切り離される。 20

【0073】

ゲート線 G W は基板 P N L の外に配置されているゲート共通線 G C O M に接続している。ゲート共通線 G C O M から電圧を供給してゲート線 G W の表層に酸化膜を形成している（陽極酸化）。

【0074】

ドレイン線 D W は、製造工程中の静電気を逃がすため、ドレインドライバ D D r を配置した第 1 短辺側領域 D A 1 と対向する第 2 短辺側領域 D A 2 に延び、パネル P N L の短辺を越えてドレイン共通線 D C O M と電氣的に接続している。

【0075】

保持容量配線 S W は基板 P N L の外に配置されているゲート共通線 G C O M に電氣的に接続している。また、保持容量配線 S W はゲート線 G W を同じ辺側からゲート共通線 G C O M に向かって延びている。ゲート線 G W はゲート共通線 G C O M から電圧を供給してゲート線 G W の表層を酸化させている。 30

【0076】

ゲート線 G W と保持容量配線 S W は平行に配置され、共通線 V C L はゲート線 G W および保持容量破線 S W と直交するように配置してある。

【0077】

図 11 は図 10 の線 V - V に沿った断面図である。基板 P N L 上にゲート線 G W 4, G W 5 と、保持容量量配線 S W 4, S W 5 が形成されている。これらゲート線 G W 4, G W 5 及び保持容量量配線 S W 4, S W 5 はアルミで形成されている。アルミの表面層は酸化している。またゲート線 G W 4, G W 5 及び保持容量量配線 S W 4, S W 5 を覆って保護膜 4 が形成されている。保護膜 4 は配線の保護と配線間を絶縁するために形成されている。 40

【0078】

図 12 は図 10 の線 V I - V I に沿った断面図である。基板 P N L 上にゲート線 G W (G W 4, G W 5) と、保持容量配線 S W (S W 4, S W 5) が形成されている。これらゲート線 G W (G W 4, G W 5) 及び保持容量配線 S W (S W 4, S W 5) はアルミで形成されている。

【0079】

ゲート線 G W (G W 4, G W 5) はその表面層が酸化している。表面層が酸化したゲート線 G W (G W 4, G W 5) の上層に第 1 保護膜 2 が積層されている。第 1 の保護膜の上層 50

にアモルファスシリコン層 3 が積層されている。

【0080】

一方、保持容量配線 SW (SW 4, SW 5) はゲート線 GW (GW 4, GW 5) と同じ層に形成されているが、共通線 VCL と接続個所は酸化層が無い。陽極を酸化する際に、保持容量配線 SW (SW 4, SW 5) の共通線 VCL との接続個所をレジストで覆い当該接続個所の酸化を防止している。

【0081】

また保持容量配線 SW (SW 4, SW 5) の上層に形成した第 1 保護膜 2 及びアモルファスシリコン層 3 は孔が開いている。

【0082】

そして、アモルファスシリコン層 3 の上層に共通線 VCL が積層される。ゲート線 GW (GW 4, GW 5) 上には第 1 保護膜 2 とアモルファスシリコン層 3 があるため、ゲート線 GW と共通線 VCL とは絶縁されている。保持容量配線 SW (SW 4, SW 5) の上層に形成した第 1 保護膜 2 及びアモルファスシリコン層 3 は孔が開いているため、共通線 VCL と保持容量配線 SW (SW 4, SW 5) とを電氣的に接続している。

【0083】

共通線 VCL の上層に、共通線 VCL を保護し且つ他の配線との絶縁を保つための第 2 保護膜 4 が形成されている。

【0084】

図 12 の構造とすれば、ゲート線 GW と保持容量配線 SW が陽極酸化用のゲート共通線 GCOM と電氣的に接続しているので、ゲート線 GW と保持容量配線 SW とに酸化層を形成でき、保持容量配線 SW は共通線 VCL との接続ができる。

【0085】

ガラス板 GL をパネル PNL の外形に沿って切断することでゲート線 GW は 1 本ずつに分断される。

【0086】

陽極酸化するためにゲート共通線に接続する線を共通線 VCL 側に配置したので、従来ゲートドライバ GDr の下に配置していたゲート共通線に接続する線が不要になる。

【0087】

図 13 は液晶表示装置の基板 PNL 及びその周辺に設けた配線の平面図である。

【0088】

図 13 中、円で囲んだ領域 T の断面構造を図 12 のように構成した。

【0089】

共通線 VCL はゲート線と平行に延在している。

【0090】

また、図 13 の液晶表示装置において、ゲート線 GW 及び保持容量配線 SW とゲート共通線とはゲートドライバ GDr を設置した第 2 短辺側領域 DA2 と対向する第 1 短辺側領域 DA1 で接続している。

【0091】

さらに、図 13 の液晶表示装置は、ドレイン共通線 DCOM への接続線とゲート共通線 GCOM への接続線を 1 つの短辺側のみに配置したため、静電気による不具合を低減できる。具体的には、静電気の帯電による TFT のしきい値が変動し表示がばらつくなどの不具合を低減することができる。また、電蝕による断線を低減することができる。

【0092】

ゲート共通線に接続する線はゲートドライバ GDr を実装した辺以外の辺でゲート共通線に向かって延在している。

【0093】

本実施例によれば、ゲート共通線に接続する線はゲートドライバ GDr を実装した辺以外の辺に配置したので、従来ゲートドライバ GDr の下に配置していたゲート共通線への接続線が不要になる。よって、ゲートドライバ GDr は端子を全周に配置することができ、

10

20

30

40

50

ゲートドライバG D rを小さくすることができる。

【0094】

また、表示領域内において保持容量配線は酸化膜を有している。なぜなら、表示領域内ではゲート線G Wとドレイン線D Wが直交しているのと同様に、保持容量配線S Wとドレイン線D Wも直交しているので、ゲート線と同じ構造としておく必要がある。絶縁層である酸化膜を形成することで保持容量配線S Wの短絡を抑制できる。

【0095】

共通線V C Lは対向電極にコモン電圧を送る役目と保持容量配線に一定電圧をかける役割がある。画面の上部と下部の保持容量配線に対してV C Lの抵抗が大きく異なると電圧降下が生じ表示で輝度むらとなる。画面の上部と下部の保持容量配線までの抵抗差を低減するためV C Lを太くしている。 10

【0096】

図14は液晶表示装置の基板P N L及びその周辺に設けた配線の平面図である。

【0097】

図14中、円で囲んだ領域Tと領域Uの断面構造を図12のように構成した。

【0098】

ゲート共通線に接続する線はゲートドライバG D rを実装した第1短辺側領域D A 1と第2短辺側領域D A 2とでゲート共通線に向かって延在している。図14の液晶表示装置では、ゲートドライバG D rに近い側半分のゲート線及び保持容量配線はゲートドライバG D rを実装した短辺側でゲート共通線に向かって延在している。一方ゲートドライバG D rから遠い側半分のゲート線G W及び保持容量配線S Wは他の短辺側でゲート共通線に向かって延在している。 20

【0099】

図14のような構造とすることで、第2長辺側領域G A 2を狭くすることができる。

【0100】

図15はゲートドライバとドレインドライバを1つのチップで形成したときの各線の配置を示した平面図である。また、図15はパネル内の配線と、製造途中のパネル外側の配線を示した。

【0101】

ゲート接続線はドライバD rの左右側に接続する。 30

【0102】

ドライバD rから遠い側半分のゲート線G Wはゲート線を平行に延長することでゲート共通線G C O Mに接続している。すなわち、第1長辺側領域を通過してゲート共通線G C O Mに接続している。

【0103】

一方、ドライバD rに近い側半分のゲート線に接続するゲート接続線はドライバの下に延在してゲート共通線G C O Mと接続している。

【0104】

図15に示した構造とすることで、ドライバD rの下を通過する配線を少なくできる。

【0105】

次に本発明の第3の実施例を説明する。 40

【0106】

図16はドライバD rを配置したパネルの配線の模式拡大図である。

【0107】

ゲートドライバG D rとドレインドライバD D rはパネルP N Lにフリップチップ方式で実装されている。

【0108】

ドレイン接続線D C 1 a, D C 2 aはドレインドライバD D rのゲートドライバG D r側短辺に配置した端子に接続している。ドレイン接続線D C 1 aは最もパネルP N L短部側に配置した端子に接続し、ドレイン接続線D C 2 aは最も画素領域側に配置した端子に接 50

続している。これらのドレイン接続線 $DC1a$ 、 $DC2a$ はゲートドライバを避けて配置されている。

【0109】

ドレイン接続線 $DC1a$ は画素領域 AR の近傍で画素領域 AR に対し角度 θ_2 を持っている。すなわちドレイン接続線 $DC1a$ は画素領域近傍でゲート線 GW と平行な線に対し角度 θ_2 を持っている。また、このドレイン接続線 $DC1a$ はドレインドライバ DDr 近傍でゲート線 GW と平行な線に対し角度 θ_3 を持っている。

【0110】

ドレイン接続線 $DC3a$ はドレインドライバ DDr の長辺に設けた端子のうち最もゲートドライバ GDr に位置する端子に接続する。ドレイン接続線 $DC3a$ はゲート線 GW と平行な線に対し角度 θ_4 を持っている。 10

【0111】

このとき、角度 θ_2 と角度 θ_3 の関係は、 $\theta_2 < \theta_3$ である。

【0112】

このような構成とすることで、周辺領域を狭くすることができる。

【0113】

図17はドライバ Dr を配置したパネルの配線の模式拡大図である。

【0114】

ドレインドライバ DDr のゲートドライバ GDr 側短辺に配置した端子に電氣的に接続しているドレイン接続線 DC はゲートドライバ GDr の下を通過してドレイン線 DW に電氣的に接続している。 20

【0115】

ドレイン接続線 $DC1b$ 、 $DC2b$ はドレインドライバ DDr のゲートドライバ GDr 側短辺に配置した端子に接続している。ドレイン接続線 $DC1b$ は最もパネル PNL 短部側に配置した端子に接続し、ドレイン接続線 $DC2b$ は最も画素領域側に配置した端子に接続している。

【0116】

図17において、ドレイン接続線 $DC1b$ は画素領域近傍でゲート線 GW と平行な線に対し角度 θ_5 を持っている。またドレインドライバ DDr のゲートドライバ GDr 側の短辺に接続しているドレイン接続線 $DC1b$ 及びドレイン接続線 $DC2b$ は、その一部をゲート線と略平行に配置してある。 30

【0117】

また、これらのドレイン接続線 $DC1b$ 、 $DC2b$ はゲートドライバ GDr の下を通過している。

【0118】

ドレイン接続線 $DC3b$ はドレインドライバ DDr の長辺に設けた端子のうち最もゲートドライバ GDr に位置する端子に接続する。ドレイン接続線 $DC3b$ はゲート線 GW と平行な線に対し角度 θ_6 を持っている。

【0119】

ドレイン接続線 $DC1b$ 、 $DC2b$ はゲートドライバの下を通過する。そのため、ドレイン接続線 $DC1b$ 、 $DC2b$ は画素領域との角度 θ_5 を大きくすることができる。よって、隣り合うドレイン接続線 DC の間隔を大きくすることができ、ドレイン接続線間の短絡を抑制できる。 40

【0120】

図17の角度 θ_5 は図16の角度 θ_4 よりも大きくすることができる。

【0121】

このような構成とすることで、周辺領域を狭くできると共に、ドレイン接続線間の短絡を抑制できる。また、ドレイン接続線の断線を抑制することができる。

【0122】

本実施例は、他の各実施例のうちゲートドライバ GDr とドレインドライバ DDr の2つ 50

のドライバを夫々パネル P N L に実装した液晶表示装置に適用してもよい。

【0123】

図18は図17のゲートドライバ G D r を上面からの透視した図であり、端子部の配置を示した図である。

【0124】

ゲートドライバは矩形であり、各辺部には端子8が設けられている。ゲートドライバ G D r の一方の短辺側には第1出力用端子群 G O U T 1 が配置され、他の一方の短辺側にはドレイン接続線 D C が通過できる第2領域6とゲート信号系の端子群 G 2 とが配置されている。第2領域6とゲート信号系の端子群 G 2 が配置されている短辺はドレインドライバ D D r 側の短辺である。

10

【0125】

ゲートドライバ G D r の一方の長辺、特に画素領域側の長辺側には第2出力用端子群 G O U T 2 とドレイン接続線 D C が通過できる第1領域5が配置されている。ゲートドライバ G D r の他の一方の長辺にはゲート線 G W を陽極酸化させるための配線を通過させる第3領域 A R E A 7 とゲートドライバ G D r への入出力用端子端子群 G 1 が配置されている。

【0126】

第1領域5と第2領域6に設けられた端子8はダミー端子であり、第1領域5と第2領域6の下にドレイン接続線を配置しても、ゲートドライバ G D r の内部回路とドレイン線の電氣的干渉を防止できる。

【0127】

上述の構成により、表示領域を取り囲む周辺領域の面積を小さくすることができる。

20

【0128】

図19は第3の実施例の他の構成を示す図で、ドレイン接続線 D C の配置を示す平面図である。

【0129】

ドレインドライバ D D r のゲートドライバ G D r 側短辺に配置した端子に電氣的に接続している一部のドレイン接続線 D C はゲートドライバ G D r の下を通過してドレイン線 D W に電氣的に接続している。

【0130】

図19のドレイン接続線は最も外側に位置するドレイン接続線 D C 1 c とドレイン接続線 D C 1 c に隣接する D C 2 c の2本がゲートドライバ G D r のダミー端子間を通過してドレイン線に接続している。

30

【0131】

【発明の効果】

上述の構成することで、表示領域を取り囲むパネル周辺領域を小さくすることができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の基板の平面図である。

【図2】本発明によるドレイン接続線の配置図である。

【図3】図1の I - I 線の断面図である。

【図4】図1の I I - I I 線に沿った断面図である。

40

【図5】本発明のゲート接続線の他の構成例を示す断面図である。

【図6】本発明の他の構造による液晶表示装置の基板の平面図である。

【図7】図6の I I I - I I I 線に沿った断面図である。

【図8】本発明の2つの液晶表示装置を1つのドライバで駆動する液晶表示装置ユニットの平面図である。

【図9】本発明の液晶表示装置の基板の断面図であり、図8の I V - I V 線に沿った断面図である。

【図10】本発明の第2の実施例による液晶表示装置の基板の平面図である。

【図11】図10の線 V - V に沿った断面図である。

【図12】図10の線 V I - V I に沿った断面図である。

50

【図 1 3】本発明の液晶表示装置の基板及びその周辺に設けた配線の平面図である。

【図 1 4】本発明の液晶表示装置の基板及びその周辺に設けた配線の平面図である。

【図 1 5】本発明の他の構成による液晶表示装置の基板の平面図である。

【図 1 6】ドライバを配置した本発明の液晶表示装置の模式拡大図である。

【図 1 7】ドライバを配置した本発明の液晶表示装置の模式拡大図である。

【図 1 8】図 1 7 のゲートドライバの上面からの透視図である。

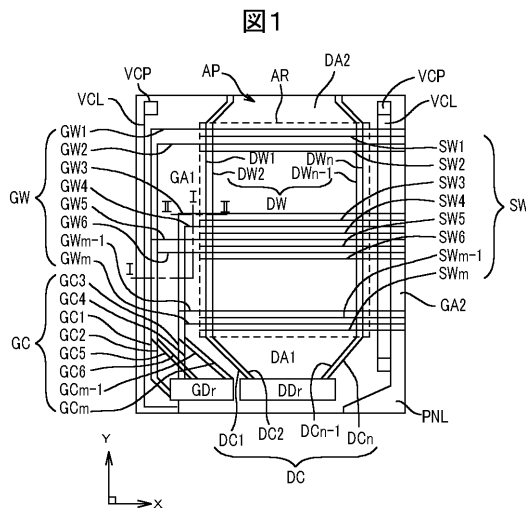
【図 1 9】ドレイン接続線 D C の配置を示す平面図である。

【図 2 0】従来の液晶表示装置の透明基板の配線の平面図である。

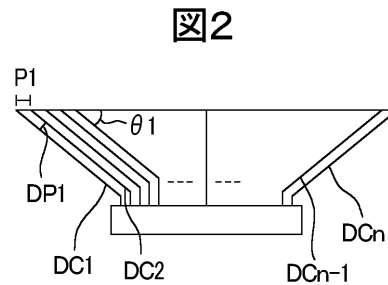
【符号の説明】

1 酸化膜、2 第 1 保護膜、3 アモルファスシリコン層、4 第 2 保護膜、G W ゲート線群、D W ドレイン線群、S W 保持容量配線群、G C ゲート接続線群、D C ドレイン接続線群、G D r ゲートドライバ、D D r ドレインドライバ、G C O M ゲート共通線、D C O M ドレイン共通線、P N L パネル（基板）、A R 画素領域、A P 周辺領域。

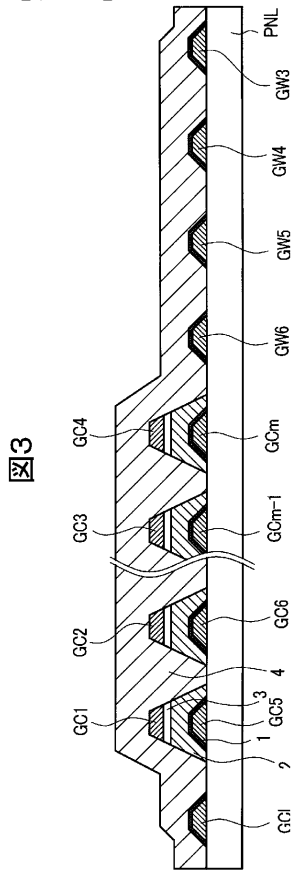
【図 1】



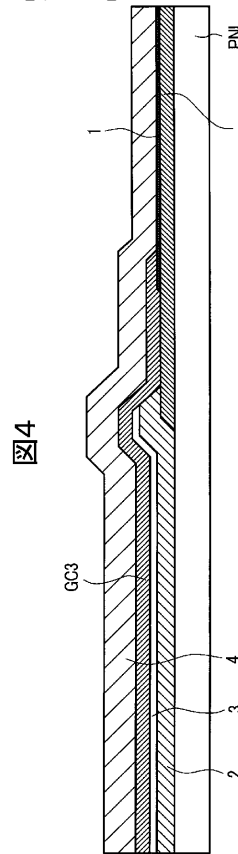
【図 2】



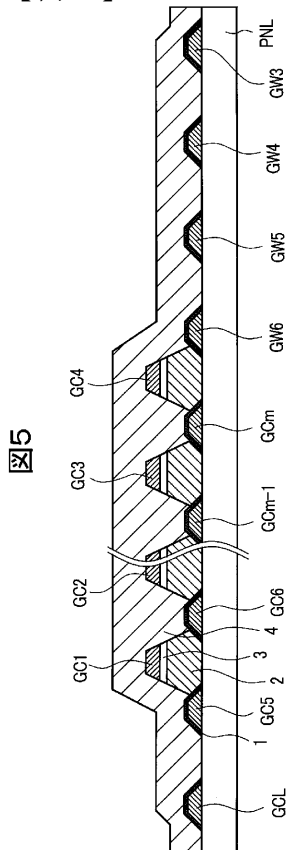
【図 3】



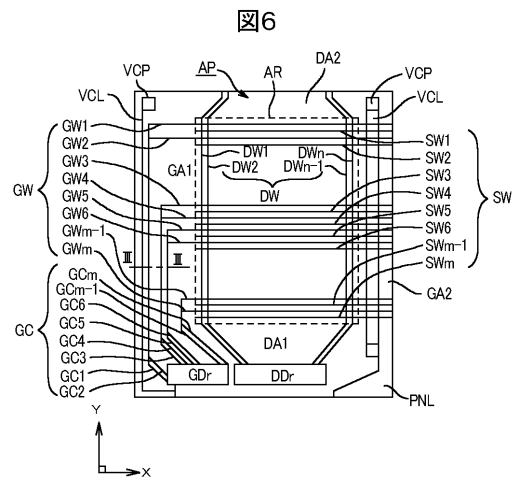
【図 4】



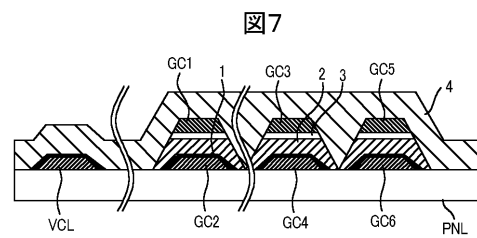
【図 5】



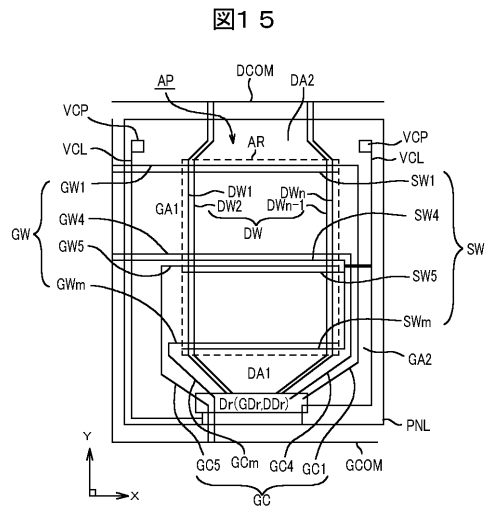
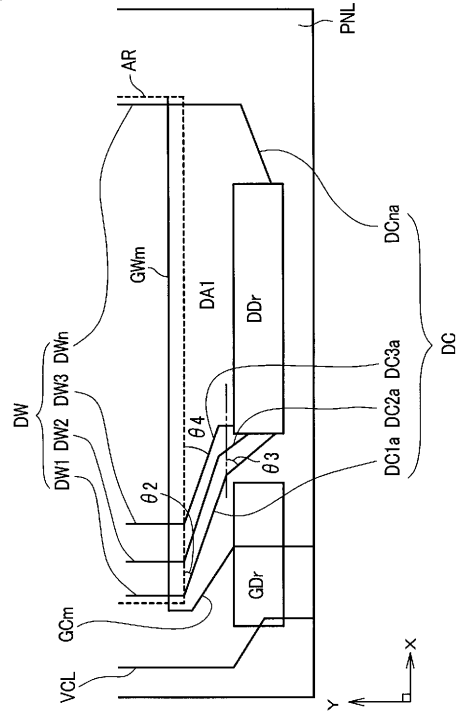
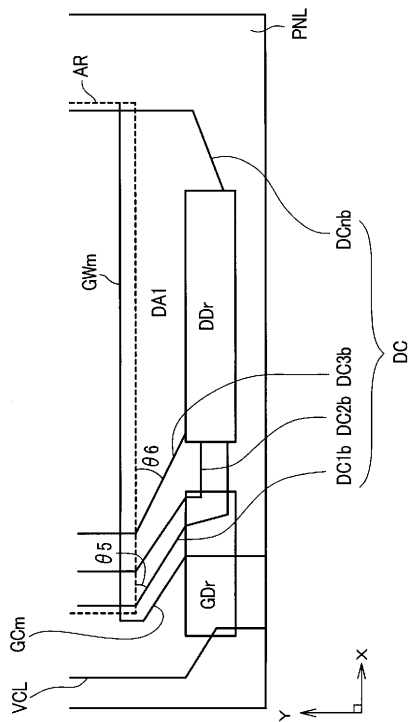
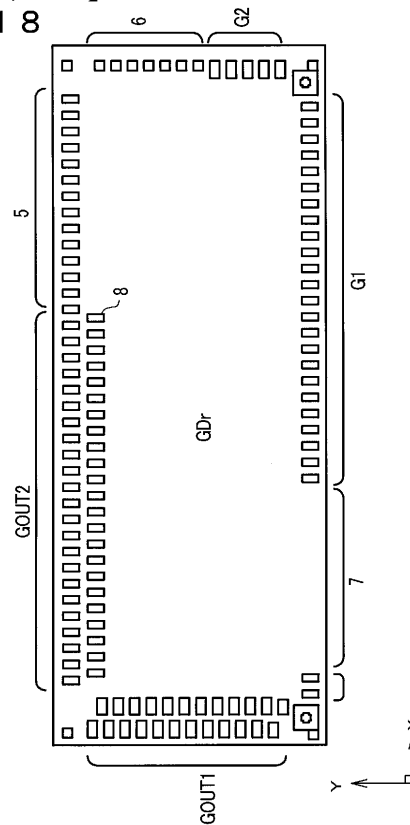
【図 6】



【図 7】

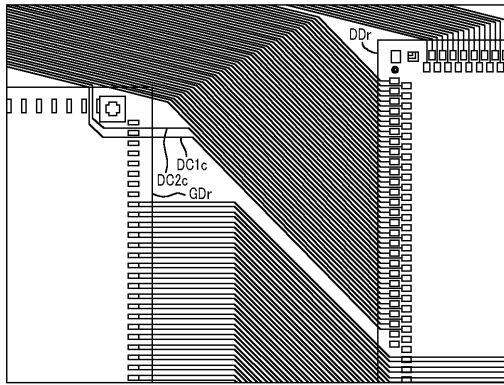


【図 15】

【図 16】
図16【図 17】
図17【図 18】
図18

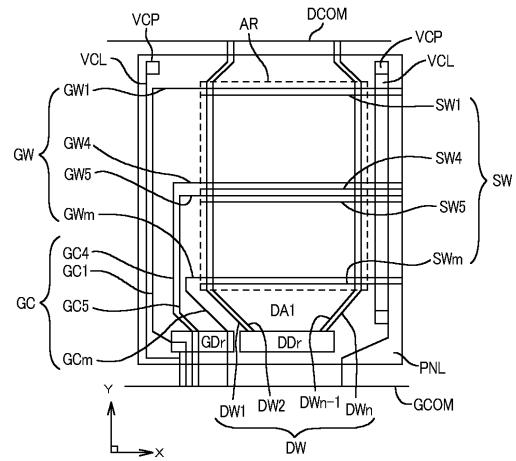
【図 19】

図19



【図 20】

図20



フロントページの続き

Fターム(参考) 2H092 GA33 GA35 GA59 GA60 JA24 JB24 JB32 JB64 NA07 NA25
PA06 RA10

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2004053702A5	公开(公告)日	2005-09-02
申请号	JP2002207691	申请日	2002-07-17
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	日立显示器有限公司 日立设备工程有限公司		
[标]发明人	石毛信幸 米納均		
发明人	石毛 信幸 米納 均		
IPC分类号	G02F1/1345 G02F1/1368		
CPC分类号	G02F1/1345 G02F2001/13456 H01L2224/05553		
FI分类号	G02F1/1345 G02F1/1368		
F-TERM分类号	2H092/GA33 2H092/GA35 2H092/GA59 2H092/GA60 2H092/JA24 2H092/JB24 2H092/JB32 2H092/JB64 2H092/NA07 2H092/NA25 2H092/PA06 2H092/RA10 2H192/AA24 2H192/AA63 2H192/DA12 2H192/DA72 2H192/FA35 2H192/FA44 2H192/FB22 2H192/FB34 2H192/GA12 2H192/GA41 2H192/GA42 5C094/AA15 5C094/BA43 5C094/DA09 5C094/EA10		
其他公开文献	JP2004053702A JP4006284B2		

摘要(译)

提供一种具有狭窄的外围区域的液晶显示装置。特别地，本发明提供一种液晶显示装置，其抑制布置在外围区域中的连接线的断开或短路。液晶显示装置具有：具有像素电极的像素区域和围绕该像素区域的周边区域，在该像素区域中布线有栅极线和漏极线，在该周边区域中配置有栅极驱动器和漏极驱动器。已经完成了。连接栅极驱动器和多条栅极线的多条栅极连接线堆叠在外围区域中。[选型图]图1