

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2003 - 107520

(P2003 - 107520A)

(43)公開日 平成15年4月9日(2003.4.9)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1345		G 0 2 F 1/1345	2 H 0 9 2
	1/133 550		2 H 0 9 3
G 0 9 F 9/00	348	G 0 9 F 9/00	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	612		5 G 4 3 5

審査請求 未請求 請求項の数 5 O L (全 19数) 最終頁に続く

(21)出願番号 特願2001 - 305930(P2001 - 305930)

(22)出願日 平成13年10月2日(2001.10.2)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 青木 義典

千葉県茂原市早野3300番地 株式会社日立

製作所ディスプレイグループ内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

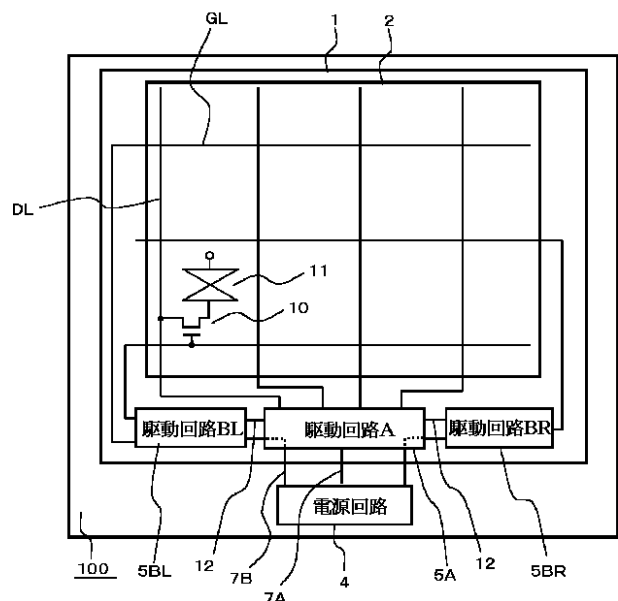
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 小型携帯機器に用いられる液晶表示装置にして、駆動回路の実装面積が小さく、自由な実装が可能な液晶表示装置を提供する。

【解決手段】 液晶表示素子と、液晶駆動回路とを備える液晶表示装置であって、液晶駆動回路は液晶表示パネルの1辺に実装され、走査信号線を駆動する駆動回路は複数設けられ、複数の走査信号線駆動回路は映像信号線を駆動する回路を挟んで、該映像信号線駆動回路に並んで形成され走査信号線に信号を伝達するための配線を、液晶表示パネルの左右から走査信号線に接続し、駆動回路の制御を外部信号によって行う。

図5



【特許請求の範囲】

【請求項 1】 第 1 の基板と、第 2 の基板と、前記第 1 の基板と第 2 の基板の間に挟まれた液晶組成物と、前記第 1 の基板に設けられた複数の画素電極と、前記画素電極に映像信号を供給するスイッチング素子と、前記スイッチング素子に映像信号を供給する映像信号線と、前記スイッチング素子を制御する走査信号を供給する走査信号線と、前記映像信号を出力する第 1 の駆動回路と、前記走査信号を出力する複数の第 2 の駆動回路とを有し、前記第 1 の駆動回路を間に挟み、第 1 の駆動回路に並んで複数の第 2 の駆動回路を配置したことを特徴とする液晶表示装置。

【請求項 2】 第 1 の基板と、第 2 の基板と、前記第 1 の基板と第 2 の基板の間に挟まれた液晶組成物と、前記第 1 の基板に設けられた複数の画素電極と、前記画素電極に映像信号を供給するスイッチング素子と、前記スイッチング素子に映像信号を供給する映像信号線と、前記スイッチング素子を制御する走査信号を供給する走査信号線と、前記映像信号を出力する第 1 の駆動回路と、前記走査信号を出力する複数の第 2 の駆動回路とを有し、前記第 1 の駆動回路を間に挟み、第 1 の駆動回路に並んで複数の第 2 の駆動回路を配置し、前記第 2 の駆動回路の駆動方法を外部信号により制御することを特徴とする液晶表示装置。

【請求項 3】 第 1 の基板と、第 2 の基板と、前記第 1 の基板と第 2 の基板の間に挟まれた液晶組成物と、前記第 1 の基板に設けられた複数の画素電極と、前記画素電極に映像信号を供給するスイッチング素子と、前記スイッチング素子に映像信号を供給する映像信号線と、前記スイッチング素子を制御する走査信号を供給する走査信号線と、前記映像信号を出力する第 1 の駆動回路と、前記走査信号を出力するマスタとスレーブの第 2 の駆動回路とを有し、前記第 1 の駆動回路を間に挟み、第 1 の駆動回路に並んでマスタとスレーブの第 2 の駆動回路を配置し、インストラクション信号によりマスタの第 2 の駆動回路の駆動方法と、スレーブの第 2 の駆動回路の駆動方法を制御することを特徴とする液晶表示装置。

【請求項 4】 第 1 の基板と、第 2 の基板と、前記第 1 の基板と第 2 の基板の間に挟まれた液晶組成物と、前記第 1 の基板に設けられた複数の画素電極と、前記画素電極に映像信号を供給するスイッチング素子と、前記スイッチング素子に映像信号を供給する映像信号線と、前記スイッチング素子を制御する走査信号を供給する走査信号線と、前記映像信号を出力する第 1 の駆動回路と、前記走査信号を出力する複数の第 2 の駆動回路とを有し、前記第 1 の基板の 1 辺に沿って前記第 1 の駆動回路と前記第 2 の駆動回路を配置し、前記第 2 の駆動回路は昇圧回路を有する電源回路を具備することを特徴とする液晶表示装置。

【請求項 5】 第 1 の基板と、第 2 の基板と、前記第 1

の基板と第 2 の基板の間に挟まれた液晶組成物と、前記第 1 の基板に設けられた複数の画素電極と、前記画素電極に映像信号を供給するスイッチング素子と、前記スイッチング素子に映像信号を供給する映像信号線と、前記スイッチング素子を制御する走査信号を供給する走査信号線と、前記映像信号を出力する第 1 の駆動回路と、前記走査信号を出力する複数の第 2 の駆動回路とを有し、前記第 1 の基板の 1 辺に沿って前記第 1 の駆動回路と前記第 2 の駆動回路を配置し、前記第 2 の駆動回路は昇圧回路を有する電源回路を具備し、前記電源回路は昇圧回路から出力する電圧が一定の電圧になること検知することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に、携帯型表示装置に用いられる液晶表示装置の駆動回路に適用して有効な技術に関する。

【0002】

【従来の技術】STN (Super Twisted Nematic) 方式、あるいは TFT (Thin Film Transister) 方式の液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路を備えている。

【0003】そして、このような液晶表示装置において、携帯電話機等の携帯用端末装置の表示装置として利用されるものが増加している。液晶表示装置を携帯用端末装置の表示装置として用いる場合には、従来の液晶表示装置に比べて、さらに小型で、低消費電力のものが望まれている。

【0004】携帯端末装置の小型化に伴う問題点として、液晶表示装置の駆動回路を実装するスペースが減少している。携帯端末装置の中心線と表示画面の中心とが重なる配置方法である所謂画面センター化の要望があり、駆動回路を実装する位置が制限され、配置に考慮が必要となってきた。さらには、従来の液晶表示装置では、表示画面の隣合う 2 辺に駆動回路が設けられていたが、1 辺にのみ駆動回路を実装する所謂 3 辺フリー化の要望もある。また、実装面積の縮小のために、実装部品の削減の必要もある。

【0005】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、小型の液晶表示装置において、最適な駆動回路を実現する技術を提供することにある。

【0006】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、

下記の通りである。

【0008】液晶表示素子と、液晶駆動回路とを備える液晶表示装置であって、液晶駆動回路は液晶表示パネルの1辺側に実装され、走査信号線を駆動する駆動回路は複数設けられ、複数の走査信号線駆動回路は映像信号線を駆動する回路を挟んで、該映像信号線駆動回路に並んで形成され、走査信号線に信号を伝達するための配線を、液晶表示パネルの左右から走査信号線に接続し、駆動回路の制御を外部信号によって行う。

【0009】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0010】図1は、本発明の実施の形態1の液晶表示装置の基本構成を示すブロック図である。同図に示すように、本実施の形態の液晶表示装置100は、液晶表示パネル1と、コントローラ3と、電源回路4と、駆動回路5とから構成される。

【0011】液晶表示パネル1は、画素電極11、薄膜トランジスタ10等が形成されるTFT基板2と、対向電極15、カラーフィルタ等が形成されるフィルタ基板(図示せず)とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。なお、本実施の形態は対向電極15がTFT基板2に設けられる所謂横電界方式の液晶表示パネルにも、対向電極15がフィルタ基板に設けられる所謂縦電界方式の液晶表示パネルにも同様に適用される。

【0012】各画素は、画素電極11と薄膜トランジスタ10から成り、複数の走査信号線(またはゲート信号線)GLと映像信号線(またはドレイン信号線)DLとの交差する部分に対応して設けられる。

【0013】各画素の薄膜トランジスタ10は、ソースが画素電極11に接続され、ドレインが映像信号線DLに接続され、ゲートが走査信号線GLに接続される。この薄膜トランジスタ10は、画素電極11に表示電圧(階調電圧)を供給するためのスイッチとして機能する。

【0014】なお、ソース、ドレインの呼び方は、バイアスの関係で逆になることもあるが、ここでは、映像信号線DLに接続される方をドレインと称する。

【0015】コントローラ3と、電源回路4、駆動回路5とは、液晶表示パネル1のTFT基板2を構成する透明性の絶縁基板(ガラス基板、樹脂基板等)に、それぞれ接続される。コントローラ3から送出されたデジタル信号(表示データ、クロック信号等)、および電源回路4から供給される電源電圧は、駆動回路5に入力され

る。

【0016】コントローラ3は、半導体集積回路(LSI)から構成され、外部から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ(R・G・B)を基に、駆動回路5を制御・駆動する。

【0017】駆動回路5は半導体集積回路(LSI)から構成され、走査信号線GLの駆動と、映像信号線DLの駆動とを行っている。駆動回路5は、コントローラ3から送出されるフレーム開始指示信号(FLM、以下スタート信号とも呼ぶ)およびシフトクロック(CL1)に基づき、1水平走査時間毎に、順次液晶表示パネル1の各走査信号線GLにHighレベルの選択走査電圧(走査信号)を供給する。これにより、液晶表示パネル1の各走査信号線GLに接続された複数の薄膜トランジスタ10が、1水平走査時間の間導通する。

【0018】また、駆動回路5は画素が表示すべき階調に対応する階調電圧を映像信号線DLに出力する。薄膜トランジスタ10がオン状態になると、映像信号線DLがから階調電圧(映像信号)が画素電極11に供給される。その後、薄膜トランジスタ10がオフ状態となることで画素が表示すべき映像に基づく階調電圧が画素電極11に保持される。

【0019】図2は、図1に示す駆動回路を2つに分けた実施例を示す。図2では、駆動回路は第1駆動回路5Aと第2駆動回路5Bとで構成される。第1駆動回路5Aは映像信号線DLに階調電圧を供給している。また、第2駆動回路5Bは走査信号線GLに信号を供給している。第2駆動回路5Bから液晶表示パネル1の左右両側に配線が伸びており、走査信号線GLには液晶表示パネル1の左右両側から信号が供給されている。

【0020】従来では、走査信号線GLを駆動する駆動回路は走査信号線GLの延長線上(図中では液晶表示パネル1の左右)に設けられていた。しかしながら、携帯電話機等の携帯電子機器では、表示画面部分の横幅が狭いことと、利用者に好まれる機器デザインの理由より、機器の中心線上に表示画面の中心が位置する所謂画面センター化の要望がある。そのため、表示画面の両横側には第2駆動回路5Bを配置する十分な領域が無く、第2駆動回路5Bは図中液晶表示パネル1の下側(または上側)に設けられている。すなわち、液晶表示パネル1に対して、第1駆動回路5Aと第2駆動回路5Bは同じ方向に位置するよう形成されている。

【0021】しかしながら、第1駆動回路5Aと第2駆動回路5Bとが液晶表示パネル1の片側に設けられることで、各駆動回路に接続される配線のレイアウトに問題が生じた。図2では、第1駆動回路5Aとコントローラ3、電源回路4との間に第2駆動回路5Bが位置することとなることから、第2駆動回路5Bを避けて配線する必要がある。例えば、配線をフレキシブル基板等に形成

する場合では、高価な多層基板を用いる必要がある。また、第1駆動回路5Aと第2駆動回路5Bとを液晶表示パネル1上に実装する場合では、多層の配線を形成すると液晶表示パネル1の製造工程が増加するといった問題が生じる。

【0022】図2ではコントローラ3と第1駆動回路5Aとを接続する第1の配線6Aは、第2駆動回路5Bの下に配置されている。また、コントローラ3と第2駆動回路5Bとは第2の配線6Bで接続されている。さらに電源回路4と第1駆動回路5Aとを接続する第3の配線7Aは第2駆動回路の下に配置され、電源回路4と第2駆動回路5Bとは第4の配線7Bで接続されている。

【0023】さらに、第2駆動回路5Bと液晶表示パネル1との間には第1駆動回路5Aが位置するため、第2駆動回路5Bと走査信号線GLとを接続する配線8A、8Bは第1駆動回路5Aの横を配線して走査信号線GLに接続している。また、配線8A、8Bの一部は第1駆動回路5Aの下を配線されている。また、第2駆動回路5Bから出力する配線は、第2駆動回路5Bの図中左右の両横側から出力するよう配置されている。

【0024】図3に第2駆動回路5Bの出力端子の配置を示す。第2駆動回路5Bの中央部には、図2に示す第1の配線6Aや第3の配線7Aを配置するためのスルー配線領域9が設けられており、出力端子OUTが設けられる間隔が広がっている。また、出力端子OUTは、第2駆動回路5Bの左右に設けられている。端子INは入力端子でありコントローラ3からの第2の配線6Bや、電源回路4からの第4の配線7Bが接続される。第2駆動回路5Bの下側にスルー配線領域9を設けることで、第2駆動回路5Bの下側に配線される第1の配線6Aや、第3の配線7Aのようなスルー配線を、第2駆動回路5Bとコントローラ3とを接続する第2の配線6Bや、電源回路4と接続する第4の配線7Bと同層で形成することができ、低価格化や画面センター化が可能となる。

【0025】図4に、第2駆動回路5Bをフレキシブルプリント基板30に実装し、液晶表示パネル1の第1駆動回路5Aが実装された辺に、フレキシブルプリント基板30を接続した構成を示す。液晶表示装置100の中心線と、表示領域2の中心線が一致しており、液晶表示装置100の左右の端部より等距離LMCにある中心線CLと、表示領域2の左右の端部から等距離LACにある中心線CLとが一致している。

【0026】図4において、33はフレキシブルプリント基板30に配置された部品で、外付けコンデンサ等である。第2駆動回路5Bには電源回路4が内蔵されており、昇圧回路に用いられるコンデンサが接続されている。第1駆動回路5Aにはコントローラ3が内蔵されており、外部からコントローラに接続される配線31がフレキシブルプリント基板に設けられ、第2駆動回路5B

の下を通過して第1駆動回路5Aに接続されている。第1駆動回路5Aからは、第2駆動回路5B及び電源回路4を制御するための制御信号線32が出力しており、第2駆動回路5Bに接続している。制御信号線32も第2駆動回路5Bの下側に配線されている。

【0027】次に図5に第2駆動回路5Bを複数設け、第1駆動回路5Aの左右両側に並んで配置したブロック図を示す。走査信号線GLには液晶表示パネル1の左右両側から信号が供給されるため、第2駆動回路5Bは第1駆動回路5Aの左右に設けられている。第1駆動回路5Aは映像信号線DLを駆動するドレインドライバの機能に加えて、コントローラの機能を有している。電源回路4との間には配線7Aが設けられおり、第1駆動回路5Aに電源電圧が供給されている。また、第1駆動回路5Aは電源回路4をもコントロールしており、配線7Aでは第1駆動回路5Aから出力する制御信号も伝えられる。また、第1駆動回路5Aの下側に配線され、第2駆動回路5Bに接続する配線7Bも設けられている。12はインストラクション線であり、外部からの信号により第2駆動回路5Bの走査方法を設定可能にしている。図5ではインストラクション信号は第1駆動回路5Aから出力し、第2駆動回路5Bに伝えられている。

【0028】第2駆動回路5Bは第1駆動回路5Aの左右に設けられているが、第2駆動回路5Bを左側用と右側用と区別して製造したのでは、形状等が似た部品が混在することとなり、管理が複雑になる問題が生じる。そこで、複数実装される第2駆動回路5Bを同一仕様で形成し、インストラクション線12等を利用して、実装後端子に入力する信号により第2駆動回路5Bを制御することとした。また、同一仕様で形成するため、第2駆動回路5BL、5BRともに制御信号、クロック信号等は同じ信号が入力されるように形成している。

【0029】まず、図6、図7を用いて駆動回路の端子位置が固定されているため、液晶表示パネル1の左側に配置される駆動回路と、右側に配置される駆動回路とで、駆動回路の端子の出力順が異なることを説明する。図6(a)は従来からのゲートドライバの配置で、液晶表示パネル1の左側に第2駆動回路5B(ゲートドライバ)が配置されている。また、走査信号線はGL1からGL120の120本で、走査信号は液晶表示パネル1の上から下に向かい順番に走査信号線GLに供給されるものとする。図6(a)では、第2駆動回路5Bの端子g1と走査信号線GL1が接続されており、走査信号線GL1からGL120に順番に走査信号が供給されるよう、走査信号は端子g1からg120に向かい順番に出力する。以下、説明を解り易くするため、この端子g1からg120に向かい順番に走査信号を出力することを順方向出力と呼ぶ。

【0030】次に図6(b)に液晶表示パネル1の右側に第2駆動回路5Bを配置する様子を示す。第2駆動回

路 5 B の端子配置は図 7 に示すように、出力端子 g 1 から g 1 2 0 は、第 2 駆動回路 5 B の各辺に沿って配置されており、配線は 1 方向に取り出されるようになっている。図 7 では、端子 g 1 は上側に配線が出力するようになっている、下側に配線を引き出すと入力端子 I N S 等があるため、配線を形成する領域が限られており、配線を形成することが困難である。

【0031】そこで、液晶表示パネル 1 の右側に第 2 駆動回路 5 B を配置する場合には、端子 g 1 2 0 からの配線を走査信号線 G L 1 に接続し、端子 g 1 からは走査信号線 G L 1 2 0 に信号を供給するようにする。そのため、走査信号の出力する順番は端子 g 1 2 0 から端子 g 1 に向けて順番に出力することとなる。すなわち、第 2 駆動回路 5 B は液晶表示パネル 1 に対する配置により、端子から順番に出力される信号のシフト方向が変化している。以下、端子 g 1 2 0 から端子 g 1 に向けて順番に走査信号を出力し、走査信号線を走査することを逆方向出力と呼ぶ。

【0032】次に、図 5 に戻って、第 2 駆動回路 5 B を複数設け、第 1 駆動回路 5 A の左右両側に並んで配置した場合の問題点について説明する。図 5 に示す第 2 駆動回路 5 B L は液晶表示パネル 1 の左側から信号を供給する配置であり、第 2 駆動回路 5 B R は右側から信号を供給する配置である。前述したように第 2 駆動回路 5 B L は順方向出力で、第 2 駆動回路 5 B R は逆方向出力となっており、端子から出力する信号の順番が逆になっている。そのため、第 2 駆動回路 5 B L には順方向出力で、第 2 駆動回路 5 B R には逆方向出力であることを設定する必要がある。

【0033】また、第 2 駆動回路 5 B L と 5 B R とは離れて配置され、さらに、第 2 駆動回路 5 B L と 5 B R との間には、第 1 駆動回路 5 A が存在するため、第 2 駆動回路 5 B L と 5 B R との間を接続する配線を設けると、配線のレイアウトが複雑になってしまうという問題がある。例えば、2 つの第 2 駆動回路 5 B L と 5 B R が隣合って配置されていれば、まず、左側の第 2 駆動回路 5 B L にスタート信号を入力し、第 2 駆動回路 5 B L を先に出力開始させ、その後出力終了時に、左側の第 2 駆動回路 5 B L から右側の第 2 駆動回路 5 B R にスタート信号を供給すれば、左側の第 2 駆動回路 5 B L が先に出力を開始し、右側の第 2 駆動回路 5 B R が後から出力開始する順番を設定することが可能である。

【0034】しかしながら、第 2 駆動回路 5 B L と 5 B R との間を接続する配線を設けると、配線のレイアウトが複雑になることから、前段の第 2 駆動回路から次段の第 2 駆動回路に信号を供給することで、次段の第 2 駆動回路の出力を開始させる方法を用いることが困難である。また、第 2 駆動回路 5 B L と 5 B R 共に同様な配線レイアウトで、同一の制御信号を入力しながらも、どちらの第 2 駆動回路が先に出力開始するか順番を設定する

必要もある。以下、先に出力を開始することを先開始と呼び、先開始の駆動回路が出力終了後に、出力開始することを後開始と呼ぶ。

【0035】そこで、本実施の形態では、第 2 駆動回路に設けた端子の設定と、第 1 駆動回路から第 2 駆動回路に接続されているインストラクション線 1 2 を用いて、第 2 駆動回路が順方向出力か逆方向出力であるか、先開始であるか後開始であるか等の走査方法を設定している。

【0036】次に図 7 を用いて、第 2 駆動回路 5 B の走査方法を設定する構成を説明する。第 2 駆動回路 5 B は前述したように出力端子 g 1 から g 1 2 0 を有しており、この出力端子と液晶表示パネル 1 の走査信号線 G L が接続されている。走査信号線 G L が順番に選択されるように、出力端子からは 1 走査期間毎に走査信号が出力する。そのために第 2 駆動回路 5 B はシフトレジスタ部 2 2 を有しており、端子 C L 1 から入力するクロック信号 C L 1 に同期して、走査信号を出力する端子をシフトさせる。

【0037】S T はスタート信号（フレーム開始信号）が入力される端子で、スタート信号により第 2 駆動回路 5 B は出力開始のタイミングを決める。M S はマスタ／スレーブモードを設定する端子であり、端子 M S の値により第 2 駆動回路 5 B はマスタかスレーブかの機能に設定される。I N S はインストラクション信号端子で、インストラクション信号が入力する。S C M は液晶表示パネル 1 の奇数ラインに出力するか偶数ラインに出力するかを設定する端子である。2 0 はカウンタ回路でクロック信号 C L 1 を計数している。2 1 は走査モード設定部であり、端子 M S、端子 S C M に入力する電圧値や、端子 I N S から入力するインストラクション信号により走査モードを設定する。

【0038】図 8 にインストラクション信号の例を示す。図 8 に示すインストラクション信号は 1 6 ビットからなるシリアルデータを示している。図中横方向に並んだ 1 6 ビットの信号がインストラクション信号として外部から第 2 駆動回路 5 B に伝えられる。図中縦方向に 3 つインストラクション信号を並べて示しているが、図 8 のインストラクション信号では、D 1 5 から D 1 3 までの 3 ビットがインデックスコードとなっており、インストラクション信号の内容を区別している。

【0039】インデックスコード（000）のインストラクション信号では、D 0 がスリープモード設定用の S L P ビットとなっており、D 1 1 が表示オン／オフ設定用の G O N ビットとなっている。インデックスコード（110）のインストラクション信号では、D 0 から D 4 までの 5 ビットが出力開始位置を設定する S C 0 から S C 4 ビットとなっており、D 5 から D 9 までの 5 ビットが有効ライン数を設定する N L 0 ビットから N L 4 ビットとなっており、D 1 0 が出力方向について順方向か

逆方向かを設定するGSビットとなっている。インデックスコード(111)のインストラクション信号では、D0とD1の2ビットがインタレースモードのフィールド数を設定するFLビットとなっている。

【0040】なお、インストラクション信号で指定する出力開始位置と有効ライン数では、走査信号線数を指定するものでも、110ライン出力モード、100ライン出力モード等のようにモードにより出力ライン数を指定することも可能である。また、インストラクション信号はコントローラ部から第2駆動回路5Bに伝えられるものであるが、コントローラ部には液晶表示装置の外部から例えば、CPU等の小型携帯機器の制御装置から伝達される。

【0041】次に、図9から図14を用いて、第2駆動回路5Bの配置と走査方法について説明する。なお、図9から図14においては、液晶表示パネル1と第2駆動回路5Bとの位置関係を示すために、他の第1駆動回路5A等の構成は省略している。また、図9から図14において、図7に示すように、各第2駆動回路5Bはマスタ/スレーブ端子MSを有しており、外部からの信号に*20

MS	GS	開始順	走査方向
1	1	先開始	逆方向
1	0	先開始	順方向
0	1	後開始	順方向
0	0	後開始	逆方向

【0043】図9では、図中左側に配置された第2駆動回路5BLの設定は、MS=1で、GS=0となっており、開始順は先開始で、走査方向は順方向である。出力端子gm1は走査信号線GL1に接続され、その他の端子も順に走査信号線に接続され、出力端子gm120が走査信号線GL120に接続されている。インストラクション信号で有効ライン数が120に設定され、開始位置が1ライン目になっている場合では、第2駆動回路5BLは先開始で順方向出力であるから、スタート信号の入力後出力を開始し、走査信号線GL1から順にGL120まで走査される。なお、開始位置を11ライン目にして、有効ライン数を110とすれば、11本目の走査信号線GL11から順にGL120まで走査される。

【0044】次に、右側の第2駆動回路5BRの設定は、MS=0で、GS=0となっており、開始順は後開始で、走査方向は逆方向である。出力端子gs120は走査信号線GL121に接続され、その他の端子も順に走査信号線に接続され、出力端子gs1が走査信号線GL240に接続されている。インストラクション信号で有効ライン数が120に設定され、開始位置が1ライン目になっている場合では、第2駆動回路5BRは後開始で逆方向出力であるから、スタート信号の入力から図7に示したカウンタ20でクロック信号CL1を計数して、第2駆動回路5BLの出力終了を待って、走査信号

*よりマスタとスレーブとに機能が変化する。図9では左側に配置された第2駆動回路5BLがマスタで、右側に配置された第2駆動回路5BRがスレーブとなっている。また、第2駆動回路5Bには、図5に示すインストラクション線が図7に示すインストラクション端子INSに接続しており、インストラクション信号が入力している。

【0042】表1にマスタ/スレーブ端子MSの値と、インストラクション信号の値とにより制御される第2駆動回路5Bの走査方法について示す。なお、図8に示すようにインストラクション信号は複数ビットからなるデータであり、走査方法については符号GSで示す1ビットで設定される。表1では端子MSの値が1でマスタとなり、値が0でスレーブとなる場合を説明する。走査方向はマスタの場合でGSビットが0ならば順方向であり、GSビットが1で逆方向になる。また、スレーブの場合にはGSビットが0で逆方向となり、GSビットが1で順方向になる。

表 1

線GL121から順にGL240まで走査する。なお、インストラクション信号は第2駆動回路5BLも第2駆動回路5BRも同じ信号が入力されるため、インストラクション信号で設定された開始位置が11ライン目で、有効ライン数が110となっていて、スレーブである場合は、121本目の走査信号線GL121から順にGL230まで走査する。

【0045】なお、図9(a)は第2駆動回路5Bを液晶表示パネル1の上側に配置した場合を示し、図9(b)は第2駆動回路5Bを液晶表示パネル1の下側に配置した場合を示している。

【0046】ここで、図9を用いて有効ライン数をモードで指定する際の出力開始位置と有効ライン数との関係を説明する。例えばモード0は有効ライン数120で、モード1は有効ライン数110とすると、モード0では、前述したようにマスタ側の第2駆動回路5BL(以下マスタ)では、端子gm1から出力開始し120本の有効ライン数を出力して終了する。次にスレーブ側の第2駆動回路5BR(以下スレーブ)はカウンタでクロック信号CL1を計数しており、マスタの出力終了に引き続き端子gs120から出力を開始する。

【0047】次に、有効ライン数110本のモード1の場合では、マスタは110本分の走査信号を出力するが、端子gm1から出力したのでは、端子gm110で

出力が終了してしまい、走査信号線 G L 1 1 1 から G L 1 2 0 まで表示画面に画像が表示されないの部分が発生してしまう。そのため、出力開始位置は端子 g m 1 1 から指定される。ここで、有効ライン数が決まれば必要な出力開始位置も決まるので、出力開始位置の指定は不要のように思えるが、第 2 駆動回路 5 B の実装方法として、有効ライン数 1 1 0 本として、出力開始位置を g m 9 に指定して g m 1 1 9 と g m 1 2 0 を走査信号線 G L に接続しないといった接続も用いられるため、出力開始位置の設定も必要となる。

【0048】次に、スレーブではモード 1 の場合、有効ライン数 1 1 0 本で出力開始位置が 1 1 本目の場合でも、端子 g s 1 2 0 から出力開始して端子 g s 1 1 で終了するように動作する。さらにモード 1 のスレーブの場合で、開始位置が 9 本目と指定されている場合には、第 2 走査回路 5 B のマスタとスレーブとが対称に実装されているものと理解し、端子 g s 1 1 9 と g s 1 2 0 とは走査信号線 G L に接続されていないものとして、開始位置は端子 g s 1 1 8 となり、端子 g s 9 で出力を終了する。

【0049】図 10 に、図 9 に示す第 2 駆動回路 5 B のタイミングを示す。C L 1 は前述したように第 2 駆動回路 5 B に入力するクロック信号で、クロック信号 C L 1 に同期して第 2 駆動回路 5 B は内部のシフトレジスタの信号をシフトさせて、順番に走査信号を出力する。S T はスタート信号で、スタート信号によりシフトレジスタはシフト開始する。ただし、スタート信号 S T でシフト開始するのは端子 M S によりマスタに設定されている第 2 駆動回路 5 B である。図 9 では第 2 駆動回路 5 B L がマスタに設定されており、スタート信号によりシフト開

【0050】g m 1 から g m 1 2 0 は第 2 駆動回路 5 B L の出力端子を示している。図 9 において、第 2 駆動回路 5 B L はインストラクション信号の G S ビットが 0 に設定され、順方向出力であるためまず出力端子 g m 1 から走査信号が出力する。次に、クロック信号 C L 1 に同期して出力端子 g m 2 から走査信号が出力し、次々と出力端子から走査信号が出力して、端子 g m 1 2 0 まで走査信号が出力する。

【0051】次に、g s 1 から g s 1 2 0 は第 2 駆動回路 5 B R の出力端子を示している。スレーブに設定されている第 2 駆動回路 5 B R は第 2 駆動回路 5 B L の出力終了後に走査信号が出力する。前述したように、第 2 駆動回路 5 B R はインストラクション信号により有効走査線数が設定され、カウンタ回路 2 0 でクロック信号 C L 1 を計数しており、スタート信号 S T から有効走査線数 1 2 0 をカウントしたら、走査信号の出力を開始する。第 2 駆動回路 5 B R に入力しているインストラクション信号の G S ビットは 0 であるため、逆方向出力となり端子 g s 1 2 0 から走査信号を出力開始する。その後は端

子 g s 1 1 9 以降順に端子 g s 1 まで走査信号が出力する。

【0052】次に、図 11 を用いて他の実施例を示す。図 11 では、左側の第 2 駆動回路 5 B L の設定は、M S = 0 で、G S = 1 となっており、開始順は後開始で、走査方向は順方向である。また、右側の第 2 駆動回路 5 B R の設定は、M S = 1 で、G S = 1 となっており、開始順は先開始で、走査方向は逆方向である。なお、図 11 (a) は第 2 駆動回路 5 B を液晶表示パネル 1 の上側に配置した場合を示し、図 11 (b) は第 2 駆動回路 5 B を液晶表示パネル 1 の下側に配置した場合を示している。

【0053】次に、図 12 を用いて奇数番目の走査信号線と偶数番目の走査信号線とに分けて駆動する場合を説明する。図 12 の走査方法では、端子 S C M の値を設定することで第 2 駆動回路 5 B は奇数 - 偶数ライン出力モードに設定される。奇数 - 偶数ライン出力モードでは、スタート信号 S T により先開始するマスタは奇数番目の走査信号線を駆動し、スレーブは偶数番目の走査信号線を駆動することとなる。

【0054】図 12 では左側の第 2 駆動回路 5 B L はマスタに設定され、インストラクション信号の G S ビットの値は 0 になっており、開始順は先開始で、走査方向は順方向である。右側の第 2 駆動回路 5 B R はスレーブに設定されており、インストラクション信号の G S ビットは 0 なので、開始順は後開始で、走査方向は逆方向である。ただし、奇数 - 偶数ライン出力モードでは、スレーブはクロック信号 C L 1 の 2 カウント目から出力を開始し、マスタ、スレーブ共にクロック信号 C L 1 の 1 カウントおきに走査信号を出力する。なお、図 12 (a) は、第 2 駆動回路 5 B を液晶表示パネル 1 の上側に設けた場合で、図 12 (b) は、第 2 駆動回路 5 B を液晶表示パネル 1 の下側に設けた場合を示す。

【0055】図 13 に図 12 に示す構成のタイミング図を示す。まず、スタート信号 S T が入力するとマスタに設定してある第 2 駆動回路 5 B L が次のクロック信号 C L 1 に同期して端子 g m 1 から走査信号を出力する。次にスレーブに設定されている第 2 駆動回路 5 B R は、端子 g s 1 2 0 から走査信号が出力する。ただし、端子 g m 1 は液晶表示パネル 1 の奇数番目の走査信号線 G L 1 に接続されており、端子 g s 1 2 0 は偶数番目の走査信号線 G L 2 に接続されている。そのため、液晶表示パネル 1 では奇数番目、偶数番目の順番で走査信号線が駆動されることになる。その後、第 2 駆動回路 5 B R の端子 g s 1 から走査信号が出力し終了する。

【0056】次に、図 14 に奇数 - 偶数ライン出力モードで、左側の第 2 駆動回路 5 B L をスレーブとして、右側の第 2 駆動回路 5 B R をマスタとする場合を示す。図 14 では左側の第 2 駆動回路 5 B L はスレーブに設定され、インストラクション信号の G S ビットの値は 1 にな

っており、開始順は後開始で、走査方向は順方向である。右側の第2駆動回路5BRはマスタに設定されており、インストラクション信号のGSビットは1なので、開始順は先開始で、走査方向は逆方向である。また、奇数 - 偶数ライン出力モードに設定されているので、スレーブはクロック信号CL1の2カウント目から出力を開始し、マスタ、スレーブ共にクロック信号CL1の1カウントおきに走査信号を出力する。なお、図14(a)は、第2駆動回路5Bを液晶表示パネル1の上側に設けた場合で、図14(b)は、第2駆動回路5Bを液晶表示パネル1の下側に設けた場合を示す。

【0057】次に、図15に第1駆動回路5Aに対する第2駆動回路5Bの他の配置を示す。図15では、第2駆動回路5Bの横幅が広い場合に、第1駆動回路5Aに並べて配置するのではなく、図中下方にずらして配置している。図15に示す配置では、第2駆動回路5Bを複数設けて、隣合う第2駆動回路の間に、電源回路4や電源回路4からの配線7A、7Bを設けることが可能となっている。

【0058】図16に、第1駆動回路5Aと第2駆動回路5Bを1つのチップ上に形成した構成を示す。図16では、図5と同じく第1駆動回路5Aを挟んで、2つの第2駆動回路5BLと第2駆動回路5BRとが並んで配置されているが、各回路は1つのチップ上に半導体プロセスを用いて形成されている。

【0059】次に、電源回路4に用いられる昇圧回路について説明する。携帯電話機等の小型携帯機器では、電源として電池の利用が一般的である。また、流通量の多さから電池は出力電圧が1.5V程度から4V程度のものが利用される。

【0060】そのため、昇圧回路を用いて液晶表示装置用に電源電圧を作成している。図17に薄膜トランジスタ方式の液晶表示装置に必要な電源電圧を示す。図17では図1に示す対向電極15に供給する電圧VCOMを一定周期で反転させる、所謂VCOM反転駆動方式を用いている。図17においてVGONは薄膜トランジスタ(TFT)をオンするための走査信号のハイ電圧である。約15V程度が必要となる。DDVDHは図4に示す第1駆動回路(ソースドライバ)5A用の電源電圧である。第1駆動回路5Aの最大定格が6.0Vであるため、5.5V程度が必要となる。

【0061】VDHは階調基準電圧である。階調基準電圧VDHを基準に第1駆動回路で階調電圧を生成する。液晶材の特性から5.0V程度が必要である。VCOMHは対向電極用ハイ電圧で、VCOMLは対向電極用ロウ電圧である。VCOMHは5.0V以下が必要となり、VCOMLは-2V以上の電圧が必要となる。VG OFFHは走査信号線用オフハイ電圧であり、VG OFFLはオフロウ電圧である。VG OFFLは薄膜トランジスタをオフするための電圧であり、VG OFFHは蓄

積容量構造Cadd対応用の電圧である。VG OFFLは約-12V程度必要となり、VG OFFHは約-7V程度が必要となる。

【0062】VCLは対向電極用電圧生成電源である。対向電極用ロウ電圧VCOMLを生成するための電源電圧である。VCOML生成回路の動作マージンを考慮し-2.5V程度が必要となる。VGHは第2駆動回路5B(ゲートドライバ)用ハイ電源で、VGLは第2駆動回路5B用ロウ電源である。第2駆動回路5Bの最大定格が3.5VよりVGHは16.5V、VGLは-16.5V程度必要となる。

【0063】以上液晶表示装置に必要な電源の中で、第1駆動回路5A用の電源電圧DDVDHと、第2駆動回路5B用ハイ電源VGHと、第2駆動回路5B用ロウ電源VGLと、対向電極用電圧生成電源VCLとをチャージポンプ方式の昇圧回路を用いて作成することとし、他の電圧は昇圧回路で形成した電圧を分圧等して形成することとした。

【0064】チャージポンプ方式の昇圧回路の動作原理について図18を用いて、2倍昇圧を例に取り説明する。昇圧回路は入力電源Vin、昇圧容量C11、保持容量Cout1、切り替えスイッチSW1、SW2で構成され、切り替えスイッチにより図18(a)の充電状態と、図18(b)の放電状態を実現している。まず図18(a)の充電状態では切り替えスイッチSW1により、昇圧容量C11の一方の電極をGND電位に接続し、スイッチSW2により昇圧容量C11の他方の電極を入力電源Vinに接続して、昇圧容量C11を入力電源Vinに対し並列に接続する。これにより入力電源Vin分の電荷が昇圧容量C11に充電される。

【0065】次に図18(b)では、切り替えスイッチSW3により、図18(a)において昇圧容量C11のGND電位に接続された電極に、入力電源Vinを印加するよう直列に接続する。この時、昇圧容量C11の他方の電極は、入力電源Vinの2倍の電圧である2×Vinとなる。スイッチSW4により昇圧容量C11、入力電源Vinに対し並列にCout1を接続する。これにより保持容量Cout1には2×Vinの電圧が保持される。

【0066】図18に示す昇圧回路で、前述の第1駆動回路5A用の電源電圧DDVDHと、第2駆動回路5B用ハイ電源VGHと、第2駆動回路5B用ロウ電源VGLと、対向電極用電圧生成電源VCLとを作成するには、入力電源Vinを3Vとすると、第1駆動回路5A用の電源電圧DDVDHは約6Vなので、入力電源Vinを2倍とする昇圧回路が必要で、第2駆動回路5B用ハイ電源VGHは約15Vなので、入力電源Vinを5倍とする昇圧回路が必要で、第2駆動回路5B用ロウ電源VGLは約-15Vなので、入力電源Vinを-5倍とする昇圧回路が必要で、対向電極用電圧生成電源VCL

Lは約-3Vなので、入力電源 V_{in} を-5倍とする昇圧回路が必要となる。

【0067】図19に入力電源 V_{in} を2倍、5倍、-5倍、-1倍とする昇圧回路50の構成を示す。なお、-5倍、-1倍とする場合は、昇圧回路を入力電圧から異なる電圧を形成する回路の意味で用いる。図19に示す回路では、回路の外付部品としてコンデンサ51を多数使用しており、実装部品点数が多くなり、実装面積が広がってしまうといった問題がある。図中 V_{out1} から V_{out4} は出力電圧を保持する保持容量であ

10
【0068】次に、図20に昇圧回路50の出力を入力電源として利用することで、外付けコンデンサ51の数を減らす構成を示す。昇圧回路52では入力電源 V_{in} を2倍にしているので、昇圧回路52の出力電圧を利用すると、昇圧回路53で3倍にすることで、入力電源 V_{in} の6倍の電圧18Vを形成することが可能であり、第2駆動回路5B用ハイ電源 V_{GH} は約15Vに利用するには充分である。また、昇圧回路53からの出力を利用することで、昇圧回路54は-1倍で電圧-18Vを形成することが可能で、第2駆動回路5B用ロウ電源 V_{GL} 、対向電極用電圧生成電源 V_{CL} に利用可能である。図20に示す回路では、図19に示す回路に対して外付けコンデンサ51の数を10個から4個に減少することができる。ただし、電圧-18Vを対向電極用電圧生成電源 V_{CL} に利用するには、対向電極用電圧生成電源 V_{CL} が約-3Vであるため効率が悪くなる問題がある。

【0069】図21に対向電極用電圧生成電源 V_{CL} は入力電源 V_{in} を用いて形成する場合の回路を示す。図21では、効率が悪くなる対向電極用電圧生成電源 V_{CL} は昇圧回路55を用いて、入力電源 V_{in} を-1倍することで、対向電極用電圧生成電源 V_{CL} を形成している。

【0070】図22を用いて昇圧回路53の動作を説明する。図22(a)では、昇圧回路52の保持容量 C_{out1} の出力である電圧 $DDVDH$ を用い、昇圧容量 C_{21} と C_{22} とを電圧 $DDVDH$ に充電する。その後、図22(b)では、昇圧容量 C_{21} 、 C_{22} と保持容量 C_{out1} とを直列につなぐことで、電圧 $DDVDH$ の3倍で、入力電源 V_{in} の6倍の電圧を作成している。図22(c)では、保持容量 C_{out1} の代わりに入力電源 V_{in} を用いて、昇圧容量 C_{21} 、 C_{22} と入力電源 V_{in} を直列に接続することで、出力電圧として保持容量 C_{out2} に入力電源 V_{in} の5倍の電圧を保持することが可能である。

【0071】次に、図23を用いて昇圧回路54の動作を説明する。図23(a)では、昇圧回路53の保持容量 V_{out2} の出力である電圧 V_{GH} を用いて、昇圧容量 C_{31} を電圧 V_{GH} に充電する。その後、図23

(b)では、昇圧容量 C_{31} の正極性側の電極をGND電位に接続することで、電圧 V_{GH} と極性が反転した電圧 V_{GL} を作成している。昇圧容量 C_{31} と保持容量 C_{out3} を並列につなぐことで、保持容量 C_{out3} に電圧 V_{GL} が保持される。

【0072】次に、図24を用いて昇圧回路55の動作を説明する。図24(a)では、入力電源 V_{in} を用いて、昇圧容量 C_{41} を電圧 V_{in} に充電する。その後、図24(b)では、昇圧容量 C_{41} の正極性側の電極をGND電位に接続することで、入力電源 V_{in} と極性が反転した電圧 V_{CL} を作成している。昇圧容量 C_{41} と保持容量 C_{out4} を並列につなぐことで、保持容量 C_{out4} に電圧 V_{CL} が保持される。

【0073】次に、図25を用いてさらに外付けコンデンサの数を減らす方法について説明する。図25では、電圧 V_{GH} 、 V_{GL} 、 V_{CL} を作成するために、外付けコンデンサを兼用している。図25では昇圧回路56と57の出力をスイッチ $SW5$ と $SW6$ を用いて、保持容量 C_{out2} 、 C_{out3} 、 C_{out4} 、につなぎかえることで必要な電圧を作成している。図25の回路では外付けコンデンサの数が3個となっており、外付けの部品数が減少している。

【0074】なお、図19に示す昇圧回路では、例えば5倍の電圧を作成するのにコンデンサが5個と電源電圧に対して昇圧する電圧の倍數分のコンデンサが必要である。対して図20、図21に示す昇圧回路では、保持容量 C_{out1} 、 C_{out2} で保持されている昇圧した電圧を利用することで、コンデンサを省略し部品数を減少させている。さらに、図25に示す回路では、負極性側の電圧をコンデンサの接続を逆転することと、保持容量の昇圧された電圧に加えて入力電源 V_{in} を利用することで、コンデンサを兼用可能として部品数を減少させている。このコンデンサの数を省略可能としたり、兼用可能としているのは、液晶表示装置特有の電源が第1駆動回路5A用の電源電圧 $DDVDH$ と、第2駆動回路5B用ハイ電源 V_{GH} と、第2駆動回路5B用ロウ電源 V_{GL} と、対向電極用電圧生成電源 V_{CL} のように複数あり、また、負極性側の電圧があるため、複数の昇圧回路の間で外付けコンデンサを兼用することや、昇圧した電圧を利用することが可能となっている。

【0075】図26を用いて図25に示す回路の動作を説明する。電圧 V_{GH} を作成するには、昇圧回路56で電圧 $DDVDH$ を2倍にして、昇圧回路57で入力電源 V_{in} を1倍にして、スイッチ $SW5$ により昇圧回路57の出力を保持容量 C_{out2} 接続して、昇圧回路56と57の出力電圧を保持することで、電圧 V_{GH} を作成することが可能である。図26(a)では昇圧回路52の出力電圧 $DDVDH$ を昇圧容量 C_{21} に充電し、図26(b)では入力電源 V_{in} が昇圧容量 C_{41} に充電されている。その後図26(c)に示すように、昇圧容量

C21とC41と保持容量Cout1を直列に接続することで、電圧VGHを作成している。

【0076】次に、図27を用いて電圧VGLを作成する動作について説明する。電圧VGLを作成するには昇圧回路56で電圧DDVDHを-1倍にして、昇圧回路57で入力電源Vinを-1倍にして、保持容量Cout3に出力電圧を保持することで、電圧VGLを作成することが可能である。図27(a)では、昇圧容量C21に電圧DDVDHが充電され、図27(b)では昇圧容量C41に入力電源Vinが充電されている。充電後、図27(c)では昇圧容量C41とC21が逆極性となるように直列に接続され、電圧VGLが作成される。ここで、電圧VGLは-9Vになるが、薄膜トランジスタ10をオフ状態に保つうえでは、動作上は問題がない範囲である。

【0077】電圧VCLは図24を用いた方法と同じ動作で作成される。以上の方法で外付けの昇圧容量を兼用して電圧を作成することが可能であるが、昇圧容量C21とC41は兼用されるので、充電と保持のタイミングをずらす必要がある。昇圧容量C21とC41を充電して保持容量Cout2に保持する動作1と、昇圧容量C21とC41を充電して保持容量Cout3に保持する動作2とのタイミングをずらす必要があり、充電する時間と保持する時間を同じ時間で動作させると、タイミングをずらす必要があることから、デューティは50%から25%となる。

【0078】次に、図28を用いて他の外付けコンデンサの数を減少させる方法について説明する。図28は駆動回路5の出力回路を示す概略回路図である。71は出力アンプであり、出力アンプ71の出力は端子73から外部に出力される。72は内部アンプであり、内部アンプ72と外部アンプ71の間には内部抵抗76を介して接続されている。しかしながら、内部アンプ72と外部アンプ71の間で低消費電力化するため、高抵抗の内部抵抗76を用いているため、電流量が少なく信号にノイズがのり易く出力アンプ71の入力レベル不安定であった。

【0079】そのため、図28(a)のように、出力アンプ71の入力から端子74を外部に取り出し、外付けコンデンサ75を接続することで、出力アンプ71の入力を安定化させていた。しかしながら、小型携帯機器ではさらに小型化の要望があり、外付け部品の実装面積を縮小する必要が生じた。そのため、図28(b)に示すように、出力アンプ71の入力にローパスフィルタ77を接続して、出力アンプ71の入力を安定化するとともに、外付け部品の数を減少させている。

【0080】次に、昇圧回路を用いて電源電圧を作成する際の問題点について説明する。昇圧回路を用いて電源電圧を作成する場合には、小型携帯機器の電源投入時には電源電圧が所定の電圧となっていない。そのため、駆動

*回路5の内部では図29、図30に示すような電源電圧の状態となる。81は寄生PNPバイポーラであり、82は寄生NPNバイポーラである。これら寄生バイポーラによりNPNサイリスタとPNPNサイリスタが構成されており、Vin-VDH間電圧と、GND-VGL間電圧が、サイリスタの閾値VFを超えるとサイリスタをオフすることができなくなる。しかしながら、電源投入時では電源VGLはGND電位以上の電位となり、駆動回路5の電源電圧VDHも入力電源Vin以下の電位となってしまう。そのため、Vin-GND間で大電流が流れサイリスタをオフできない、ラッチアップの現象が発生する。なお、図30に示すように電源VGLは基板電位として駆動回路に印加されている。

【0081】そこで、図29に示すようにラッチアップすることを阻止するため、外付けダイオード78を用いて、GND-VGL間電圧をサイリスタの閾値VFを超えないように固定した。しかしながら、外付け部品を削減するため、回路内部で電源電圧をレベルセンスして、基板電位VGLとGND電位とを切り離す起動補助回路を設けることとした。

【0082】図31は起動補助回路80の回路構成である。83は電源電圧レベルセンス回路である。電源電圧レベルセンス回路83では、駆動回路5の電源電圧VDHが入力電源Vinに対して大きくなったかを判別している。85はショートスイッチ回路である。ショートスイッチ回路は基板電位VGLとGND電位を強制的にショートさせることが可能である。84は制御回路である、制御回路84は電源電圧レベルセンス回路83で電源電圧VDHが入力電源Vinに対して大きくなったことを判別した後、端子86から入力するインストラクション信号により、ショートスイッチ回路85を制御して基板電位VGLとGND電位をショートさせた状態を終了させる。

【0083】起動補助回路80を設けることで、昇圧回路による電源電圧が安定するまで、基板電位VGLとGND電位を強制的にショートし、昇圧回路による電源電圧が安定した後に、前記ショートした状態を解除できるため、寄生バイポーラによるラッチアップを防止し、外付け部品の数も少なくすることが可能となる。

【0084】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明の液晶表示装置によれば、駆動回路の実装面積が小さく、駆動回路の配置が自由に選ぶことが可能となる。

(2) 本発明の液晶表示装置によれば、外付け部品点数を少なくし、携帯に便利な電池を用いて駆動される液晶表示装置が実現可能となる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 の液晶表示装置を示す概略ブロック図である。

【図 2】本発明の実施の形態 1 の液晶表示装置を示す概略ブロック図である。

【図 3】本発明の実施の形態 1 の液晶表示装置に用いられる駆動回路の端子配置を示す概略図である。

【図 4】本発明の実施の形態 1 の液晶表示装置を示す概略ブロック図である。

【図 5】本発明の実施の形態 1 の液晶表示装置を示す概略ブロック図である。

【図 6】本発明の実施の形態 1 の液晶表示装置の駆動回路の配置と走査方向を説明する概略図である。

【図 7】本発明の実施の形態 1 の液晶表示装置に用いられる駆動回路の端子配置と内部構成を示す概略ブロック図である。

【図 8】本発明の実施の形態 1 の液晶表示装置に用いられるインストラクション信号を示す概略図である。

【図 9】本発明の実施の形態 1 の液晶表示装置の駆動回路と液晶表示パネルの位置関係を示す概略ブロック図である。

【図 10】図 9 に示す液晶表示装置の駆動方法を示すタイミング図である。

【図 11】本発明の実施の形態 1 の液晶表示装置の駆動回路と液晶表示パネルの位置関係を示す概略ブロック図である。

【図 12】本発明の実施の形態 1 の液晶表示装置の駆動回路と液晶表示パネルの位置関係を示す概略ブロック図である。

【図 13】図 12 に示す液晶表示装置の駆動方法を示すタイミング図である。

【図 14】本発明の実施の形態 1 の液晶表示装置の駆動回路と液晶表示パネルの位置関係を示す概略ブロック図である。

【図 15】本発明の実施の形態 1 の液晶表示装置を示す概略ブロック図である。

【図 16】本発明の実施の形態 1 の液晶表示装置を示す概略ブロック図である。

【図 17】本発明の実施の形態 1 の液晶表示装置に用いられる電源電圧を説明する模式図である。

【図 18】本発明の実施の形態 1 の液晶表示装置に用いられる昇圧回路を説明する概略回路図である。

【図 19】本発明の実施の形態 1 の液晶表示装置に用いられる昇圧回路を説明する概略回路図である。

【図 20】本発明の実施の形態 1 の液晶表示装置に用いられる昇圧回路を説明する概略回路図である。

【図 21】本発明の実施の形態 1 の液晶表示装置に用いられる昇圧回路を説明する概略回路図である。

【図 22】本発明の実施の形態 1 の液晶表示装置に用いられる昇圧回路を説明する概略回路図である。

【図 23】本発明の実施の形態 1 の液晶表示装置に用いられる昇圧回路を説明する概略回路図である。

【図 24】本発明の実施の形態 1 の液晶表示装置に用いられる昇圧回路を説明する概略回路図である。

【図 25】本発明の実施の形態 1 の液晶表示装置に用いられる昇圧回路を説明する概略回路図である。

【図 26】本発明の実施の形態 1 の液晶表示装置に用いられる昇圧回路を説明する概略回路図である。

【図 27】本発明の実施の形態 1 の液晶表示装置に用いられる昇圧回路を説明する概略回路図である。

【図 28】本発明の実施の形態 1 の液晶表示装置に用いられる出力回路を説明する概略回路図である。

【図 29】本発明の実施の形態 1 の液晶表示装置に用いられる駆動回路の電源投入時を説明する概略回路図である。

【図 30】本発明の実施の形態 1 の液晶表示装置に用いられる駆動回路の電源投入時を説明する概略平面図と概略断面図である。

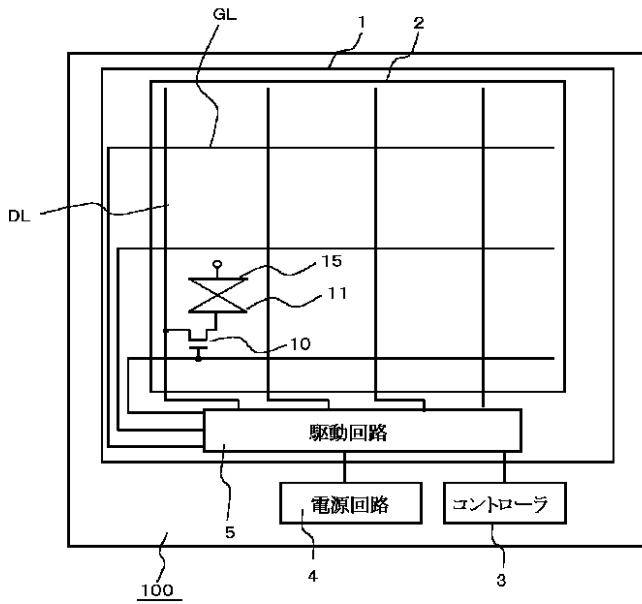
【図 31】本発明の実施の形態 1 の液晶表示装置に用いられる起動補助回路を説明する概略回路図である。

【符号の説明】

1...液晶表示パネル、2...表示領域、3...コントローラ、4...電源回路、5...駆動回路、6、7、8...配線、9...スルー領域、10...スイッチング素子（薄膜トランジスタ）11...画素電極、12...配線（インストラクション信号線）、20...クロック回路、21...走査モード設定部、30...フレキシブルプリント基板、50、51、52、53、54、55、56、57...昇圧回路、71...出力アンプ、72...内部アンプ、73、74...端子、75...外付コンデンサ、77...ローパスフィルタ、78...外付けダイオード、80...起動補助回路、100...液晶表示パネル。

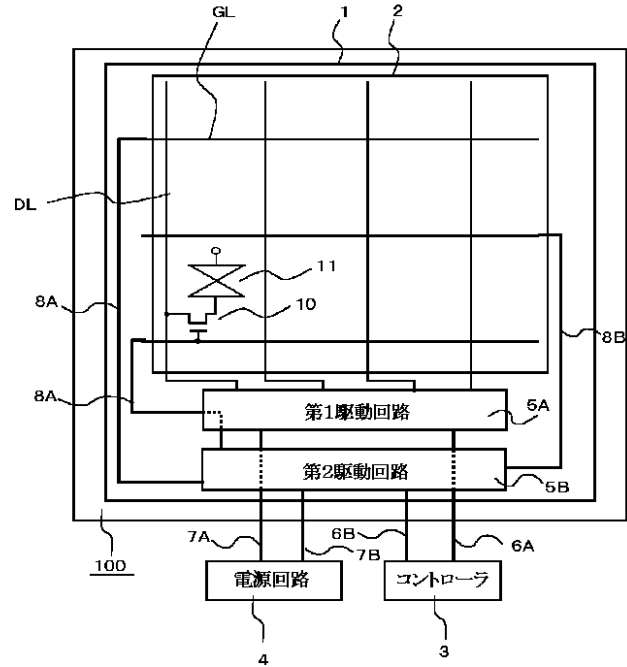
【図1】

図1



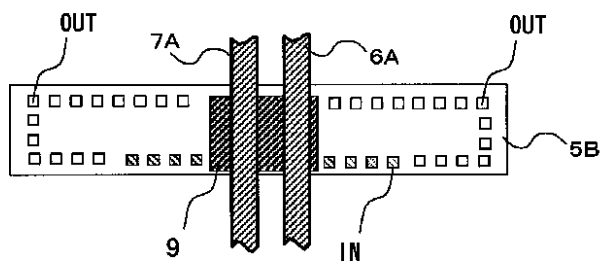
【図2】

図2



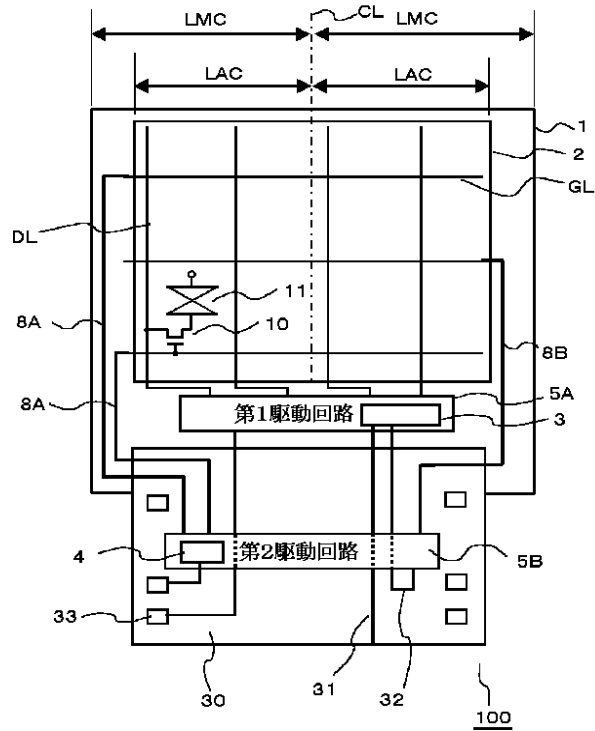
【図3】

図3



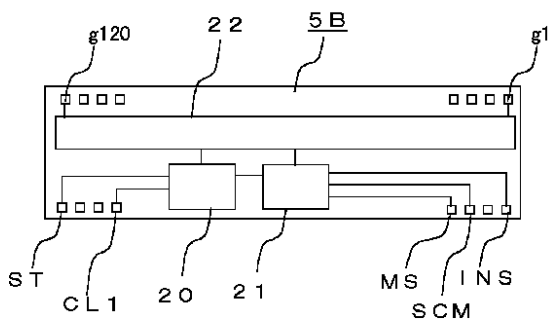
【図4】

図4



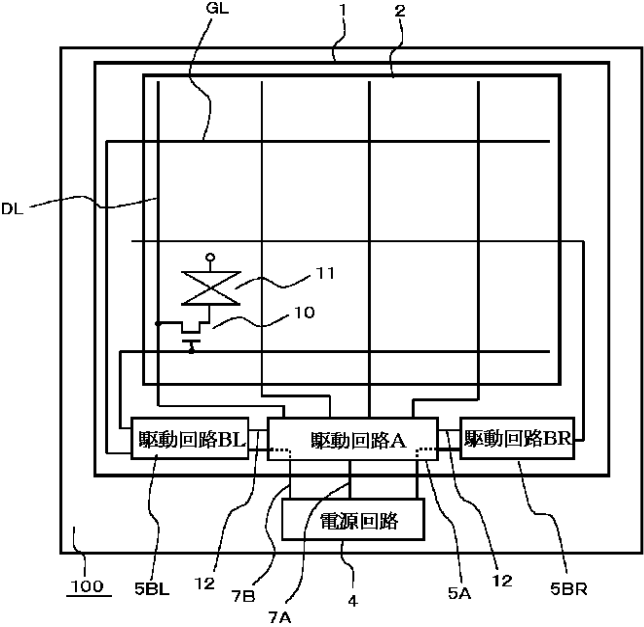
【図7】

図7



【図 5】

図5



【図 8】

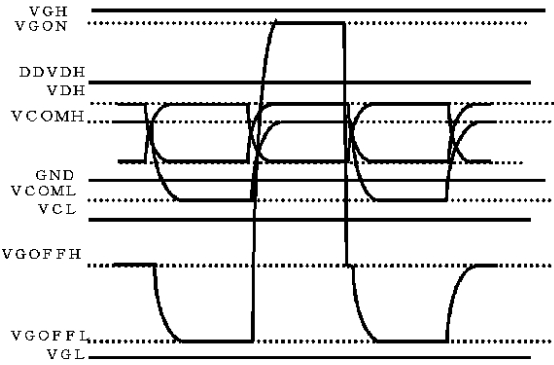
図8

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	*	GON	*	*	*	*	*	*	*	*	*	*	SLP
1	1	0	0	0	GS	NL4	NL3	NL2	NL1	NL0	SC4	SC3	SC2	SC1	SC0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	FL1	FL0

I D

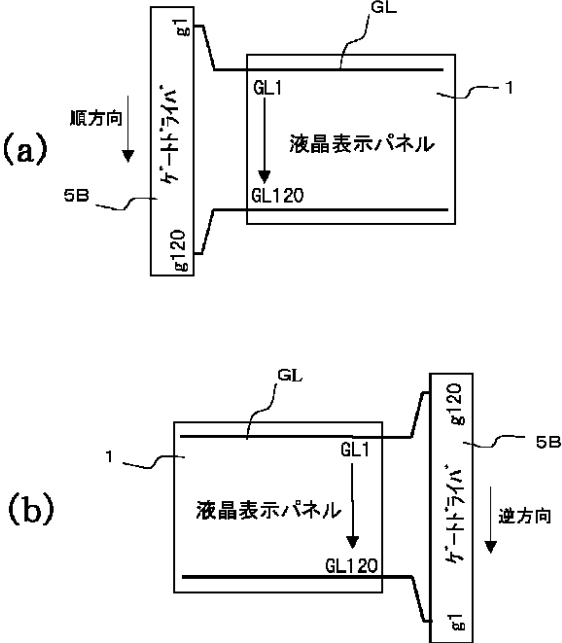
【図 17】

図17



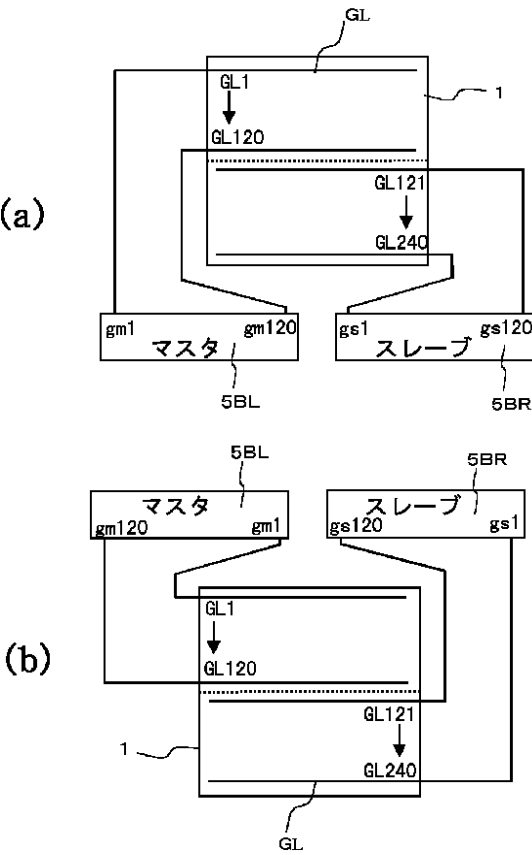
【図 6】

図6



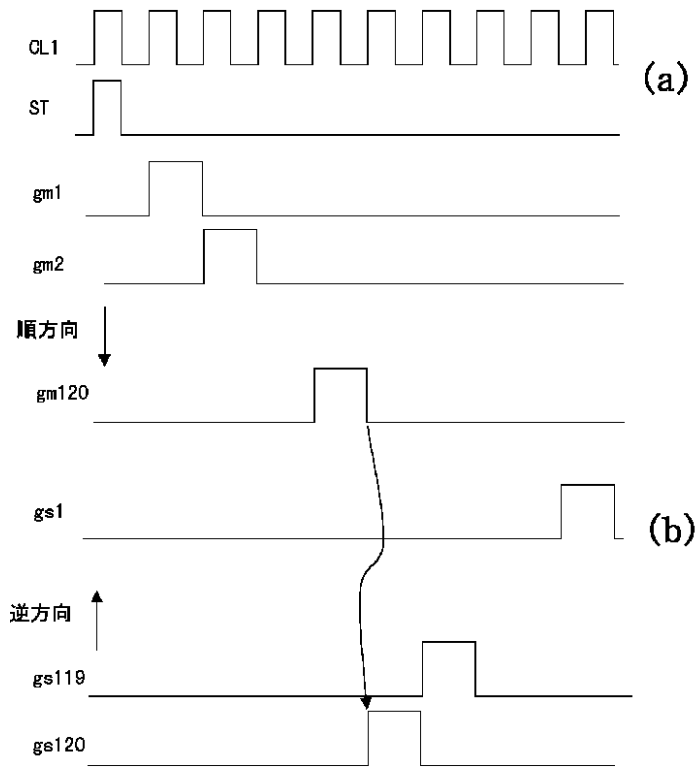
【図 9】

図9



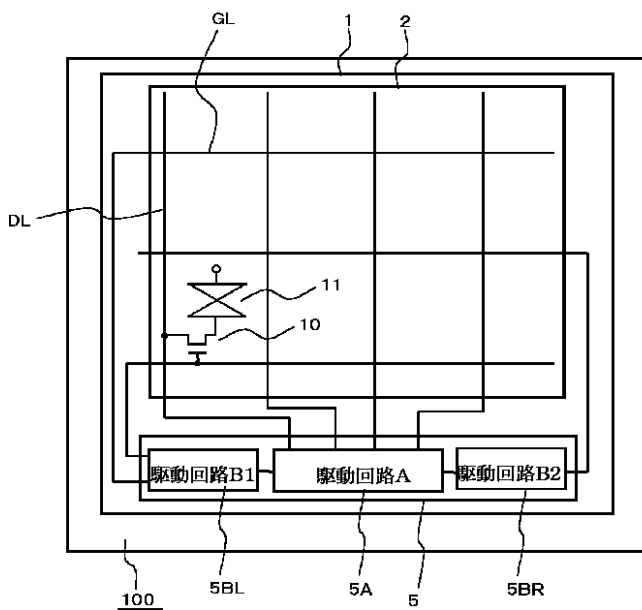
【図 10】

図10



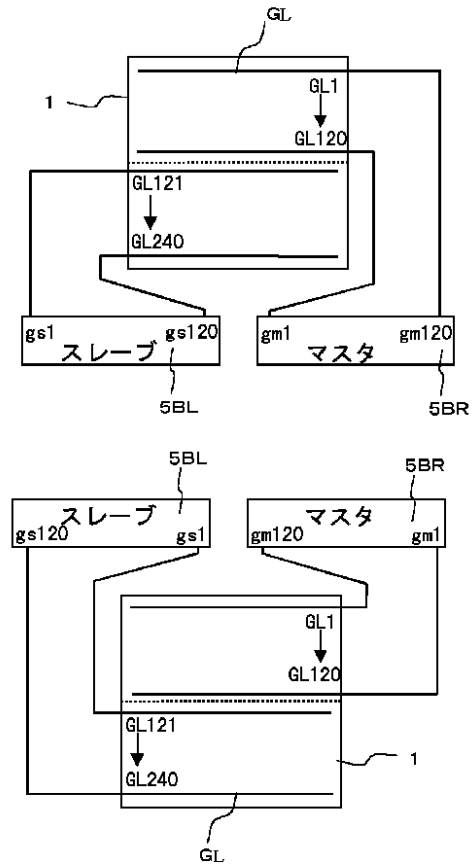
【図 16】

図16



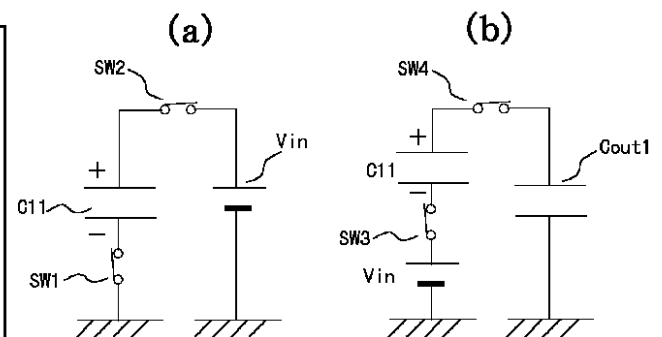
【図 1 1】

图11



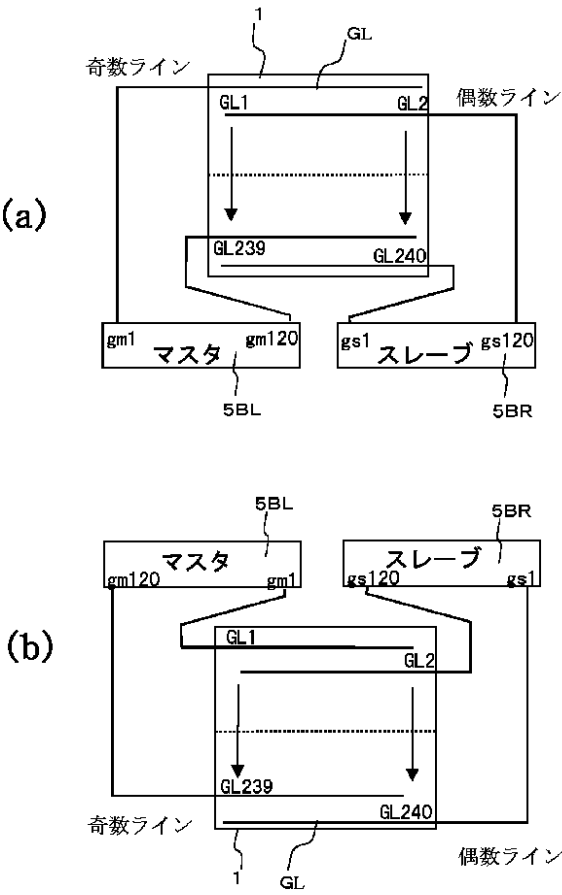
【图 18】

図18



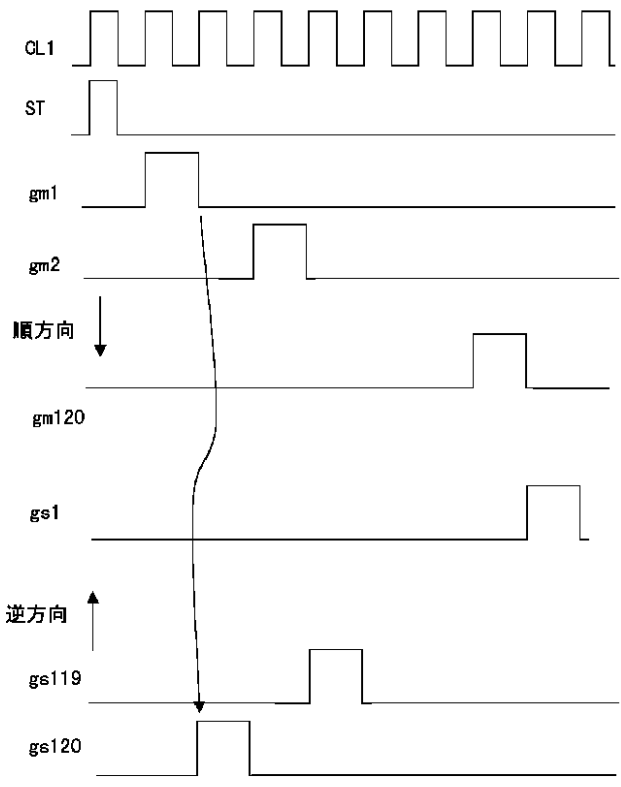
【図12】

図12



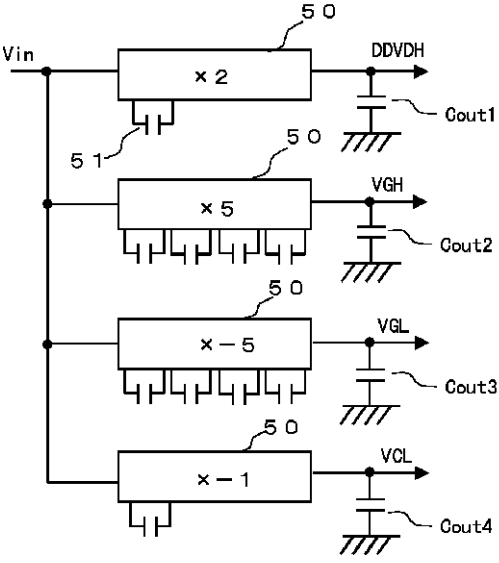
【図13】

図13



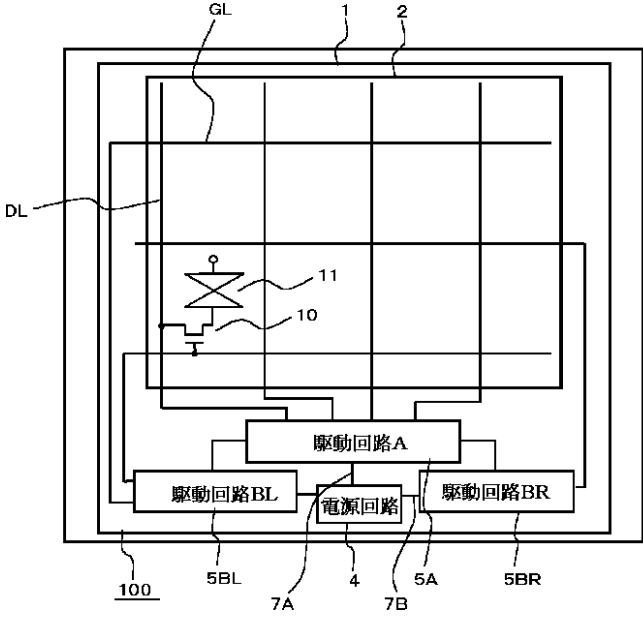
【図19】

図19



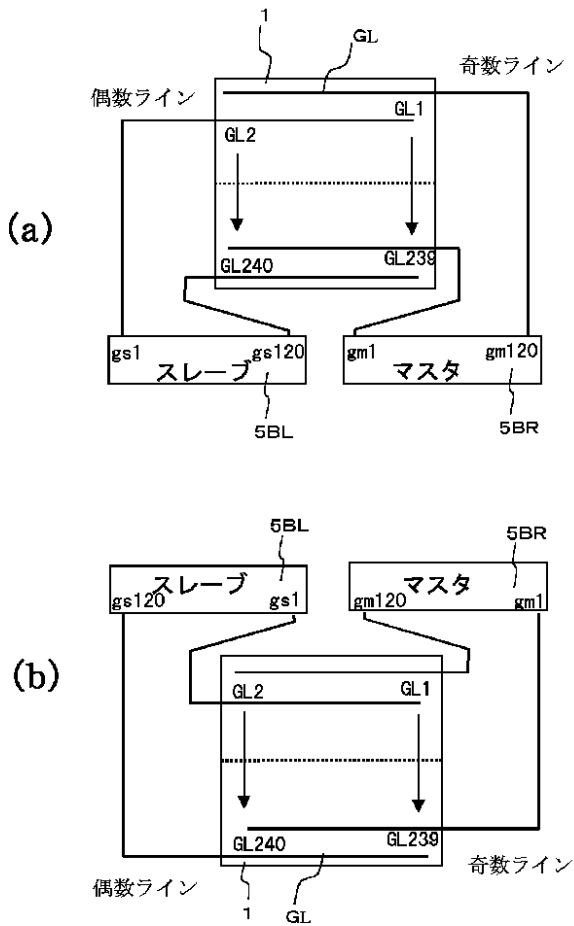
【図15】

図15



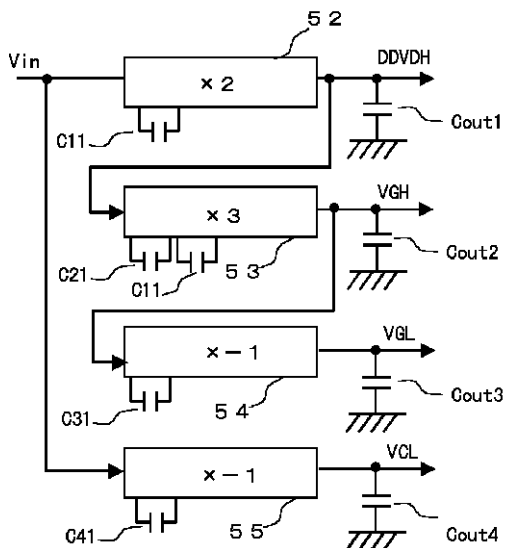
【図14】

図14



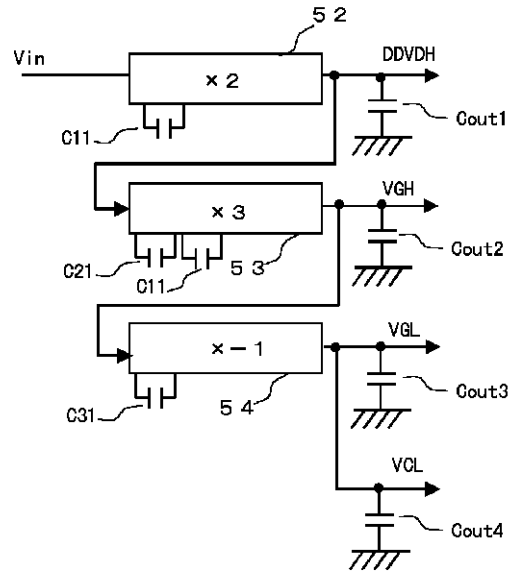
【図21】

図21



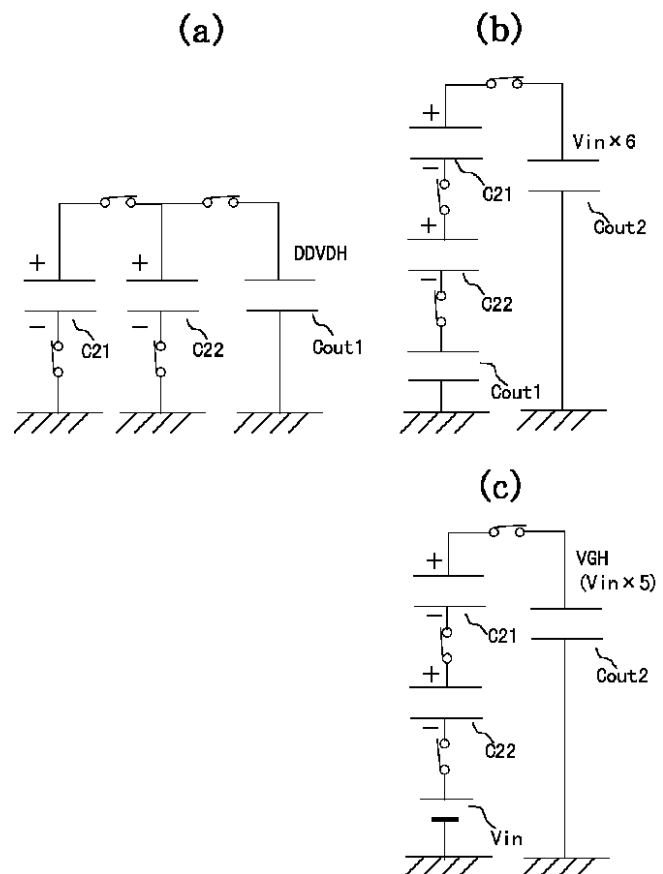
【図20】

図20



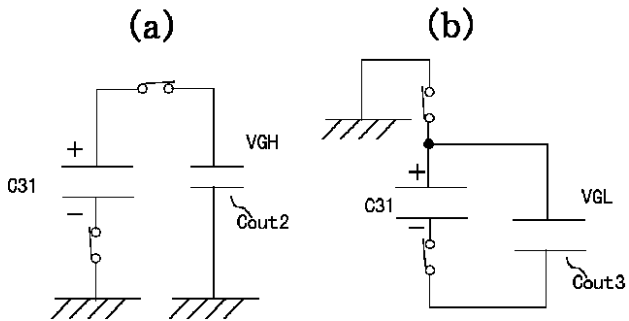
【図22】

図22



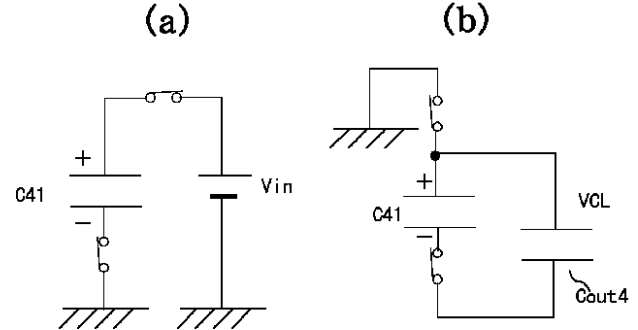
【図23】

図23



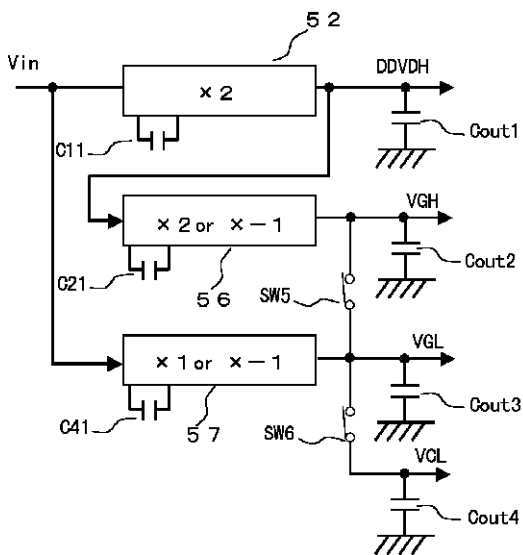
【図24】

図24



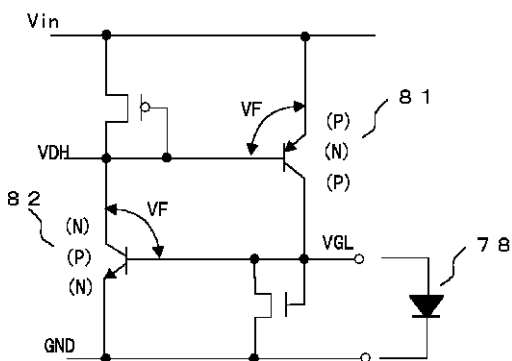
【図25】

図25



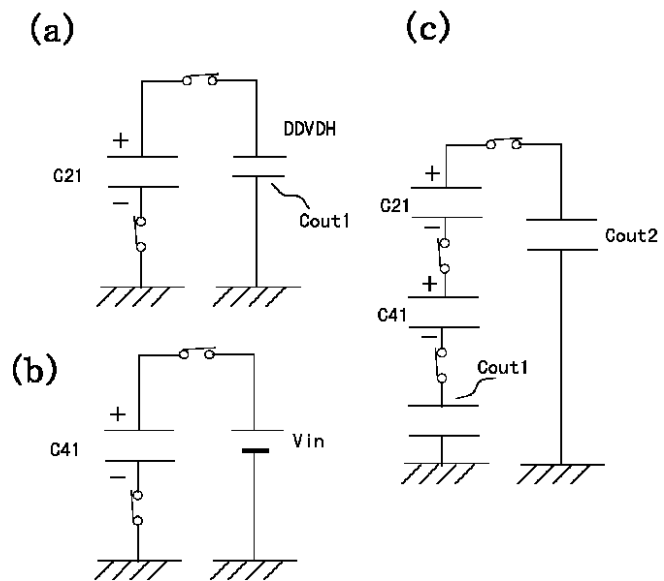
【図29】

図29



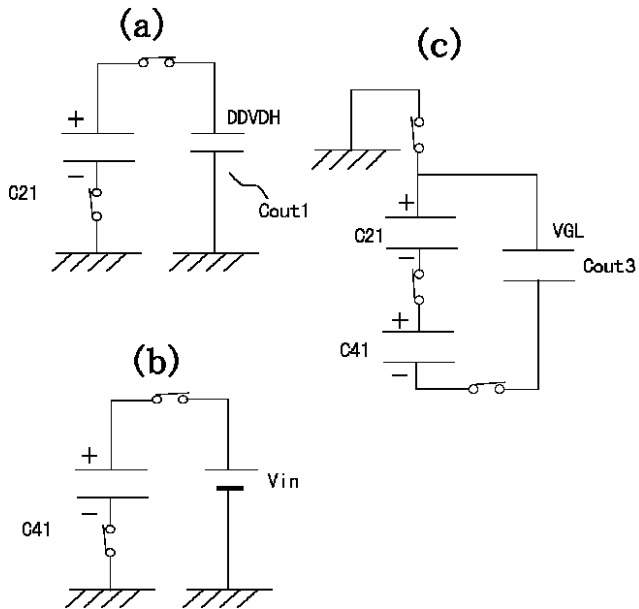
【図26】

図26



【図27】

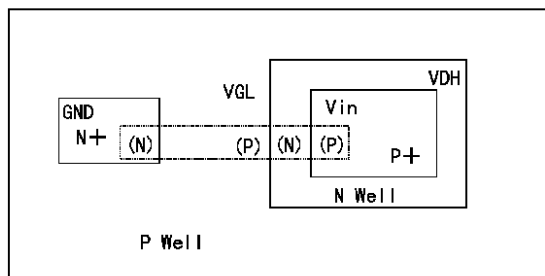
図27



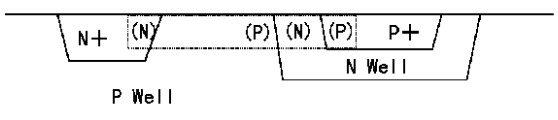
【図30】

図30

(a)

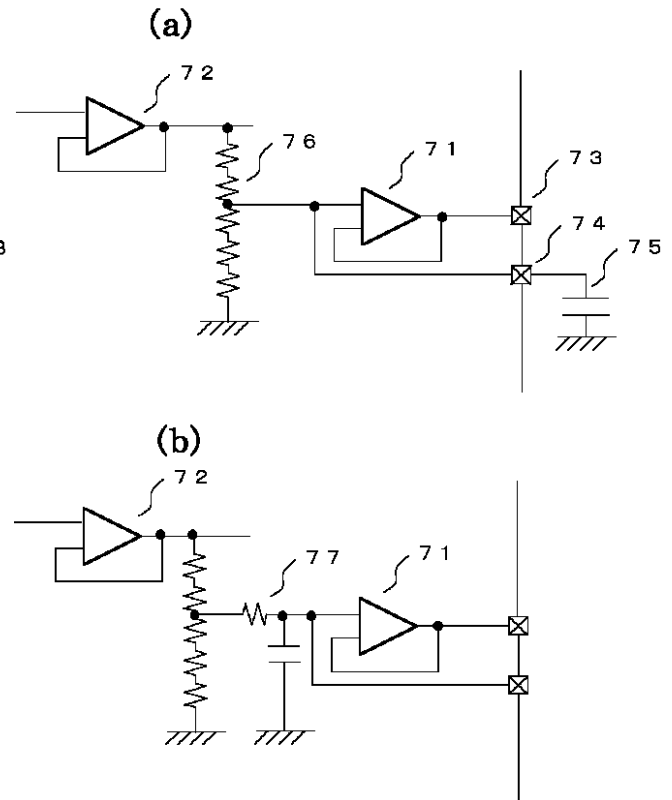


(b)



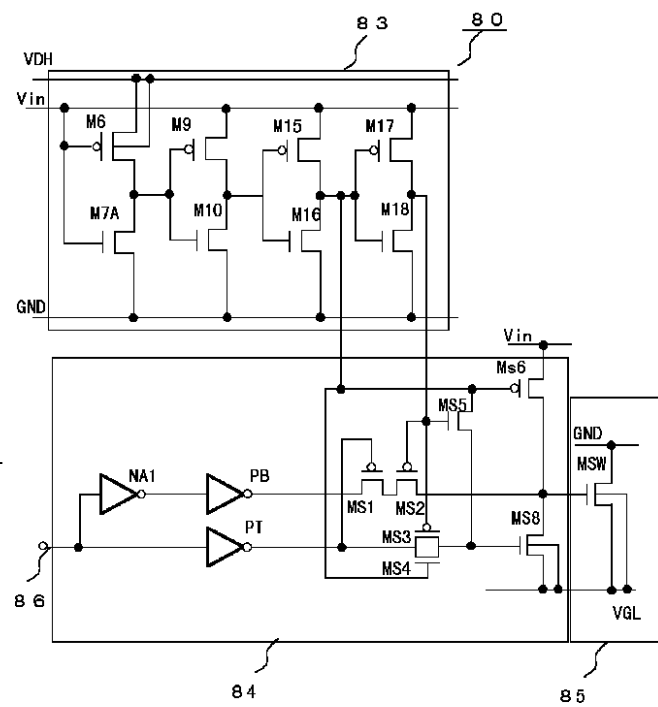
【図28】

図28



【図31】

図31



フロントページの続き

(51) Int.Cl. ⁷		識別記号	F I	テ-マコ-ト [*] (参考)	
G 0 9 G	3/20	6 2 1	G 0 9 G	3/20	6 2 1 M
		6 8 0			6 8 0 G
	3/36			3/36	
(72) 発明者 後藤 充		F タ-ム (参考)			
千葉県茂原市早野3300番地 株式会社日立		2H092 GA32 GA40 GA50 GA59 JA24			
製作所ディスプレイグループ内		JB22 JB31 NA26			
(72) 発明者 澤畑 正人		2H093 NA16 NA31 NA43 NC02 NC09			
千葉県茂原市早野3300番地 株式会社日立		NC11 NC16 ND39			
製作所ディスプレイグループ内		5C006 AA22 BB16 BC02 BC20 BF46			
(72) 発明者 渡辺 浩		EB05 FA41 FA47			
千葉県茂原市早野3681番地 日立デバイス		5C080 AA10 BB05 CC03 DD22 DD25			
エンジニアリング株式会社内		DD26 FF11 JJ02 JJ03 JJ04			
(72) 発明者 沼田 祐一		JJ06 KK07 KK47			
千葉県茂原市早野3300番地 株式会社日立		5G435 AA18 BB12 CC09 EE36 EE37			
製作所ディスプレイグループ内		EE40 EE42 EE47 LL07 LL08			

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2003107520A5	公开(公告)日	2005-01-20
申请号	JP2001305930	申请日	2001-10-02
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
当前申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	AOKI YOSHINORI GOTO MITSURU SAWAHATA MASATO WATANABE HIROSHI NUMATA YUICHI 青木義典 後藤充 澤畑正人 渡辺浩 沼田祐一		
发明人	青木 義典 後藤 充 澤畑 正人 渡辺 浩 沼田 祐一		
IPC分类号	G02F1/1345 G02F1/13 G02F1/133 G09F9/00 G09G3/20 G09G3/36 H02M3/07		
CPC分类号	H02M3/07 G09G3/3677 G02F2001/13456 G09G2310/0281 G09G3/3696 G02F1/13452 H02M2001/009 G09G2310/0283 G09G2300/0426		
FI分类号	G02F1/1345 G02F1/133.550 G09F9/00.348.B G09G3/20.611.A G09G3/20.612.D G09G3/20.621.M G09G3/20.680.G G09G3/36		
F-TERM分类号	2H093/NC16 5G435/EE36 5C080/DD26 5C006/BC20 2H093/NC11 5C080/JJ03 5C080/AA10 2H092/NA26 2H092/JB31 5C080/BB05 5C006/FA47 5G435/EE42 5C080/JJ04 2H092/GA32 5G435/BB12 2H092/JA24 2H092/GA40 5G435/EE37 5C080/KK07 5C080/FF11 2H093/ND39 5C080/CC03 2H093/NC02 5G435/LL08 5G435/EE47 2H093/NC09 2H093/NA31 5C006/AA22 5C006/BF46 2H092/JB22 5G435/CC09 5C080/JJ06 5G435/EE40 5C006/BB16 5C080/JJ02 5C006/EB05 2H093/NA43 5C006/BC02 5C080/DD25 2H093/NA16 2H092/GA50 5G435/AA18 2H092/GA59 5G435/LL07 5C080/DD22 5C006/FA41 5C080/KK47 2H193/ZA04 2H193/ZF02 2H193/ZF43		
其他公开文献	JP2003107520A JP3959253B2		

摘要(译)

解决的问题：提供一种用于小型便携式设备的液晶显示设备，其中驱动电路的安装面积小并且可以自由安装。一种液晶显示装置，包括液晶显示元件和液晶驱动电路，其中，所述液晶驱动电路安装在液晶显示面板的一侧，并且设置有多个用于驱动扫描信号线的驱动电路。扫描信号线驱动电路设置有用将信号传输到扫描信号线的布线，该布线与视频信号线驱动电路平行地形成，并且用于驱动视频信号线的电路从液晶显示面板的左右插入。连接到线路上的驱动电路由外部信号控制。

