

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 5220

(P2003 - 5220A)

(43)公開日 平成15年1月8日(2003.1.8)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
H 0 1 L 21/28		H 0 1 L 21/28	E 4 M 1 0 4
	301		301 R 5 F 1 1 0
21/336		29/78	616 U
29/786			616 K
審査請求 未請求 請求項の数 20 O L (全 13数)			

(21)出願番号 特願2002 - 79429(P2002 - 79429)

(22)出願日 平成14年3月20日(2002.3.20)

(31)優先権主張番号 2001 - 014651

(32)優先日 平成13年3月21日(2001.3.21)

(33)優先権主張国 韓国(KR)

(71)出願人 501426046

エルジー・フィリップス エルシーデー

カンパニー, リミテッド

大韓民国 ソウル, ヨンドウンポ - ク, ヨイド - ドン 20

(72)発明者 チェ ジー スン

大韓民国 インチョン - シ, ヨンス - ク, ドンチュン - ドン, ハンヤン 1チャ アパートメント, ナンバー111 - 607

(74)代理人 100064447

弁理士 岡部 正夫 (外 1 0 名)

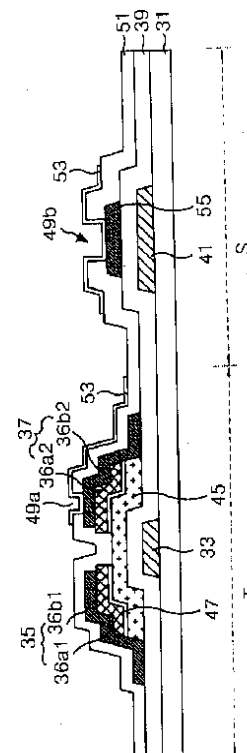
最終頁に続く

(54)【発明の名称】 2層構造のソース電極及びドレイン電極を有する液晶表示素子及びその製造方法

(57)【要約】

【目的】 本発明は画質を向上させることができる2層構造のソース及びドレイン電極を有する液晶表示素子及びその製造方法に関するものである。

【解決手段】 本発明による液晶表示装置は基板上に形成されるゲート電極と、前記基板の上部に形成される第1半導体層と、前記第1半導体層の上部に所定の間隔に離隔されるように形成されて、同一のパターンの第1及び第2金属層に形成されるソース及びドレイン電極とを具備する。



【特許請求の範囲】

【請求項 1】 基板上に形成されるゲート電極と、前記基板の上部に形成される第 1 半導体層と、前記第 1 半導体層の上部に所定の間隔に離隔されるように形成されて、同一のパターンの第 1 及び第 2 金属層に形成されるソース及びドレイン電極とを具備することを特徴とする 2 層構造のソース電極及びドレイン電極を有する液晶表示素子。

【請求項 2】 前記基板と第 1 半導体層の間の前記ゲート電極を覆うように形成されるゲート絶縁膜と、前記第 1 半導体層と第 1 金属層の間に形成されて、前記第 1 及び第 2 金属層と同一のパターンに所定間隔に離隔されるように形成される第 2 半導体層と、前記ソース及びドレイン電極を覆うように形成される保護層と、前記保護層の上に形成される画素電極を更に具備することを特徴とする請求項 1 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子。

【請求項 3】 前記第 1 金属層はモリブデン (Mo) またはチタニウム (Ti) などで形成されることを特徴とする請求項 1 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子。

【請求項 4】 前記データ金属層はアルミニウム (Al)、アルミニウム合金、銅 (Cu) または銅合金に形成されることを特徴とする請求項 1 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子。

【請求項 5】 基板上に形成されるゲート電極と、前記ゲート電極の上部に形成される第 1 半導体層と、前記第 1 半導体層の上部に所定間隔に離隔されるように形成されて、第 1 及び第 2 金属層に形成されるソース及びドレイン電極と、前記第 1 金属層の下部に前記第 1 金属層と同一のパターンに形成される第 2 半導体層とを具備することを特徴とする 2 層構造のソース電極及びドレイン電極を有する液晶表示素子。

【請求項 6】 前記ゲート電極を覆うように形成されるゲート絶縁膜と、前記ソース及びドレイン電極を覆うように形成される保護層と、前記保護層の上に形成される画素電極を更に具備することを特徴とする請求項 5 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子。

【請求項 7】 前記第 1 金属層はモリブデン (Mo) またはチタニウム (Ti) などで形成されることを特徴とする請求項 5 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子。

【請求項 8】 前記第 2 金属層はアルミニウム (Al)、アルミニウム合金、銅 (Cu) または銅合金に形成されることを特徴とする請求項 5 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子。

【請求項 9】 基板上にゲート電極を形成する段階と、前記基板の上にゲート絶縁膜を形成する段階と、前記ゲート絶縁膜の上に第 1 半導体層を形成する段階と、前記第

1 半導体層の上に第 1 金属層と、前記第 1 金属層の上に第 2 金属層を形成する段階と、前記第 1 金属層と第 2 金属層をパターンニングして所定の間隔に離隔されるソース及びドレイン電極を形成する段階と、前記第 1 金属層と前記第 1 半導体層を同一のパターンにパターンニングする段階を含むことを特徴とする 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 10】 前記ゲート絶縁膜と第 1 半導体層の間に第 2 半導体層を形成して、前記ゲート電極と対応する領域の第 2 半導体層の一部が露出されるように前記第 1 半導体層をパターンニングする段階と、前記ソース及びドレイン電極の上に保護層を形成する段階と、前記保護層の上に画素電極を形成する段階を含むことを特徴とする請求項 9 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 11】 前記第 1 半導体層と第 1 金属層は乾式蝕刻でパターンニングして形成されることを特徴とする請求項 9 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 12】 前記ソース及びドレイン電極は第 2 金属層を湿式蝕刻にパターンニングして形成されて、前記第 1 半導体層と前記第 1 金属層は湿式蝕刻の際に利用されたマスクを利用して乾式蝕刻でパターンニングして形成されることを特徴とする請求項 9 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 13】 前記第 1 半導体層と前記第 1 金属層は前記第 2 金属層をマスクで利用してパターンニングすることを特徴とする請求項 9 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 14】 前記第 1 金属層はモリブデン (Mo) またはチタニウム (Ti) などで形成されることを特徴とする請求項 9 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 15】 前記第 2 金属層はアルミニウム (Al)、アルミニウム合金、銅 (Cu) または銅合金に形成されることを特徴とする請求項 9 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 16】 基板上にゲート電極を形成する段階と、前記基板の上にゲート絶縁膜を形成する段階と、前記ゲート絶縁膜の上に第 1 半導体層を形成する段階と、前記第 1 半導体層の上に第 1 金属層と、第 1 金属層の上に第 2 金属層を形成する段階と、所定間隔を間に置いて同一のパターンに形成されるように第 1 及び第 2 金属層をパターンニングしてソース及びドレイン電極を形成する段階を含むことを特徴とする 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 17】 前記ソース及びドレイン電極を形成する段階は前記第 2 金属層を湿式蝕刻した後、前記第 1 金

属層を乾式蝕刻することを特徴とする請求項 16 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 18】 前記ゲート絶縁膜と第 1 半導体層の間に第 2 半導体層を形成する段階と、前記ゲート絶縁膜の上に保護層を形成する段階と、前記保護層の上に画素電極を形成する段階を含むことを特徴とする請求項 15 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 19】 前記第 1 金属層はモリブデン (Mo) またはチタニウム (Ti) など形成されることを特徴とする請求項 15 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【請求項 20】 前記第 2 金属層はアルミニウム (Al)、アルミニウム合金、銅 (Cu) または銅合金に形成されることを特徴とする請求項 15 記載の 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示素子に関するもので、特に画質を向上させることができる 2 層構造のソース電極及びドレイン電極を有する液晶表示素子及びその製造方法に関するものである。

【0002】

【従来の技術】通常の液晶表示素子は電界を利用して液晶の光透過率を調節することで画像を表示する。このために、液晶表示素子は液晶セルなどがマトリックス形態で配列された液晶パネルと、液晶パネルを駆動するための駆動回路とを具備する。液晶パネルには液晶セルなどそれぞれに電界を印加するための画素電極などと共通電極が設けられる。通常、画素電極は下部基板上に液晶セル別に形成される反面、共通電極は上部基板の全面に一体化されて形成される。画素電極などそれぞれはスイッチ素子として使用される薄膜トランジスタ (Thin Film Transistor: 以下、"TFT" という) に接続される。画素電極は薄膜トランジスタを通して供給されるデータ信号により共通電極と共に液晶セルを駆動する。

【0003】図 1 及び図 2 を参照すると、液晶表示素子の下部基板 (1) は、データライン (13) とゲートライン (11) の交差部に位置する TFT (T) と、TFT (T) のドレイン電極 (7) に接続される画素電極 (23) と、画素電極 (23) と以前段のゲートライン (11) との重畳部分に位置するストレージ・キャパシティ (S) とを具備する。

【0004】TFT (T) は、ゲートライン (11) に接続されたゲート電極 (3)、データライン (13) に接続されたソース電極 (5) 及びドレイン接触ホール (19a) を通して画素電極 (23) に接続されたドレイン電極 (7) とを具備する。また、TFT (T) はゲ

ート電極 (3) に供給されるゲート電圧によりソース電極 (5) 及びドレイン電極 (7) 間にチャンネルを形成するための半導体層 (15、17) とを更に具備する。このような TFT (T) はゲートライン (11) からのゲート信号に応答してデータライン (13) からのデータ信号を選択的に画素電極 (23) に供給する。

【0005】画素電極 (23) は、データライン (13) とゲートライン (11) により分割されたセル領域に位置して光透過率が高い透明電導性物質からなる。この画素電極 (23) は、ドレイン接触ホール (19a) を経由して供給されるデータ信号により上部基板 (図示しない) に形成される共通電極 (図示しない) と電位差を発生させるようになる。この電位差により下部基板 (1) と上部基板 (図示しない) の間に位置する液晶は誘電率異方性により回転するようになる。これにより、光源から画素電極 (23) を経由して供給される光が上部基板側に透過されるようにする。

【0006】ストレージ・キャパシティ (S) は以前段ゲートライン (11) にゲートハイ電圧が印加される期間に電圧を充電して、画素電極 (23) にデータ信号が供給される期間に充電された電圧を放電して画素電極 (23) の電圧変動を防止する役割をする。このようなストレージ・キャパシティ (S) はゲートライン (11) と、ゲート絶縁膜 (9) を間に置いてそのゲートライン (11) と重畳的に形成された保護膜 (21) に形成されたストレージ接触ホール (19b) を通して、画素電極 (23) と電氣的に接続されるストレージ電極 (25) により形成されている。

【0007】このような構成を有する液晶表示素子の下部基板 (1) の製造方法を見ると次のようである。

【0008】先に、下部基板 (1) 上にゲート金属層を蒸着した後、パターンニングすることで図 3A に図示されたようにゲートライン (11) とゲート電極 (3) が形成される。ゲートライン (11) 及びゲート電極 (3) を囲むように下部基板 (1) 上に絶縁膜 (9) が形成される。ゲート絶縁膜 (9) 上に第 1 及び第 2 半導体物質を順次的に蒸着した後パターンニングすることで活性層 (15) とオーミック接触層 (17) が形成される。続いて、ゲート絶縁膜 (9) 上にデータ金属層を蒸着した後パターンニングすることで図 3C に図示されたようにストレージ電極 (25)、ソース電極 (5) 及びドレイン電極 (7) が形成される。その次に、ゲート絶縁膜 (9) 上に保護膜 (21) を形成した後パターンニングすることで図 3D に図示されたようにドレイン電極 (7) 及びストレージ電極 (25) が露出されるようにドレイン接触ホール (19a) 及びストレージ接触ホール (19b) が形成される。以後、保護膜 (21) 上に透明電導性物質を蒸着した後パターンニングすることで図 3E に図示したようにドレイン電極 (7) 及びストレージ電極 (25) と電氣的に接続される画素

電極(23)が形成される。

【0009】このような液晶表示素子の下部基板(1)上に形成されるソース電極(5)及びドレイン電極(7)はデータ金属層であるクロム(Cr)またはモリブデン(Mo)などを利用して断層に形成される。このようなデータ金属層は液晶表示素子が高精細化されていくほど図4Aに図示されたように2層構造である第1及び第2金属層(6a、6b)に形成される。この中、第1金属層(6a)はモリブデン(Mo)またはチタニウム(Ti)で形成されて、第2金属層(6b)はアルミ10ニウム(Al)またはアルミニウム合金で形成される。この2層構造のデータ金属層を湿式蝕刻でパターンニングの際、データ金属層がフォトリソパターン(27)より所定領域(D1)程度過蝕刻される場合がある。このフォトリソパターン(27)を利用してゲート電極(3)と対応する部分のオーミック接触層(17)を乾式蝕刻にパターンニングすると、図4Bに図示されたように活性層(15)が露出される。これにより、過蝕刻されるデータ金属層によりゲート金属層とデータ金属層の間の寄生容量(Cgd)にD2程度の偏差20が発生するようになり均一な画質が得られにくい問題点がある。

【0010】

【発明が解決しようとする課題】従って、本発明の目的は、画質を向上させることができる2層構造のソース電極及びドレイン電極を有する液晶表示素子及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するために、本発明による2層構造のソース電極及びドレイン電20極を有する液晶表示装置は、基板上に形成されるゲート電極と、前記基板の上部に形成される第1半導体層と、前記第1半導体層の上部に所定の間隔に離隔されるように形成されて、同一のパターンの第1及び第2金属層に形成されるソース及びドレイン電極とを具備する。

【0012】前記基板と第1半導体層の間の前記ゲート電極を覆うように形成されるゲート絶縁膜と、前記第1半導体層と第1金属層の間に形成されて、前記第1及び第2金属層と同一のパターンに所定間隔に離隔されるように形成される第2半導体層と、前記ソース及びドレ20イン電極を覆うように形成される保護層と、前記保護層の上に形成される画素電極を更に具備することを特徴とする。

【0013】前記第1金属層はモリブデン(Mo)またはチタニウム(Ti)などで形成されることを特徴とする。

【0014】前記データ金属層はアルミニウム(Al)、アルミニウム合金、銅(Cu)または銅合金で形成されることを特徴とする。

【0015】前記目的を達成するために、本発明による 50

2層構造のソース電極及びドレイン電極を有する液晶表示素子は基板上に形成されるゲート電極と、前記ゲート電極の上部に形成される第1半導体層と、前記第1半導体層の上に所定間隔に離隔されるように形成されて、第1及び第2金属層に形成されるソース及びドレイン電極と、前記第1金属層の下部に前記第1金属層と同一のパターンに形成される第2半導体層とを具備する。

【0016】前記ゲート電極を覆うように形成されるゲート絶縁膜と、前記ソース及びドレイン電極を覆うように形成される保護層と、前記保護層の上に形成される画素電極を更に具備することを特徴とする。

【0017】前記第1金属層はモリブデン(Mo)またはチタニウム(Ti)などで形成されることを特徴とする。

【0018】前記第2金属層はアルミニウム(Al)、アルミニウム合金、銅(Cu)または銅合金で形成されることを特徴とする。

【0019】前記目的を達成するために、本発明による2層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法は、基板上にゲート電極を形成する段階と、前記基板の上にゲート絶縁膜を形成する段階と、前記ゲート絶縁膜の上に第1半導体層を形成する段階と、前記第1半導体層の上に第1金属層と、前記第1金属層の上に第2金属層を形成する段階と、前記第1金属層と第2金属層をパターンニングして所定の間隔に離隔されるソース及びドレイン電極を形成する段階と、前記第1金属層と前記第1半導体層を同一のパターンにパターンニングする段階を含む。

【0020】前記ゲート絶縁膜と第1半導体層の間に第2半導体層を形成して、前記ゲート電極と対応する領域の第2半導体層の一部が露出されるように前記第1半導体層をパターンニングする段階と、前記ソース及びドレイン電極の上に保護層を形成する段階と、前記保護層の上に画素電極を形成する段階を含むことを特徴とする。

【0021】前記第1半導体層と第1金属層は乾式蝕刻にパターンニングして形成されることを特徴とする。

【0022】前記ソース及びドレイン電極は第2金属層を湿式蝕刻でパターンニングして形成されて、前記第1半導体層と前記第1金属層は湿式蝕刻の際に利用されたマスクを利用して乾式蝕刻でパターンニングして形成されることを特徴とする。

【0023】前記第1半導体層と前記第1金属層は前記第2金属層をマスクで利用してパターンニングすることを特徴とする。

【0024】前記第1金属層はモリブデン(Mo)またはチタニウム(Ti)などで形成されることを特徴とする。

【0025】前記第2金属層はアルミニウム(Al)、アルミニウム合金、銅(Cu)または銅合金で形成されることを特徴とする。

【0026】前記目的を達成するために、本発明による 2 層構造のソース電極及びドレイン電極を有する液晶表示素子の製造方法は基板上にゲート電極を形成する段階と、前記基板の上にゲート絶縁膜を形成する段階と、前記ゲート絶縁膜の上に第 1 半導体層を形成する段階と、前記第 1 半導体層の上に第 1 金属層と、第 1 金属層の上に第 2 金属層を形成する段階と、所定間隔を間に置いて同一のパターンに形成されるように第 1 及び第 2 金属層をパターンニングしてソース及びドレイン電極を形成する段階を含む。

【0027】前記ソース及びドレイン電極を形成する段階は前記第 2 金属層を湿式蝕刻した後、前記第 1 金属層を乾式蝕刻することを特徴とする。

【0028】前記ゲート絶縁膜と第 1 半導体層の間に第 2 半導体層を形成する段階と、前記ゲート絶縁膜の上に保護層を形成する段階と、前記保護層の上に画素電極を形成する段階を含むことを特徴とする。

【0029】前記第 1 金属層はモリブデン (Mo) またはチタニウム (Ti) などで形成されることを特徴とする。

【0030】前記第 2 金属層はアルミニウム (Al)、アルミニウム合金、銅 (Cu) または銅合金で形成されることを特徴とする。

【0031】

【作用】本発明による液晶表示素子及びその製造方法は基板上に形成されるゲート電極と、基板上部に形成される第 1 半導体層と、第 1 半導体層の上部に所定間隔に隔離されるように形成されて、同一のパターンの第 1 及び第 2 金属層に形成されるソース及びドレイン電極とを具備する。これにより、TFT の寄生容量の分布が均一になり、フリッカ及びクロストークが減少されて均一な画質が得られる。

【0032】

【発明の実施態様】以下、本発明の実施例を添付した図 5 乃至図 8 を参照して詳細に説明する。

【0033】図 5 は本発明の第 1 実施例による液晶表示素子の下部基板 (51) を図示した断面図として、特に薄膜トランジスタ (TP) とストレージ・キャパシティ (SP) を図示したものである。

【0034】薄膜トランジスタ (TP) はゲート電極 (33) とゲート電極 (33) とゲート絶縁膜 (39) を間に置いて積層された活性層 (45) 及びオーミック接触層 (47) と、オーミック接触層 (47) と同一のパターンに形成されるバッファ金属層 (36a) と、バッファ金属層 (36a) 上に分離されて形成されるデータ金属層 (36b) となったソース電極 (35) 及びドレイン電極 (37) で構成される。

【0035】ソース及びドレイン電極 (35、37) のそれぞれはバッファ金属層 (36a1、36a2) の上に分離されて形成されるデータ金属層 (36b1、36

b2) を含む。

【0036】バッファ金属層 (36a1、36a2) はオーミック接触層 (47) と同一のパターンに形成される。データ金属層 (36b1、36b2) はゲート絶縁膜 (39) と各バッファ金属層 (36a1、36a2) の上に形成される。バッファ金属層 (36a1、36a2) はモリブデン (Mo) またはチタニウム (Ti) などで形成されて、データ金属層 (36b1、36b2) はアルミニウム (Al)、アルミニウム合金、銅 (Cu) または銅合金で形成される。

【0037】このような薄膜トランジスタ (TP) を保護するための保護層 (51) が形成される。この保護層 (51) 上には保護層 (51) を貫通するドレイン接触ホール (49a) を通してドレイン電極 (37) と接触する画素電極 (53) が形成される。

【0038】画素電極 (53) はドレイン接触ホール (49a) を経由して供給されるデータ信号により上部基板 (図示しない) に形成される共通電極 (図示しない) と電位差を発生させるようになる。この電位差により下部基板 (31) と上部基板 (図示しない) の間に位置する液晶は誘電率異方性により回転するようになる。これにより、光源から画素電極 (53) を経由して供給される光が上部基板側に透過されるようにする。

【0039】ストレージ・キャパシティ部 (SP) は以前段ゲートライン (41) にゲートハイ電圧が印加される期間に電圧を充電して、画素電極 (53) にデータ信号が供給される期間に充電された電圧を放電して画素電極 (53) の電圧変動を防止する役割をするようになる。

【0040】ストレージ・キャパシティ部 (SP) はゲートライン (41) と、ゲート絶縁膜 (39) を間に置いてそのゲートライン (41) と重畳されるストレージ電極 (55) により形成される。ストレージ電極 (55) はデータ金属層 (36b) に形成される。このストレージ電極 (55) は保護膜 (51) を貫通するストレージ接触ホール (49b) を通して画素電極 (53) と電気的に接続される。

【0041】図 6 A 乃至図 6 E は図 5 に図示された液晶表示素子の下部基板 (31) の製造方法を段階的に図示したものである。

【0042】図 6 A を参照すると、下部基板 (31) 上にゲートライン (41) 及びゲート電極 (33) が形成される。

【0043】ゲートライン (41) 及びゲート電極 (33) はスパッタリング (sputtering) などの蒸着方法にアルミニウム (Al) または銅 (Cu) などを蒸着した後パターンニングすることで形成される。

【0044】図 6 B を参照すると、ゲート絶縁膜 (39) 上に活性層 (45)、オーミック接触層 (47) 及びバッファ金属層 (36a) が形成される。

10

20

30

40

50

【0045】ゲート絶縁膜(39)はゲートライン(41)及びゲート電極(33)を囲むように下部基板(31)上に絶縁物質をPECVD(Plasma Enhanced Chemical Vapor Deposition)方式に全面蒸着して形成される。活性層(45)、オーミック接触層(47)及びバッファ金属層(36a)はゲート絶縁膜(39)上に第1及び第2半導体層とバッファ金属を蒸着した後に同時に同一のパターンにパターンニングして形成される。

【0046】ゲート絶縁膜(39)は窒化シリコン(SiNx)または酸化シリコン(SiOx)などの絶縁物質に形成される。活性層(45)は第1半導体層である不純物がドーピングされない非晶質シリコンに形成される。オーミック接触層(47)は第2半導体層であるN型またはP型の不純物がドーピングされた非晶質シリコンに形成される。バッファ金属層(36a)はバッファ金属であるモリブデン(Mo)またはチタニウム(Ti)などで形成される。

【0047】図6Cを参照すると、ゲート絶縁膜(39)上にストレージ電極(55)、データ金属層(36b1、36b2)のソース電極(35)及びドレイン電極(37)が形成される。

【0048】ストレージ電極(55)、ソース電極(35)及びドレイン電極(37)を形成するデータ金属層(36b1、36b2)はCVD方法またはスパッタリング(sputtering)方法で蒸着される。以後、湿式蝕刻を利用してソース及びドレイン電極(35、37)のデータ金属層(36b1、36b2)をパターンニングして分離領域を形成する。パターンニングの際に分離領域がゲート電極(33)と対応される領域に形成されるようにする。分離領域の間のゲート電極(33)と対応するバッファ金属層(36a1、36a2)とオーミック接触層(47)を活性層(45)が露出されるように乾式蝕刻を利用してパターンニングする。乾式蝕刻はデータ金属層(36b、36b2)の湿式蝕刻の際に使用されたマスクまたはデータ金属層をマスクに利用して実行する。活性層(45)でソース及びドレイン電極(35、37)の間のゲート電極(33)と対応する部分はチャンネルになる。

【0049】ストレージ電極(55)、ソース電極(35)及びドレイン電極(37)はアルミニウム(Al)、アルミニウム合金、銅(Cu)または銅合金などで形成される。

【0050】図6Dを参照すると、ゲート絶縁膜(39)上に保護層(51)が形成される。

【0051】保護層(51)はストレージ電極(55)、ソース電極(35)及びドレイン電極(37)を囲むようにゲート絶縁膜(39)上に蒸着した後にパターンニングすることで形成される。保護層(51)を貫通してドレイン電極(37)とストレージ電極(55)

の表面が一部露出されるようにドレイン接触ホール(49a)とストレージ接触ホール(49b)が形成される。

【0052】保護層(51)は窒化シリコン(SiNx)または酸化シリコン(SiOx)などの無機絶縁物質またはアクリル系(acryl)有機化合物、BCB(benzocyclobutene)、フルオロ樹脂(fluoro resin)またはPFCE(perfluorocyclobutane)などの有機絶縁物で形成される。

【0053】図6Eを参照すると、保護層(51)上に画素電極(53)が形成される。

【0054】画素電極(53)は保護層(51)上に透明電導性物質を蒸着した後にパターンニングすることで形成される。

【0055】画素電極(53)はドレイン接触ホール(49a)を通してドレイン電極(37)と電気的に接触されて、ストレージ接触ホール(49b)を通してストレージ電極(55)と電気的に接続される。

【0056】画素電極(53)は透明電導性物質であるインジウム-スズ-オキサイド(Indium-Tin-Oxide: 以下"ITO"という)、インジウム-亜鉛-オキサイド(Indium-Zinc-Oxide: 以下"IZO"という)、またはインジウム-スズ-亜鉛-オキサイド(Indium-Tin-Zinc-Oxide: 以下"ITZO"という)の中のいずれか一つに形成される。

【0057】上述したように、ソース及びドレイン電極(35、37)はデータ金属層(36b1、36b2)を湿式蝕刻を利用してパターンニングすることにより形成される。その後、ゲート電極(33)と対応される領域のオーミック接触層(47)とバッファ金属層(36a1、36a2)は乾式蝕刻を利用することで形成される。結局、従来の湿式蝕刻だけでパターンニングすることで発生される過蝕刻を防ぐことができる。これはTF Tのゲート端子とドレイン端子の寄生容量(Cgd)の位相偏差を防ぐことができる。

【0058】図7は本発明の第2実施例による液晶表示素子の下部基板を図示した断面図として、特に薄膜トランジスタ(TP)とストレージ・キャパシティ部(SP)を図示したものである。

【0059】図7に図示された液晶表示素子は図5に図示された液晶表示素子と比較してストリッジ(55)が2層構造で形成されて、ソース及びドレイン電極(35、37)が2層の相互に異なる金属層を同一パターンに形成されることを除いては同一の構成要素を有する。この構造は、データ金属層を湿式蝕刻でパターンニングした後、データ金属層(36b)をマスクとしてバッファ金属層(36a)とオーミック接触層(47)を乾式蝕刻でパターンニングすることを除いては同一の要素を有する。

【0060】即ち、ソース及びドレイン電極(35、3

7) をなすデータ金属層 (36b1、36b2) とバッファ金属層 (36a1、36a2) は同一のパターンで形成される。また、チャンネル領域でデータ金属層 (36b1、36b2) とバッファ金属層 (36a1、36a2) の一番縁側の領域 (a、b) は同一の長さを有するようになる。それだけではなく、データ金属層 (36b1、36b2) とバッファ金属層 (36a1、36a2) は活性層 (45) より幅が相対的に伸張されて形成される。

【0061】図8A乃至図8Fは図7に図示された液晶表示素子の下部基板 (31) の製造方法を段階的に図示したものである。

【0062】図8Aを参照すると、下部基板 (31) 上にゲートライン (41) 及びゲート電極 (33) が形成される。

【0063】ゲートライン (41) 及びゲート電極 (33) はスパッタリング (sputtering) などの蒸着方法にアルミニウム (Al) または銅 (Cu) などを蒸着した後にパターンニングすることで形成される。

【0064】図8Bを参照すると、ゲート絶縁膜 (39) 上に活性層 (45)、オーミック接触層 (47) が形成される。

【0065】ゲート絶縁膜 (39) はゲートライン (41) 及びゲート電極 (33) を囲むように下部基板 (31) 上に絶縁物質を PECVD (Plasma Enhanced Chemical Vapor Deposition) 方式で全面蒸着して形成される。活性層 (45)、オーミック接触層 (47) はゲート絶縁膜 (39) 上に第1及び第2半導体層とバッファ金属を蒸着した後にパターンにパターンニングして形成される。

【0066】ゲート絶縁膜 (39) は窒化シリコン (SiNx) または酸化シリコン (SiOx) などの絶縁物質で形成される。活性層 (45) は第1半導体層である不純物がドーピングされない非晶質シリコンに形成される。オーミック接触層 (47) は第2半導体層であるN型またはP型の不純物がドーピングされた非晶質シリコンに形成される。バッファ金属層 (36a) はバッファ金属であるモリブデン (Mo) またはチタニウム (Ti) などで形成される。

【0067】図8Cを参照すると、ゲート絶縁膜 (39) の上にバッファ金属物質 (36a) 及びデータ金属物質を順次的に全面蒸着する。ここで、バッファ金属層 (36a) はモリブデン (Mo) またはチタニウム (Ti) などで形成される。データ金属物質はアルミニウム (Al)、アルミニウム合金、銅 (Cu) または層合金で形成される。以後、データ金属物質を湿式蝕刻を利用してパターンニングすることでデータ金属層 (36b1、36b2、36b3) が形成される。

【0068】図8Dを参照すると、ゲート絶縁膜 (39) の上にストレージ電極 (55)、ソース電極 (3

5) 及びドレイン電極 (37) が形成される。

【0069】ストレージ電極 (55)、ソース電極 (35) 及びドレイン電極 (37) はデータ金属層 (36b1、36b2、36b3) と、データ金属層 (36b1、36b2、36b3) をマスクにして乾式蝕刻にパターンニングされるバッファ金属層 (36a1、36a2、36a3) に形成される。この際、データ金属層 (36b1、36b2、36b3) とバッファ金属層 (36a1、36a2、36a3) は同一のパターンに形成されて、ゲート電極 (33) と対応される部分のオーミック接触層 (47) も乾式蝕刻にパターンニングされることにより活性層 (45) が露出される。活性層 (45) でソース及びドレイン電極 (35、37) の間のゲート電極 (33) と対応する部分はチャンネルになる。

【0070】図8Eを参照すると、ゲート絶縁膜 (39) 上に保護層 (51) が形成される。

【0071】保護層 (51) はストレージ電極 (55)、ソース電極 (35) 及びドレイン電極 (37) を囲むようにゲート絶縁膜 (39) 上に蒸着した後にパターンニングすることで形成される。保護層 (51) を貫通してドレイン電極 (37) とストレージ電極 (55) の表面が一部露出されるようにドレイン接触ホール (49a) とストレージ接触ホール (49b) が形成される。

【0072】保護層 (51) は窒化シリコン (SiNx) または酸化シリコン (SiOx) などの無機絶縁物質またはアクリル系 (acryl) 有機化合物、テフロン (登録商標) (Teflon (登録商標))、BCB (benzocyclobutene)、フロオル樹脂 (fluoro resin) または PFCB (perfluorocyclobutane) などの有機絶縁物で形成される。

【0073】図8Fを参照すると、保護層 (51) 上に画素電極 (53) が形成される。

【0074】画素電極 (53) は保護層 (51) 上に透明電導性物質を蒸着した後にパターンニングすることで形成される。

【0075】画素電極 (53) はドレイン接触ホール (49a) を通してドレイン電極 (37) と電気的に接触されて、ストレージ接触ホール (49b) を通してストレージ電極 (55) と電気的に接続される。

【0076】画素電極 (53) は透明電導性物質であるITO、IZOまたはITZOに形成される。

【0077】上述したように、本発明による液晶表示素子及びその製造方法はソース及びドレイン電極 (35、37) をバッファ金属層 (36a1、36a2) とデータ金属層 (36b1、36b2) で形成する。本発明による液晶表示装置及びその製造方法はデータ金属層 (36b1、36b2) を湿式蝕刻でパターンニングした後、バッファ金属層 (36a1、36a2) とオーミッ

ク接触層(47)を湿式蝕刻際に使用したマスクで乾式蝕刻してパターンニングすることでソース電及びドレイン電極(35、37)を形成する。これにより、パッファ金属層(36a1、36a2)はデータ金属層(36b1、36b2)と同一のパターンに形成されて、ゲート電極(33)と対応される領域のオーミック接触層(47)は活性層(45)が露出されるように乾式蝕刻にパターンニングされる。結局、従来の湿式蝕刻だけでパターンニングすることにより発生する過蝕刻を防ぐことができる。

【0078】

【発明の効果】上述したように、本発明による液晶表示素子及びその製造方法は、2層構造のソース電極及びドレイン電極のパターンニングの際に第2金属層を湿式蝕刻にパターンニングした後に第1金属層とオーミック接触層を乾式蝕刻する。

【0079】従って、本発明による液晶表示素子及びその製造方法はTFTの寄生容量の分布が均一になる。これによりブリッカ及びクロストークが減少されて均一な画質が得られる。

【0080】以上説明した内容を通して当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正の可能であることが分かる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

【図面の簡単な説明】

【図1】従来の技術による液晶表示素子の下部基板を表す平面図である。

【図2】図1で線A-A'により切り取った液晶表示素子の下部基板を表した断面図である。

【図3A】図2に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図3B】図2に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図3C】図2に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図3D】図2に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図3E】図2に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図4A】ソース及びドレイン電極の形成過程を表した断面図である。

【図4B】ソース及びドレイン電極の形成過程を表した断面図である。

【図5】本発明の第1実施例による液晶表示素子の下部基板を表した断面図である。

【図6A】図2に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図6B】図2に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図6C】図2に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図6D】図2に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図6E】図2に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図7】本発明の第2実施例による液晶表示素子の下部基板を表した断面図である。

【図8A】図7に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図8B】図7に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図8C】図7に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図8D】図7に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図8E】図7に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【図8F】図7に図示された液晶表示素子の下部基板の製造方法を表した断面図である。

【符号の説明】

1、31：下部基板

3、33：ゲート電極

5、35：ソース電極

6a：第1金属層

30 6b：第2金属層

7、37：ドレイン電極

9、39：ゲート絶縁膜

11、41：ゲートライン

13、43：データライン

15、45：活性層

17、47：オーミック接触層

19a：ドレイン接触ホール

19b：ストレージ接触ホール

21：保護膜

40 23、53：画素電極

25、55：ストレージ電極

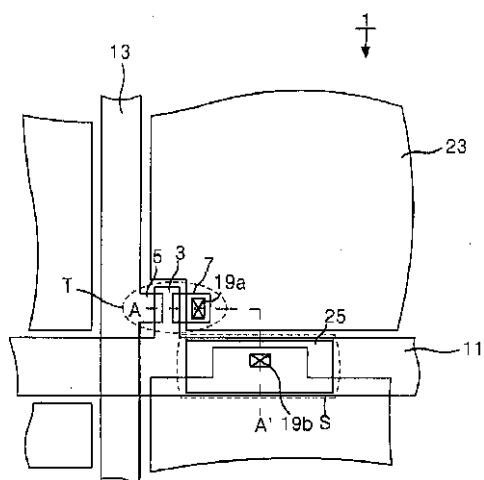
36a：パッファ金属層

36b：データ金属層

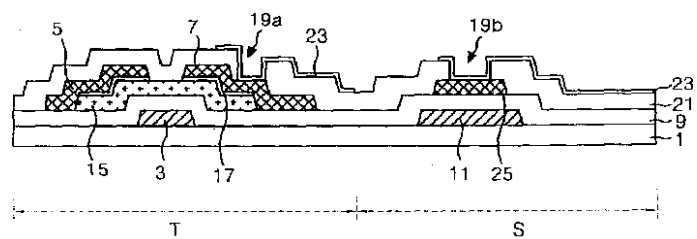
49a：ドレイン接触ホール

51：保護層

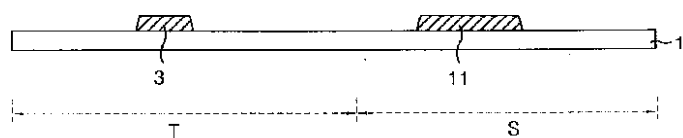
【図 1】



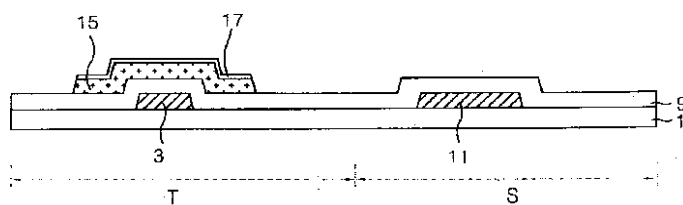
【図 2】



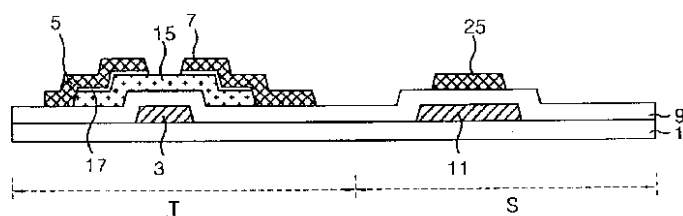
【図 3 A】



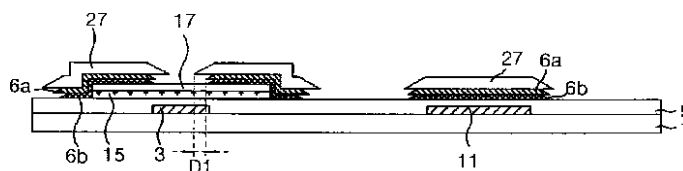
【図 3 B】



【図 3 C】

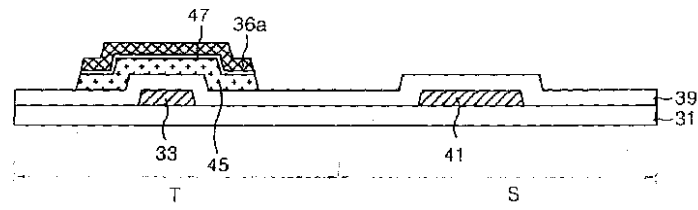


【図 4 A】

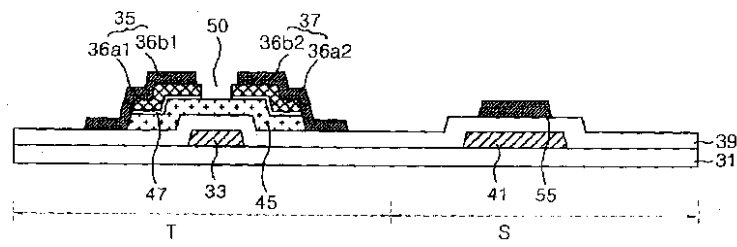


A schematic diagram of a beam 31. The beam is represented by a horizontal line with wavy ends. Two supports, labeled 33 and 41, are shown as hatched rectangular blocks under the beam. The distance between the supports is indicated by a dimension line labeled T. The total length of the beam is indicated by a dimension line labeled S.

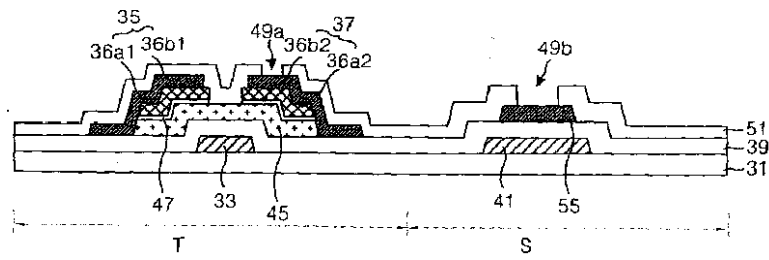
【図 6 B】



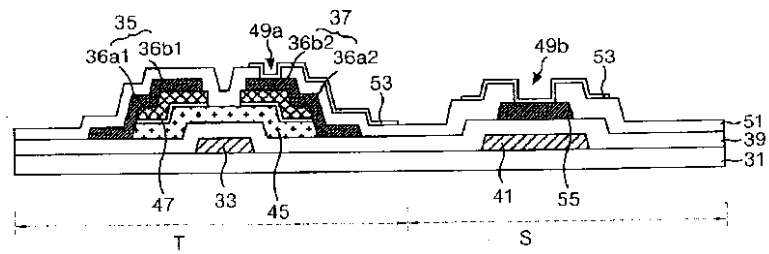
【図 6 C】



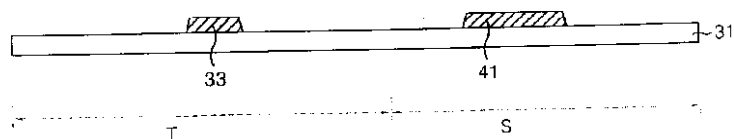
【図 6 D】



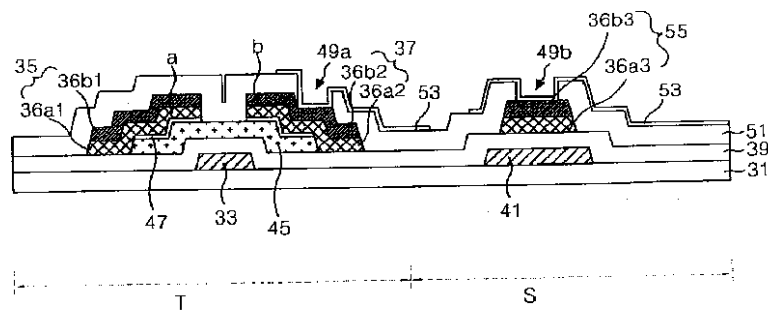
【図 6 E】



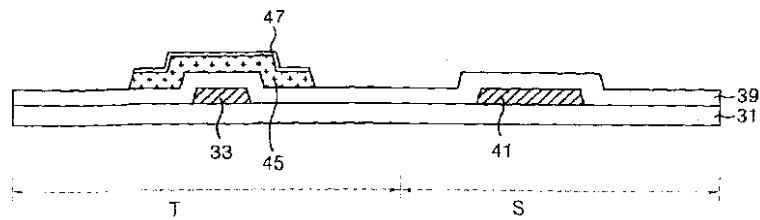
【図 8 A】



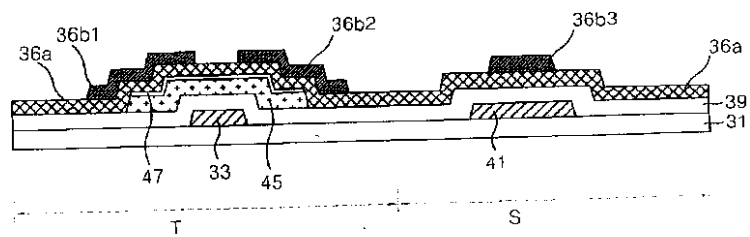
【図 7】



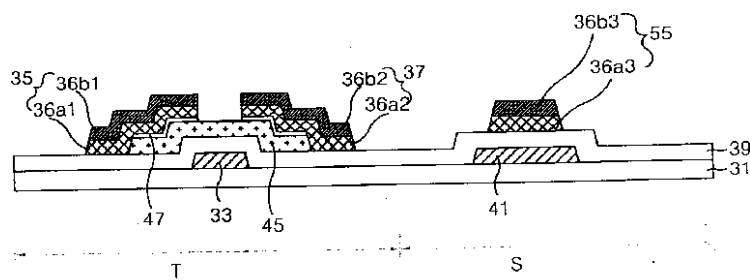
【図 8 B】



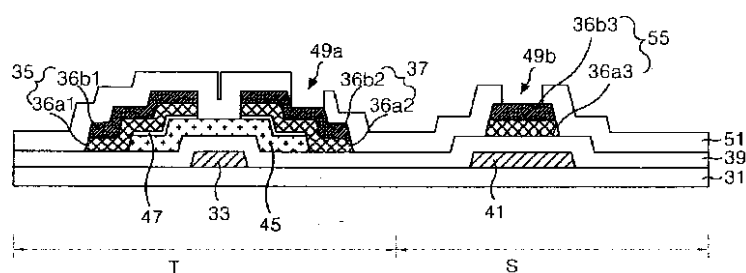
【図 8 C】



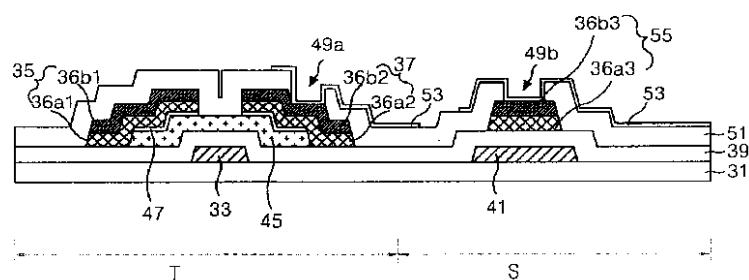
【図 8 D】



【図 8 E】



【図 8 F】



フロントページの続き

F ターム(参考) 2H092 JA26 JA27 JA29 JA44 JA46
 KA05 KA18 KB25 MA04 MA17
 NA01 NA23 NA24
 4M104 AA01 BB02 BB04 BB14 BB16
 BB36 CC01 CC05 DD08 DD09
 DD16 DD17 DD20 DD26 DD37
 DD43 DD64 DD65 DD71 DD72
 FF13 GG09 GG10 GG14 GG20
 5F110 AA02 BB01 CC07 EE02 EE03
 EE44 FF02 FF03 FF30 GG02
 GG15 GG35 GG42 HK02 HK03
 HK04 HK06 HK09 HK16 HK22
 HK32 HK33 HK34 HL07 NN02
 NN23 NN24 NN27 NN73 QQ03

专利名称(译)	具有两层结构的源电极和漏电极的液晶显示装置		
公开(公告)号	JP2003005220A	公开(公告)日	2003-01-08
申请号	JP2002079429	申请日	2002-03-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	チェジースン		
发明人	チェ ジー スン		
IPC分类号	G02F1/136 G02F1/1368 H01L21/28 H01L21/336 H01L29/786		
CPC分类号	G02F1/1368		
FI分类号	G02F1/1368 H01L21/28.E H01L21/28.301.R H01L29/78.616.U H01L29/78.616.K		
F-TERM分类号	2H092/JA26 2H092/JA27 2H092/JA29 2H092/JA44 2H092/JA46 2H092/KA05 2H092/KA18 2H092/KB25 2H092/MA04 2H092/MA17 2H092/NA01 2H092/NA23 2H092/NA24 4M104/AA01 4M104/BB02 4M104/BB04 4M104/BB14 4M104/BB16 4M104/BB36 4M104/CC01 4M104/CC05 4M104/DD08 4M104/DD09 4M104/DD16 4M104/DD17 4M104/DD20 4M104/DD26 4M104/DD37 4M104/DD43 4M104/DD64 4M104/DD65 4M104/DD71 4M104/DD72 4M104/FF13 4M104/GG09 4M104/GG10 4M104/GG14 4M104/GG20 5F110/AA02 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG35 5F110/GG42 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HK34 5F110/HL07 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN73 5F110/QQ03 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC72 2H192/DA02 2H192/DA23 2H192/DA42 2H192/DA71 2H192/HA63 2H192/HA66		
优先权	1020010014651 2001-03-21 KR		
其他公开文献	JP4499337B2		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其制造方法技术领域本发明涉及一种具有能够提高图像质量的双层源极和漏极的液晶显示装置及其制造方法。 解决方案：根据本发明的液晶显示器在形成在基板上的栅电极，形成在基板的上侧的第一半导体层和第一半导体层的上侧上分开预定距离。并且源电极和漏电极形成在相同图案的第一和第二金属层上。

