

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2002 - 366119

(P2002 - 366119A)

(43)公開日 平成14年12月20日(2002.12.20)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	575	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 H 5 C 0 5 8
	632		632 F 5 C 0 8 0
	642		642 B

審査請求 未請求 請求項の数 12 O L (全 33数) 最終頁に続く

(21)出願番号 特願2001 - 173410(P2001 - 173410)

(22)出願日 平成13年6月8日(2001.6.8)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 丸岡 良雄

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

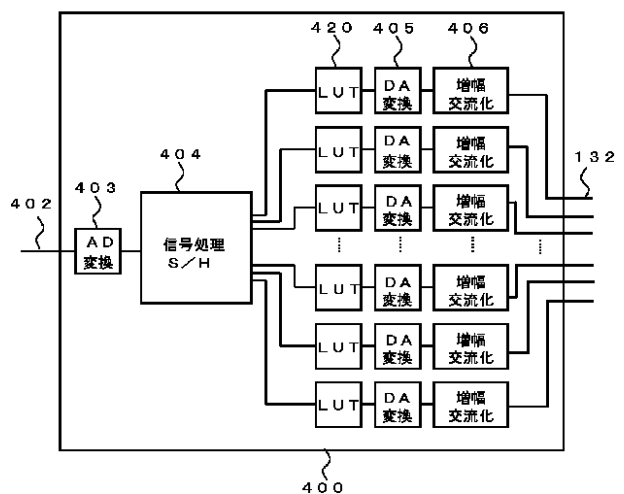
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】アナログ映像信号を相展開して入力する液晶表示装置において、回路ばらつきによる表示品質の低下を低減する。

【解決手段】複数のアナログ回路によるばらつきを補正する為に、デジタルの信号処理回路内に複数のアナログ回路分の対照表をもつことにより、対照表に設定するデータにてアナログ回路のバラツキの補正を行う。

図 1 1



【特許請求の範囲】

【請求項 1】液晶パネルと、上記液晶パネルに映像信号を供給する映像信号制御回路とを有し、上記映像信号線制御回路から上記液晶パネルに複数の映像信号線が電氣的に接続され、上記映像信号線制御回路には上記映像信号線毎に映像信号を出力する増幅回路が設けられ、上記映像信号制御回路はデジタル信号からアナログ信号を形成し、該アナログ信号を増幅して上記増幅回路から上記映像信号として出力し、上記増幅回路間の出力ばらつきを上記デジタル信号の値を変換することで補正すること

10 を特徴とする液晶表示装置。

【請求項 2】液晶パネルと、該液晶パネルを形成する第 1 の基板と第 2 の基板と、上記第 1 の基板と第 2 の基板との間に挟まれた液晶組成物と、上記第 1 の基板に設けられた複数の画素と、上記画素に映像信号を供給する駆動回路と、上記液晶パネルに映像信号を供給する映像信号制御回路とを有し、上記映像信号線制御回路から上記駆動回路に複数の映像信号線が電氣的に接続され、上記映像信号線毎に映像信号を出力する出力回路が設けられ、上記映像信号制御回路はデジタル信号をアナログ信号に変換する D/A 変換回路を有し、D/A 変換回路から出力するアナログ信号を上記出力回路から出力し、上記映像信号線毎に設けられた参照表により、上記出力回路間の出力ばらつきを補正することを特徴とする液晶表示装置。

20 【請求項 3】前記第 1 の基板はシリコン基板であることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】標準参照表を有し、出力回路のばらつき補正を標準参照表の値を変更することにより上記参照表を作成することを特徴とする請求項 2 に記載の液晶表示装置。

30 【請求項 5】上記映像信号線毎に設けられた複数の参照表を 1 チップで構成することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 6】上記参照表により、コントラストまたは、輝度を調整することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 7】上記参照表に格納されるデータを外部から送信されたデータを用い、マイコンで演算して参照表に設定することを特徴とする請求項 2 に記載の液晶表示装置。

40 【請求項 8】複数組の参照表を有し、映像信号の種類により参照表を使い分ける事を特徴とする請求項 2 に記載の液晶表示装置。

【請求項 9】複数組の参照表を有し、時分割で使用する参照表を選択して擬似的に階調数を増やすことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 10】液晶パネルと、該液晶パネルを形成する第 1 の基板と第 2 の基板と、上記第 1 の基板と第 2 の基板との間に挟まれた液晶組成物と、上記第 1 の基板に設

*けられた複数の画素と、上記画素に対向して設けられた基準電極と、上記画素に映像信号を供給する駆動回路と、上記画素に接続された画素容量と、上記画素容量に画素電位制御信号を供給する画素電位制御信号線と、上記液晶パネルに映像信号を供給する映像信号制御回路と、上記映像信号線制御回路から上記駆動回路に電氣的に接続された複数の映像信号線と、上記映像信号線毎に設けられた映像信号を出力する出力回路とを有し、上記映像信号制御回路は、正極性用デジタル信号を出力する第 1 の参照表と、負極性用デジタル信号を出力する第 2 の参照表と、正極性用デジタル信号を入力し正極性用アナログ信号を出力し、負極性用デジタル信号を入力し負極性用アナログ信号を出力する変換回路とを有し、上記負極性用アナログ信号は映像信号として上記画素に入力した後、画素電位制御信号により上記基準電極の電圧に対して負極性の電圧となることを特徴とする液晶表示装置。

【請求項 11】液晶パネルと、上記液晶パネルに映像信号を供給する映像信号制御回路とを有し、上記映像信号制御回路はフレームメモリを有し、上記フレームメモリからデータを読み出す速さを調整することで、フレーム駆動周波数を変換できることを特徴とする液晶表示装置。

【請求項 12】上記フレームメモリを用いてコンバーゼンスを調整する請求項 11 の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プロジェクタ用表示装置に係り、特に増幅されたアナログ映像信号を相展開して入力する液晶表示装置における入力画像データの画像処理に適用して有効な技術に関する。

【0002】

【従来の技術】近年、液晶表示装置は、小型表示装置から所謂 OA 機器等の表示端末用に広く普及している。この液晶表示装置は、基本的には少なくとも一方が透明なガラス板やプラスチック基板等からなる一対の絶縁基板の間に液晶組成物の層（液晶層）を挟持して所謂液晶パネル（液晶表示素子または液晶セルとも言う）を構成する。

【0003】この液晶パネルは、絶縁基板に形成した画素形成用の各種電極に選択的に電圧を印加して所定画素部分の液晶組成物を構成する液晶分子の配向方向を変化させて画素形成を行う形式（単純マトリクス）と、上記各種電極と画素選択用のアクティブ素子を形成してこのアクティブ素子を選択することにより、当該アクティブ素子に接続した画素電極と該画素電極に対向する基準電極の間にある画素の液晶分子の配向方向を変化させて画素形成を行う形式（アクティブマトリクス）とに大きく分類される。

【0004】画素毎にアクティブ素子（例えば、薄膜ト

ランジスタ)を有し、このアクティブ素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。一般に、アクティブマトリクス型液晶表示装置は、一方の基板に形成した電極と他方の基板に形成した電極との間に液晶層の配向方向を変えるための電界を印加する、所謂縦電界方式を採用している。また、液晶層に印加する電界の方向を基板面とほぼ平行な方向とする、所謂横電界方式(IPS(In-Plane Switching)方式とも言う)の液晶表示装置が実用化されている。

【0005】一方、液晶表示装置を用いる表示装置として、液晶プロジェクタが実用化されている。液晶プロジェクタは光源からの照明光を液晶パネルに照射し、液晶パネルの画像をスクリーンに投写するものである。液晶プロジェクタに用いられる液晶パネルには反射型と透過型とがあるが、液晶パネルを反射型とした場合には、画素のほぼ全域を有効な反射面とすることができ、液晶パネルの小型化、高精細化、高輝度化において、透過型に比較して有利である。また、アクティブマトリクス型液晶表示装置の中で画素電極を形成した基板上に、画素電極を駆動する駆動回路をも形成する所謂駆動回路一体型液晶表示装置が知られている。

【0006】さらには、駆動回路一体型液晶表示装置において、画素電極及び、駆動回路を絶縁基板ではなく、半導体基板上に形成した反射型液晶表示装置(Liquid Crystal on Silicon、以下LCOSとも呼ぶ)が知られている。

【0007】また、駆動回路一体型液晶表示装置の駆動方法において、外部から映像信号を液晶表示装置にアナログ信号で入力し、駆動回路により映像信号をサンプリングして液晶パネルに出力する駆動方法が知られている。

【0008】

【発明が解決しようとする課題】映像信号をサンプリングする駆動方法では、駆動回路が映像信号を取り込む時間を確保するために、映像信号を複数相に分割する方法(相展開)を用いている。すなわち、1本の信号線によって伝送された映像信号を複数本の信号線に振り分けて伝送している。映像信号を複数の信号線に振り分けて出力することで、同時に複数の回路で映像信号を取り込むことができ、そのため映像信号を取り込むための時間を長くすることが可能である。ところが、相展開することにより、映像信号を取り込む時間を確保することが可能となるが、回路のばらつきによる問題点が生じることを見出した。すなわち、複数の信号線には映像信号を出力するために、信号線毎に出力回路が設けている。この出力回路の特性にばらつきがあると、表示画像にも同じくばらつきが生じ表示品質が低下するという問題が発生する。

【0009】

【課題を解決するための手段】複数のアナログ回路によるばらつきを補正する為に、デジタルの信号処理回路内に複数のアナログ回路分の補正手段をもつことにより、補正手段にてアナログ回路のバラツキの補正を行う。

【0010】複数のアナログ回路毎に生じるばらつきを修正するデータを参照表として有しており、デジタル信号を参照表により補正することで、アナログ回路により生じるばらつきを補正する。

【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0012】図1は、本発明の実施の形態である液晶表示装置の概略構成を示すブロック図である。

【0013】本実施の形態の液晶表示装置は、液晶パネル(液晶表示素子)100と、表示制御装置111とで構成される。液晶パネル100は、マトリクス状に画素部101が設けられた表示部110と、水平駆動回路(映像信号線駆動回路)120と、垂直駆動回路(走査信号線駆動回路)130と、画素電位制御回路135から構成される。また、表示部110と水平駆動回路120と垂直駆動回路130と画素電位制御回路135とは同一基板上に設けられている。画素部101には画素電極と対向電極と両電極に挟まれて液晶層が設けられる(図示せず)。画素電極と対向電極の間に電圧を印加することにより、液晶分子の配向方向等が変化し、それに伴い液晶層の光に対する性質が変化することを利用して表示が行われる。なお、本発明は画素電位制御回路135を有する液晶表示装置に適用して有効であるが、画素電位制御回路135を有する液晶表示装置に限られるものではない。

【0014】表示制御装置111には外部装置(例えばパーソナルコンピュータ等)から外部制御信号線401が接続している。表示制御装置111は外部から外部制御信号線401を経て送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号等の制御信号を用い、水平駆動回路120および、垂直駆動回路130、画素電位制御回路135を制御する信号を出力する。

【0015】また、表示制御装置111は映像信号制御回路400を有している。映像信号制御回路400には表示信号線402が接続しており、外部装置から表示信号が入力する。表示信号は液晶パネル100に表示する映像を構成するよう一定の順番で送られてくる。例えば、液晶パネル100の左上に位置する画素を先頭に、1行分の画素データが順番に送られ、上から下に向けて各行のデータが外部装置から順次送られてくる。映像信号制御回路400は表示信号を基に映像信号を形成し、

液晶パネル 100 が映像を表示するタイミングに合わせて映像信号を水平駆動回路 120 に供給する。

【0016】131 は表示制御装置 111 から出力する制御信号線であり、132 は映像信号伝送線である。なお、図 1 では映像信号伝送線 132 を 1 本で示しているが、複数相に相展開しており複数本の映像信号伝送線 132 が設けられる。なお、相展開については後述する。

【0017】映像信号伝送線 132 は表示制御装置 111 から出力して、表示部 110 の周辺に設けられた水平駆動回路 120 に接続する。水平駆動回路 120 からは 10 垂直方向（図中 Y 方向）に、複数本の映像信号線（ドレイン信号線または垂直信号線ともいう）103 が延びている。また複数本の映像信号線 103 は、水平方向（X 方向）に並んで設けられている。映像信号線 103 により映像信号が画素部 101 に伝えられる。

【0018】また、表示部 110 の周辺には垂直駆動回路 130 も設けられている。垂直駆動回路 130 からは 20 水平方向（X 方向）に複数本の走査信号線（ゲート信号線または水平信号線ともいう）102 が延びている。また複数本の走査信号線 102 は、垂直方向（Y 方向）に並んで設けられている。走査信号線 102 により画素部 101 に設けられたスイッチング素子をオン/オフする走査信号が伝えられる。

【0019】さらに、表示部 110 の周辺には画素電位制御回路 135 が設けられている。画素電位制御回路 135 からは水平方向（X 方向）に複数本の画素電位制御線 136 が延びている。また複数本の画素電位制御線 136 は、垂直方向（Y 方向）に並んで設けられている。画素電位制御線 136 により画素電極の電位を制御する信号が伝えられる。

【0020】水平駆動回路 120 は、水平シフトレジスタ 121 と、映像信号選択回路 123 とから構成される。表示制御装置 111 から制御信号線 131 や映像信号伝送線 132 が水平シフトレジスタ 121 と映像信号選択回路 123 とに接続され、制御信号や映像信号が送信されている。なお、各回路の電源電圧線については表示を省略したが、必要な電圧が供給されているものとする。

【0021】表示制御装置 111 は、外部から垂直同期信号入力後に、第 1 番目のディスプレイタイミング信号 40 が入力されると、制御信号線 131 を介して垂直駆動回路 130 にスタートパルスを出力する。次に、表示制御装置 111 は水平同期信号に基づいて、1 水平走査時間（以下 1 h と示す）毎に、走査信号線 102 を順次選択するようにシフトクロックを垂直駆動回路 130 に出力する。垂直駆動回路 130 は、シフトクロックに従い走査信号線 102 を選択し、走査信号線 102 に走査信号を出力する。すなわち、垂直駆動回路 130 は図 1 中上から順番に 1 水平走査時間 1 h の間、走査信号線 102 を選択する信号を出力する。

【0022】また、表示制御装置 111 は、ディスプレイタイミング信号が入力されると、これを表示開始と判断し、映像信号を水平駆動回路 120 に出力する。表示制御装置 111 から映像信号は順次出力されるが、水平シフトレジスタ 121 は表示制御装置 111 から送られてくるシフトクロックに従いタイミング信号を出力する。タイミング信号は、映像信号選択回路 123 が各映像信号線 102 に出力すべき映像信号を取り込むタイミングを示している。

【0023】すなわち、映像信号選択回路 123 は各映像信号線 103 毎に映像信号を取込み、保持する回路（サンプルホールド回路）を有しており、このサンプルホールド回路はタイミング信号が入力すると映像信号を取り込む。表示制御装置 111 は特定のサンプルホールド回路にタイミング信号が入力するタイミングに合せて、該当するサンプルホールド回路が取り込むべき映像信号を出力する。映像信号はアナログ信号であり、映像信号選択回路 123 はタイミング信号に従いアナログ信号の中から一定の電圧を映像信号（階調電圧）として取り込み、該取り込んだ映像信号を映像信号線 103 に出力する。映像信号線 103 に出力された映像信号は垂直駆動回路 130 からの走査信号が出力されるタイミングに従い画素部 101 の画素電極に書き込まれる。

【0024】画素電位制御回路 135 は、表示制御装置 111 からの制御信号にもとづき、画素電極に書き込まれた映像信号の電圧を制御する。映像信号線 103 から画素電極に書き込まれた階調電圧は、対向電極の基準電圧に対してある電位差を有している。画素電位制御回路 135 は画素部 101 に制御信号を供給して画素電極と 30 対向電極との間の電位差を変化させる。なお、画素電位制御回路 135 については後で詳述する。

【0025】次に図 2 を用いて映像信号制御回路 400 について説明する。図 2 は本発明の 1 実施の形態である液晶表示装置の映像信号制御回路 400 の回路構成を示す概略ブロック図である。前述したように、外部から表示信号線 402 を介して表示信号が映像信号制御回路 400 に入力している。403 は A/D 変換回路である。表示信号がアナログ信号の場合に、A/D 変換回路 403 にて表示信号をデジタル信号に変換する。404 は信号処理回路で、補正、解像度変換等の信号処理が行われる。なお、表示信号がデジタル信号の場合には直接または、各種インターフェース回路を経て、信号処理回路 404 に表示信号が入力する。

【0026】また信号処理回路 404 では、フレーム周波数の通倍化が行われている。外部から表示に必要な信号は映像信号制御回路 400 に 1 画面毎送られてくる。この 1 画面分の表示に必要な信号が送られてくる期間を 1 フレーム周期とし、フレーム周期の逆数をフレーム周波数とする。特に外部から液晶表示装置に信号が送られる場合を外部フレーム周期、表示制御装置 111 が液晶

パネル100に信号を送る場合を液晶駆動フレーム周期と呼ぶ。信号処理回路404では外部フレーム周波数に対して液晶駆動フレーム周波数を数倍に上げている。フレーム周波数の逡倍化は、フリッカの防止の目的で行われる。なお、フレーム周波数の逡倍化についても後述する。

【0027】405はDA変換回路である。DA変換回路405では信号処理回路404で信号処理したデジタル信号をアナログ信号に変換している。406は増幅交流化回路である。増幅交流化回路406はDA変換回路405から出力したアナログ信号を増幅し交流化する。

【0028】一般に液晶表示装置においては、液晶層に印加する電圧の極性を周期的に反転させる交流化駆動が行われている。交流化駆動を行う目的は直流電圧が液晶に印加されることによる劣化を防止するためである。画素部101には前述したように画素電極と対向電極が設けられているが、交流化駆動を行う一つの方法として、対向電極に定電圧を印加し、画素電極に対向電極に対して正極性、負極性の階調電圧を印加する。なお、本明細書では正極性と負極性の電圧とは対向電極の電位を基準にした画素電極の電圧を示している。反射型液晶表示装置LCOSでは、この交流化駆動をフレーム周期で行っている(フレーム反転)。ライン反転、ドット反転が用いられない理由は、反射型液晶表示装置LCOSではブラックマトリックスを設けないため、ライン反転、ドット反転で生じる不要な横電界による光漏れを隠すことができないからである。ただし、フレーム反転を行うと、フレーム周期で表示面にフリッカが生じる(面フリッカ)。前述したように、フレーム周期を人間の目の応答時間より短くすることで、面フリッカを低減している。

【0029】407はサンプルホールド回路である。サンプルホールド回路407では、増幅交流化回路406から出力した映像信号を一定の期間ごとに取り込み、映像信号伝送線132に出力している。前述したように映像信号伝送線132は複数本形成されており、サンプルホールド回路407は取込んだ電圧を映像信号伝送線132に順番に出力する。そのため、映像信号は複数相に相展開されて映像信号伝送線132に出力する。

【0030】図3を用いて相展開について説明する。なお、図3では説明を簡略化するために、映像信号伝送線132が3本の場合、すなわち3相に相展開する場合について示している。図3(a)はサンプルホールド回路407に inputsする映像信号を示している。サンプルホールド回路407は丸付き数字で示す期間で映像信号を取り込む。図3(b)は1本目の映像信号伝送線132に出力される映像信号を示している。サンプルホールド回路407から1本目の映像信号伝送線には、期間と、と、のように2期間おきに取込んだ映像信号が出力されている。また、3本の映像信号伝送線132に分けて映像信号を伝送することで、映像信号が出力される期

間を3倍にすることが可能となっている。図3(c)は2本目の映像信号伝送線132に出力される映像信号を示しており、図3(d)は3本目の映像信号伝送線132に出力される映像信号を示している。

【0031】映像信号を相展開することで、液晶パネル100に設けられた映像信号選択回路123において、映像信号を取り込む期間を長くすることが可能となる。ただし、サンプルホールド回路407は高速の信号をサンプルホールドすることが可能な高性能の回路が用いられる。なお、さらにもう1段サンプルホールドすることで、相展開後の映像信号の位相をそろえることができる。映像信号の位相をそろえることにより、液晶パネル100内の映像信号選択回路123で同一のサンプリングクロックを用いて映像信号をサンプリングすることが可能となる。

【0032】次に図4を用いて図2に示すサンプルホールド回路407の問題点について説明する。図2に示す回路方式では、図4(a)に示すように信号が低速の場合はサンプリング期間SPが充分長いので、サンプルホールド回路407において正しい信号レベルをサンプリングするマージンは十分あり、サンプルホールド回路407によるばらつきは小さい。しかし、解像度が上がるに従い、またはフレーム周波数の逡倍化により信号が高速になった場合、図4(b)に示すように映像信号波形が三角波に近くなり、サンプリングクロックの位相ずれやノイズ等により正しい信号レベルをサンプリングする期間が少なくなり、容易に誤サンプリングし、サンプリングタイミングのずれによるレベルばらつきが大きくなる。これは、表示階調が誤表示されることであり、表示品質を低下させることになる。

【0033】そこで高解像度、高フレーム周波数での誤サンプリングを対策する方法として、図5に示されるような構成の回路を開発した。本回路は図2の構成に対し、サンプルホールド処理をデジタル信号にて行うものである。外部からの映像信号はAD変換回路403によりデジタル信号に変換される。デジタル化した信号は信号処理回路404で補正、解像度変換、フレームレート変換等の信号処理を行った後、デジタル信号のままサンプルホールドされ相展開する。デジタル信号のまま相展開するためサンプルホールドばらつきは著しく改善され、アナログ信号を相展開した際のサンプルホールドばらつきは発生しない。なお、展開した各相の信号は、後段のDA変換回路405にてアナログ信号に変換し、増幅、交流化を行う。

【0034】図6に図5の回路の後段処理をIC化した構成を示す。410はIC化されたアナログドライバである。信号処理回路404にて補正、解像度変換、フレームレート変換等の信号処理をしたデジタル信号がアナログドライバ410に inputsする。アナログドライバ410内ではサンプルホールド回路409で inputsしたデジ

タル信号をデジタルのまま相展開し、それぞれの相のデジタル信号をDA変換回路405でDA変換し、増幅交流化回路406で増幅、交流化する。本構成では、後段を1チップ化でき、回路がシンプルになる。

【0035】前述したように図5、図6のような構成では、サンプルホールドをデジタル信号で行う為、サンプルホールドばらつきは発生しない。そのため、信号が高速化した場合に特に有効である。デジタル信号をサンプルホールドして相展開する方法では、映像信号は“1”か“0”のデジタル信号であり、信号線に出力された電圧がばらついたとしても、信号としては“1”か“0”の値として取込まれるため、アナログ信号で問題となったようなばらつきは発生しない。

【0036】なお、複数の信号線に映像信号を振り分ける方法についても、デジタル信号であるためアナログ信号に比べてデータの保持が容易である。映像信号は表示する画像の解像度に従った周期の信号が、画面を構成する順番に、外部装置（例えばパーソナルコンピュータ）から入力しており、AD変換回路403から出力するデジタル信号も外部装置から入力する映像信号の周期と順番に従っている。そのため、取込んだデジタル信号を順番に複数の信号線に出力することで、デジタル信号で相展開が可能である。しかしながら、発明者は相展開した後の回路の特性により各相間でばらつきが発生する問題を見出した。次に、この相展開後の回路により発生するばらつきについて説明する。

【0037】回路を構成する部品には、もともと特性のばらつきがある。図7にオペアンプ413で増幅回路を構成した場合の例を示す。以下図7(a)に示す例を用いて、部品の特性ばらつきによる信号のばらつきを試算する。図7(a)の回路において、抵抗R1の抵抗値を270とし、抵抗R2の抵抗値を750とし、これら抵抗のばらつきを±0.5%とし、オペアンプ413のゲインばらつきを±0.025%とし、映像信号の振幅を1.2Vとすると、オペアンプ413の増幅率はR2/R1の比で決まることから、特性ばらつきにより増幅率が最大になる場合と最小になる場合の出力電圧の振幅を求めると。

【0038】最大の場合は、 $1.2V \times ((750 \times 1.005) \div (270 \times 0.995) + 1) \times 1.00025 = 4.568V$ となり。最小の場合は、 $1.2V \times ((750 \times 0.995) \div (270 \times 1.005) + 1) \times 0.99975 = 4.499V$ となる。

【0039】よって、最大の場合と最小の場合の差は、 $4.568V - 4.499V = 0.069V$ より、最大で69mVのばらつきを生じる。この増幅率のばらつきは図7(b)に示すような波形となって表れる。なお、クランプ電圧V_{crp}は一定電圧が供給されており、図7(b)では1.0Vとした。

【0040】また、図8に反射型液晶表示装置(LCO

S)の印加電圧-反射率特性を示す。相対反射率90%で印加電圧は1.1V、相対反射率10%で印加電圧は2.4Vとなることから、1.3Vの電圧差で256階調を表示することとなり、図8の傾きは $1.3V \div 256$ 階調 $= 5.1mV / 階調$ となる。よって1階調あたりの電圧は約5mVとなる。従ってばらつきが69mVある場合、 $69mV \div 5mV / 階調 = 13.8$ 階調となる。よってこの場合、69mVのばらつきは約14階調の輝度差を生じる。

【0041】この増幅回路のばらつきは、映像信号伝送線132間でのばらつきとなる。映像信号伝送線132間でのばらつきは、液晶パネル上の表示画像としては周期性の縦線の輝度差となって表れるため、著しく表示品質を低下させて問題になる。

【0042】図9に示すように増幅交流化回路は、増幅回路が有するオペアンプの他に、交流化回路もオペアンプを有しており、交流化回路での反転ばらつきも考えられる。また、液晶パネル100内におけるトランジスタの特性ばらつき等も縦線の発生要因としてあげられる。

【0043】図10に図9に示す回路のばらつきを示す。図10(a)は図7(b)に示す入力波形がオペアンプ413に入力する場合の図9中節点Aに出力する信号波形を示している。図10(b)は正極性用オペアンプ415の出力を示している。正極性用オペアンプ415は増幅率が1の反転増幅回路で、出力は図10(b)に示すように定電圧で与えられる反転レベル電圧から入力電圧を差し引いた値となる。負極性用オペアンプ414は増幅率1のバッファアンプで入力波形がそのまま出力する。

【0044】表示図10(c)はアナログスイッチ416を用いて、負極性用オペアンプ414と正極性用オペアンプ415との出力が交互に出力する様子を示している。なお、図10(c)に示す映像信号は、ノーマリーホワイトの場合を示している。そのため、対向電極の基準電極V_{com}に対して、電位差が少ない方が高輝度(白表示)となる。図10(c)に示すように、各回路のばらつきは映像信号伝送線132間でのばらつきとなる。例えば映像信号伝送線132がn本の場合で、1本目が最小でn本目が最大となるようにばらついた場合に、n本毎に液晶パネル上の表示画像に縦線が表れるため、著しく表示品質を低下させることになる。

【0045】各アナログ回路を調整することで、ばらつきを補正することは可能であるが、調整する部品数が多く、量産性を著しく損なうこととなる。そこで、アナログ回路のばらつきを各アナログ回路に入力する前のデジタル信号にて補正することで低減することとした。

【0046】図11に参照表を用いて回路のばらつきを補正する回路構成について示す。

【0047】信号処理回路にてデジタル信号をサンプルホールドして相展開した各信号ラインはそれぞれ参照表

(LUT: Look Up Table 以下LUTとも呼ぶ) 420をもち、各相独立に補正を行う。各相毎にばらつきが異なるため、参照表420には予め最適なデータが求められる。また、補正データは別のメモリ等に格納されており、必要に応じて参照表420にばらつきを補正するデータが転送される。

【0048】図11において、信号処理回路404にて補正、解像度変換、フレームレート変換等の信号処理が行われ、さらに相展開されたデジタル信号が参照表420に入力する。参照表420では入力したデジタル信号に対応するデジタルデータをDA変換回路405に出力する。DA変換回路405ではデジタルデータをアナログ信号に変換し増幅交流化回路406に出力する。

【0049】参照表420には各相毎にばらつきを補正するデータが格納される。参照表420に格納される補正データの設定は、表示画面を観察、評価しながら行う。まず、補正していないデータ(標準データ)を参照表420に格納し表示を行い、各相毎のばらつきを観察する。その後、輝度が低下している相は輝度が増加するような係数が標準データに掛けられ補正データとされ、輝度が増加している相は輝度が減少する係数が選ばれる。各相毎の輝度が均一化されると、その場合の係数が最適な係数として映像信号制御回路400に記録される。

【0050】図12に図11の回路の参照表420を1パッケージ化し、後段処理をIC化した構成を示す。410はIC化されたアナログドライバで、421はゲートアレイ等で1パッケージ化された参照表420である。信号処理回路404にて補正、解像度変換、フレームレート変換、相展開等の信号処理をしたデジタル信号が、各相毎参照表421に入力する。参照表421ではデータを補正しアナログドライバ410に出力する。アナログドライバ410ではDA変換、増幅、交流化が行われる。本構成では、各段を1パッケージ化でき、回路がシンプルになる。

【0051】なお、信号処理回路とサンプルホールド回路とを分離して、サンプルホールド回路と参照表とを1パッケージ化することも可能である。また、1パッケージの中は1チップのゲートアレイで構成することも、複数のチップに分割して構成することも可能である。

【0052】図13に信号処理回路404と参照表420を1パッケージで構成する実施例を示す。422はフラットパッケージで、内部に信号処理回路404と参照表420を有する。信号処理回路404と参照表420は1チップのゲートアレイで構成することも、複数のチップで構成することも可能である。

【0053】図14に1色あたり256階調データを補正する参照表420のデータ構成の実施例を示す。入力データは8ビットで補正データは10ビットとした。補正データは充分階調表現が可能な階調数分のビット数を

使用する。参照表420は読み書き可能なメモリ(RAM)で構成され、入力した256階調の映像信号をアドレスとして、アドレスに格納された10ビットのデータを補正データとして出力する。

【0054】なお、補正データを出力する構成としては、入力データに対して補正データを出力する機能を有するものであれば利用可能である。たとえば、入力データに対して補正係数を演算して補正データを出力する信号処理回路を用いることも可能である。また、参照表はアドレスと該各アドレスにデータを格納できるものを利用することができるが、RAMまたはROM等のメモリで構成することも、論理回路で構成することも可能である。

【0055】図14に示した参照表420への補正データ設定方法の例を図15に示す。映像信号制御回路400内部の信号線の構成は、データバス435は10ビット、アドレスバス436は8ビットで構成される。また、データ処理用にマイコン430が設けられる。なお、マイコン430は必要に応じてデータ処理が行える回路を用いることも可能である。補正データ設定時は、マイコン430から10ビット×256の補正用データを送信して参照表420用のRAMに設定する(経路)。

【0056】なお、パラレル通信による256データの設定タイミング例を図16に示す。マイコン430はRAMを構成するチップのチップセレクト信号CSをロウレベルにしたのち、アドレスバス436に0~255の値を順番に出力する。また、アドレスの出力と同時に各アドレス毎の補正データをデータバス435上に10ビットで出力する。さらに、データバス435に補正データを出力した状態で、リードライト信号WRを出力する。RAMはリードライト信号WRの立上りでデータをラッチし格納する。アドレスはリードライト信号WRの立上りでインクリメントされ、データをアドレス0から順番に255まで設定する。

【0057】参照表420から補正データを読み出す場合は、相展開されたデジタル信号がアドレスバス436に設定され、RAMはアドレスバス436が指示するアドレスの補正データをデータバス435上に出力する(図15中の経路)。DA変換回路405はデータバス435により入力するデジタルデータをアナログ信号に変換し増幅交流化回路に出力する。

【0058】参照表420によるデータの補正を図17に示す。アナログ回路で発生する特性ばらつきを参照表420にて逆方向に補正し、補正後の出力でばらつきを最小にする。図17(a)はアナログ回路特性が理想的な場合で、入力に対し正常な出力が得られている。451は入力に対し正常な出力の特性を示している。線451で示す特性は正常なため、参照表420の値は補正をかけない値が選ばれる。452は補正をかけない場合の

参照表420の入力と出力の特性を示す。

【0059】次に、図17(b)はアナログ回路特性が正常値に対して、高い値を出力する場合を示す。454は入力に対し出力が高い値となる特性を示す線である。線454で示す入力と出力の特性は、出力が高い値を示すため、参照表420では出力が低くなるような補正データが選ばれる。参照表420の特性は線455に示すように、補正をかけない場合の線452に対して出力が低くなるような値になっている。

【0060】図17(b)で示す場合のばらつきを補正する方法としては、液晶パネルの画像を観察し、高輝度の相に設けられた参照表の特性が、図17(b)の線455となるような係数を外部から図15に示すマイコン430に入力する。マイコン430は入力した係数と基準データから補正データを作成し参照表のデータを作成する。液晶パネルには補正した画像が出力される。さらに、補正の必要がある場合は同様な操作を繰り返し、画面に輝度むらが観察されなくなるように調整する。なお、外部から係数を入力するためのインターフェース部が設けられマイコン430に接続されている。

【0061】一度設定された係数は、映像信号制御回路400に記録される。液晶表示装置の立上げ動作時にマイコン430により、標準データと係数とから補正データが作成され、参照表420に格納される。

【0062】次に図17(c)にアナログ回路特性が正常値に対して、低い値を出力する場合を示す。456は入力に対し出力が低い値となる特性を示す線である。線456で示す入力と出力の特性は、出力が低い値を示すため、参照表420では出力が高くなるような補正データが選ばれる。参照表420の特性は線457に示すように、線452に対して出力が高くなるような値になっている。

【0063】なお、補正の方法としては、液晶パネルの画像を撮像装置で入力し、入力した画像データから輝度むらのある相を検出して、自動的に係数を算出し、算出した係数を基に参照表420に補正データを作成することも可能である。

【0064】図17に示すように、アナログ回路のばらつきが増幅率のばらつきのような場合では、入力に対して出力のばらつきが線形に変化しているため、ばらつきを補正するデータも入力に対して線形に変化する値となる。そのため、標準データに係数を掛けて補正データを求めることが可能である。

【0065】図18に交流化回路で発生したばらつきを補正する場合の構成を示す。参照表は1相あたり正極性用423と負極性用422の2つのテーブルをもち、交流化信号に同期してアナログスイッチ417で選択する。負極性用オペアンプ414から映像信号が出力する場合は、負極性用参照表422で補正し、正極性用オペアンプ415から映像信号が出力する場合は、正極性用

参照表423で補正する。正極性用、負極性用それぞれの参照表に補正データを設定しておくことにより、正極と負極間でのばらつきが補正できる。

【0066】図19に映像ソースにより複数の参照表から1つの参照表を選択する方法を示す。通常、信号のソースとしては、パソコンのウィンドウの様なグラフィック画像、又は映画、自然画等がある。予め、これらの複数の映像ソースに適した補正データなどの参照表を作成しておき、映像ソースによってスイッチを切り替えて使用する。図19においては3種類の映像ソース用に参照表を設ける場合を示す。なお、当然映像ソースの数に対応して複数の参照表を設けることが可能である。424は第1の映像ソース用参照表で、425は第2の映像ソース用参照表、426は第3の映像ソース用参照表である。スイッチ418によってどの参照表を用いるかを選択する。

【0067】なお、スイッチ418は、デジタル信号の伝達経路を切り替えるスイッチであれば利用可能である。図19(b)に、スイッチ418を論理回路で構成する場合を示す。

【0068】図20、図21を用いて参照表を複数使用して、擬似的に階調を上げる方法を説明する。補正用の参照表等の場合では、図20(a)の様に、入力に対する出力の変化が少なく、出力する階調が減少して画質が劣化する。図20(b)に出力の変化が少ない部分Bの拡大図を示す。図20(b)の例では符号Cで示す点のように、 $n+1$ の入力に対し、 m と $m+1$ の間の階調を出力したいが、ビット数の関係で、 m または $m+1$ のどちらかしか表現できないことがある。そこで、2つの参照表をフレーム毎切り換えて中間階調を出力する。

【0069】図21(a)において、427は第1の参照表で、428は第2の参照表で、419は切り換え用のアナログスイッチである。図21(b)に示すように、第1の参照表427は $n+1$ が入力した時に、 m を出力する。図21(c)に示すように、第2の参照表428は $n+1$ が入力した時に、 $m+1$ を出力する。第1の参照表427と第2の参照表428の出力をアナログスイッチ419を用いて、フレーム周期で交互に切り換えて出力する。それにより図21(d)に示すように、擬似的に m と $m+1$ の中間の階調(図中D)を視覚的に表示することが可能となる。

【0070】次に図22、図23を用いて参照表を使用してコントラスト、及び輝度を調整する方法を説明する。なお、図22、図23では説明を簡単にするために、ノーマリーブラックの場合で説明する。すなわち、電圧が大で高輝度(白表示)となる。図22はコントラストを調整する方法を説明する図である。図22(a)の入力に対する出力の特性を示す線461に示すデータのコントラストを下げる場合は、図22(b)に示すように、特性を示す線462の傾きを小さくする。コント

ラストを上げる場合は図 22 (c) に示すように、特性を示す線 463 の傾きを大きくする。

【0071】図 23 は輝度を調整する方法を説明する図である。図 23 (a) の入力に対する出力の特性を示す線 461 に示すデータの輝度を下げる場合は、図 23 (b) に示すように、特性を示す線 464 を黒方向に平行移動し、図 23 (c) に示すように、輝度を上げる場合は特性を示す線 465 を白方向に平行移動する。

【0072】図 24 にアナログスイッチを設け、1 パッケージ化した参照表 421 のピン数を減らす回路構成を示す。なお、同様の構成で内外のインターフェースの配線及びピン数を減らすことが可能である。複数の参照表 420 を 1 パッケージに収納した場合、回路構成はシンプルになるが、パッケージのピン数が増加するという問題が生じる。参照表 420 と DA 変換回路 405 との間のデータバス 435 は 10 ビットであるため、各相毎にデータバスを設けると、データバスに接続するための 1 パッケージ化した参照表 421 のピン数は、著しく増加する。例えば 12 相 10 ビットの場合、120 ピンとなる。そのため、各参照表の出力を内部スイッチ 437 で選択し、同じタイミングで外付けスイッチ 438 で出力先を選択する。本回路構成により例えば 12 相 10 ビットの場合、120 ピンから 10 ピンに減少するため、使用するパッケージの最小化が可能となる。

【0073】次に図 25 を用いて、配線数を省略可能な構成について説明する。図 25 では、参照表 420 の位置が相展開用のサンプルホールド回路 404 の前に設けられている。図 25 に示す構成では、参照表 420 とサンプルホールド回路 404 間の配線数が大幅に省略可能である。例えば図 11 に示す構成では、サンプルホールド回路 404 と参照表 420 との間では、データを伝える信号線が相展開した数必要である。12 相 10 ビットの場合では、配線数は 120 本となる。対して図 25 に示す場合では、10 ビット分の 10 本ですむことになる。

【0074】図 25 に示す参照表 420 では、表示信号線 402 により外部装置から表示信号が一定の順番で、映像信号制御回路に送られてくる。そのため、表示信号の順番に合せて、相展開される順番を定めれば、相展開する構成と補正する構成の位置を並べ替えても問題ない。すなわち、n 番目の相のデータであることがわかれば、n 番目の相のばらつきに必要な補正を相展開前に行うことが可能である。

【0075】AD 変換回路 403 からは、例えば 10 ビットのデータバス 435 が出力している。参照表 420 は相展開する数設けられており、各参照表 420 にはデータバス 435 が接続している。映像信号制御回路 400 は AD 変換回路 403 から出力するデータの順番により、どの相のデータであるかを知り、補正する参照表 420 を選択する。

【0076】次に図 26 を用いて参照表データの通信について説明する。参照表に設定するデータ量としては 1 色あたり 12 相、10 ビット (2 バイト) データ、256 階調とした場合、

$$12 \text{ 相} \times 2 \text{ バイト} \times 256 \text{ 階調} = 6144 \text{ バイト}$$

になり、3 色では

$$6144 \text{ バイト} \times 3 \text{ 色} = 18432 \text{ バイト}$$

となる。例えば外部のパソコン 448 に参照表データを記録しておき、表示制御装置 111 内のマイコン 430 とでデータ通信を行い、参照表 420 にデータを取り込む方法を用いると、パソコン - マイコン間通信を RS - 232C で 9600 bps の速さで通信した場合、最短で 15 秒かかる。なお、447 はデータ通信用のインターフェース部である。また、パソコン - マイコン間のデータ通信は RS - 232C に限らず、他の方法 (例えば USB、IEEE1394、SCSI、Bluetooth 等) を用いることが可能である。

【0077】次に、映像信号制御回路 400 内に設けたマイコン内蔵の RAM に記憶しておく場合を考察すると、18432 バイトもの領域を大きく消費する問題が発生する。

【0078】通信時間の短縮、及びマイコン内蔵 RAM を節約する為、データを補正用の標準データ 429 と差分データに分ける。差分データは外部装置 (パソコン) より表示画像を観察しながら最適な値が設定される。参照表データを作成する場合は、マイコン内で標準データ 429 に差分データに掛けて演算することで参照表データを作成する。これによりパソコン - マイコン間での通信データ量の増大も、マイコン内蔵 RAM 領域を大きく使用することもなく参照表にデータを取り込むことが可能となる。

【0079】次に図 27 を用いてフレーム周波数を逡倍化する方法について説明する。図 27 (a) に 2 フレーム分のフレームメモリを用いて、フレーム周波数を変換する回路構成と、図 27 (b) に 2 倍速にする場合のタイミングチャートを示す。

【0080】フレーム周波数を変換する回路はタイミングコントローラ 432 と 1 フレーム分の容量がある第 1 のフレームメモリ 433 と第 2 のフレームメモリ 434 によって構成される。映像信号はタイミングコントローラ 432 に入力し、タイミングコントローラ 432 中のスイッチ操作により、第 1 のフレームメモリ 433 と第 2 のフレームメモリ 434 に入力する。第 1 のフレームメモリ 433 と第 2 のフレームメモリ 434 からは、例えば周波数を 2 倍にする場合は 2 倍のクロックで読出し、タイミングコントローラ 432 から出力する。

【0081】次にタイミングについて説明する。映像信号の入力がフレーム 1 のタイミングでは第 1 のフレームメモリ 433 に画像データをそのまま書き込む。映像入

力がフレーム2のタイミングで第2のフレームメモリ434にフレームの画像データを書き込む。それと同時に第1のフレームメモリ433からは2倍速のスピードで2回フレーム1のデータを読み出す。フレーム3のタイミングでは第1のフレームメモリ433にフレーム3の画像データを書きこむのと同時に、第2のフレームメモリ434のデータを2倍のスピードで2回読み出す。これを繰り返すことによりフレーム周波数が2倍の信号を出力することが可能となる。

【0082】図28にメモリを1フレーム+1ブロック10分使用してフレーム周波数を変換する場合の回路構成と、図29にタイミングチャートを示す。図28においてメモリ容量は6ブロックで1フレーム分の場合を例とする。回路は7ブロックに分けられるブロックメモリ440と、タイミングコントローラ432で構成される。7つの各メモリブロックの入出力はタイミングコントローラ432によって制御される。

【0083】次に図29に示すタイミングチャートにより動作を説明する。1フレーム分の映像信号を6個のタイミングに分割し、1-1~1-6とする。1-1の信号20はブロック1に、1-2の信号はブロック2に書き込み、以降順に信号をメモリの各ブロックに書き込む。そして書き込みタイミングとは非同期にメモリから2倍のスピードで読出しを行い、図29のように2倍速の映像信号を出力する。次に2-1の信号はブロック7に、2-2の信号はブロック1に書き込むというように以降ローテーションを繰り返しながら読み書きを行う。この回路方式は動作が複雑になるがメモリ容量が少なくできる利点がある。メモリ容量は分割ブロック数を増やすほど30少なくなるが、その分動作が複雑になる為、両者のバランスを考慮する必要がある。

【0084】図30にメモリを使用してテストパターンを出力する回路構成を示す。通常映像信号によって回路の調整をその都度行うが、その場合には、ドット市松、カラーバーチャート、グレースケール等のテストパターンを使用する。これらのパターンを出力するパソコン等を信号源として用意する必要があるが、本回路を用いれば映像信号制御回路400内でパターンを発生する為これらの信号源が不要になる。回路は、通常の周波数変換などに使用するフレームメモリ431と、テストパターンを予め書きこんだフレームメモリ445、タイミングコントローラ432で構成される。通常動作時はフレームメモリ431から映像信号を出力する。テストパターン表示時はスイッチを切り替えてテストパタンのフレームメモリ445から映像信号を出力する。

【0085】図31にフレームメモリ431を使用して静止画を出力する回路構成を示す。静止画出力は表示したくない映像信号を入力せざるをえない時等に有効な機能となる。通常動作時はフレームメモリ431内の映像信号を常に更新するためリアルタイムで映像が表示され50

る。映像信号のメモリ書き込みを遮断すると、映像が更新されない為、遮断する直前の信号を繰り返しメモリから読み出す。このようにして静止画出力は、メモリの書き込みスイッチを制御して行う。

【0086】図32にフレームメモリ431を用いた回路のコンバーゼンスの調整について示す。製品に表示素子を複数用いた場合(例えば2板あるいは3板)、それらの互いの位置を画素単位で合わせる必要がある。通常は表示素子の位置を微調整して合わせるが、本方式によれば表示素子の位置を変えずに調整が可能となる。以下方法について説明する。フレームメモリ431に書き込んだ映像信号を読み出す時にアドレスを調整して表示位置を調整する。フレームメモリ431のアドレスと表示素子の画素が一致している場合、例えば図32(a)のようにメモリ内の映像信号の位置に対して、読み出し位置のアドレスを右方向にn、下方向にmずらす。すると、表示素子での表示位置が左方向にn画素、上方向にm画素移動する。この様にして表示素子の表示位置を調整する。

【0087】次に図33を用いて、画素部101について説明し、さらには、画素電位制御回路を用いて、画素電極の電位を変化させる駆動方法について説明する。図33は画素部101の等価回路を示す回路図である。画素部101は表示部110の隣接する2本の走査信号線102と、隣接する2本の映像信号線103との交差領域(4本の信号線で囲まれた領域)にマトリクス状に配置される。ただし、図33では図を簡略化するため1つの画素部だけを示している。各画素部101は、アクティブ素子30と画素電極109を有している。また、画素電極109には画素容量115が接続されている。画素容量115の一方の電極は画素電極109に接続され、他方の電極は画素電位制御線136に接続されている。さらに画素電位制御線136は画素電位制御回路135に接続されている。なお、図33においては、アクティブ素子30はp型トランジスタで示している。

【0088】前述したように、走査信号線102には垂直駆動回路130から走査信号が出力している。この走査信号によりアクティブ素子30のオン・オフが制御される。映像信号線103には映像信号として階調電圧が供給されており、アクティブ素子30がオンになると、映像信号線103から画素電極109に階調電圧が供給される。画素電極109に対向するように対向電極107(コモン電極)が配置されており、画素電極109と対向電極107との間には液晶層(図示せず)が設けられている。なお、図33に示す回路図上では画素電極109と対向電極107との間には等価的に液晶容量108が接続されているように表示した。画素電極109と対向電極107との間に電圧を印加することにより、液晶分子の配向方向等が変化し、それに伴い液晶層の光に対する性質が変化することを利用して表示が行われる。

【0089】液晶表示装置の駆動方法としては、前述し

たように液晶層に直流電流が印加されないように交流化駆動が行われる。交流化駆動を行うためには、対向電極107の電位を基準電位とした場合に、映像信号選択回路123からは基準電位に対して正極性と負極性の電圧が階調電圧として出力する。しかしながら、映像信号選択回路123を正極性と負極性の電位差に耐えるような高耐圧な回路とすると、アクティブ素子30をはじめとし回路規模が大きくなるという問題や、動作速度が遅くなるといった問題が生じることとなる。また、図10に示すように、映像信号制御回路400では正極性側と負極性側のオペアンプが必要である。

【0090】そこで、映像信号選択回路123から画素電極109に供給する映像信号は、基準電位に対して同極性の信号を用いながらも交流化駆動を行うことを検討した。例えば、映像信号選択回路123から出力する階調電圧は、基準電位に対し正極性の電圧を用い、基準電位に対し正極性の電圧を画素電極に書き込んだ後に、画素電位制御回路135から画素容量115の電極に印加している画素電位制御信号の電圧を引き下げることにより、画素電極109の電圧も降下させて、基準電位に対して負極性の電圧を生じることができる。このような駆動方法を用いると、映像信号選択回路123が出力する最大値と最小値との差が小さいため、映像信号選択回路123は低耐圧の回路とすることが可能となる。なお1例として、画素電極109に正極性の電圧を書き込んで画素電位制御回路135により負極性の電圧を生じさせる場合について説明したが、負極性の電圧を書き込んで正極性の電圧を生じさせるには、画素電位制御信号の電圧を引き上げることににより可能である。

【0091】次に図34を用いて、画素電極109の電圧を変動させる方法について説明する。図34は説明のため液晶容量108を第1のコンデンサ53で表わし、画素容量115を第2のコンデンサ54で表わし、アクティブ素子30をスイッチ104で示したものである。画素容量115の画素電極109に接続される電極を電極56とし、画素容量115の画素電位制御線136に接続される電極を電極57とする。また、画素電極109と電極56とが接続された点を節点58で示す。ここでは説明のため、他の寄生容量は無視できるものとして、第1のコンデンサ53の容量はCLで、第2のコン

デンサ54の容量はCCとする。【0092】まず図34(a)に示すように、第2のコンデンサ54の電極57には外部から電圧V1を印加する。次に、走査信号によりスイッチ104がオンになると、映像信号線103から電圧が画素電極109及び電極56に供給される。ここで、節点58に供給された電圧をV2とする。

【0093】次に、図34(b)に示すように、スイッチ104がオフになった時点で、電極57に供給している電圧(画素電位制御信号)をV1からV3に降下させ

る。このとき、第1のコンデンサ53と第2のコンデンサ54とに充電された電荷の総量は変化しないことから、節点58の電圧が変化して、節点58の電圧は、 $V2 - \{CC / (CL + CC)\} \times (V1 - V3)$ となる。

【0094】ここで、第1のコンデンサ53の容量CLが第2のコンデンサ54の容量CCに比べて充分小さい場合($CL \ll CC$)は、 $CC / (CL + CC) \rightarrow 1$ となり節点58の電圧は $V2 - V1 + V3$ となる。ここで $V2 = 0$ 、 $V3 = 0$ とすると、節点58の電圧は $-V1$ となる。

【0095】前述した方法によれば、画素電極109に映像信号線103から供給する電圧は対向電極107の基準電位に対し正極性にして、負極性の信号は電極57に印加する電圧(画素電位制御信号)を制御することにより作り出すことができる。このような方法で負極性の信号を作り出すと、映像信号選択回路123からは負極性の信号を供給する必要が無くなり、周辺回路を低耐圧の素子で形成することが可能となる。

【0096】次に図35を用いて、図33に示す回路の動作タイミングについて説明する。1は映像信号線103に供給される階調電圧を示す。2は走査信号線102に供給される走査信号である。3は画素電位制御信号線136に供給される画素電位制御信号(降圧信号)である。4は画素電極109の電位を示している。なお、画素電位制御信号3は図32で示した電圧V3とV1で振幅する信号である。

【0097】図35を説明するあたり、1は正極性用入力信号1Aと、負極性用入力信号1Bを示している。ここで、負極性用とは画素電極に印加された電圧が画素電位制御信号により変動して、基準電位Vcomに対して負極性となる場合の信号のことである。本実施例では映像信号1として正極性用入力信号1Aと負極性用入力信号1B共に、対向電極107に印加された基準電位Vcomに対して電位が正極性となるような電圧が供給される場合を説明する。

【0098】図35において期間t0からt2の間では、階調電圧1が正極性用入力信号1Aの場合を示している。まず、t0において画素制御信号3として電圧V1を出力する。次に時刻t1において走査信号2が選択され口ウレベルとなると、図31に示すp型トランジスタ30がオン状態となり、映像信号線103に供給されている正極性用入力信号1Aが、画素電極109に書き込まれる。画素電極109に書き込まれる信号は図35では4で示している。また、図35においてt2で画素電極109に書き込まれた電圧はV2Aで示している。次に、走査信号2が非選択状態となり、ハイレベルになると、トランジスタ30はオフ状態となり、画素電極109は電圧を供給する映像信号線103から切り離された状態になる。液晶表示装置は画素電極

109に書き込まれた電圧 V_{2A} に従った階調を表示する。

【0099】次に、期間 t_2 から t_4 の間で階調電圧1が負極性用入力信号1Bの場合を説明する。負極性用入力信号1Bの場合、時刻 t_2 において走査信号2が選択され、画素電極109には4に示すような電圧 V_{2B} が書き込まれる。その後、トランジスタ30をオフ状態とし、時刻 t_2 から $2h$ (2水平走査時間)後の時刻 t_3 において画素容量115に供給している電圧を画素電位制御信号3に示すように V_1 から V_3 に降10

圧する。画素電位制御信号3を V_1 から V_3 に変動させると画素容量115が結合容量の役割を果たし、画素電位制御信号3の振幅に従い、画素電極の電位を下げるができる。これにより基準電位 V_{com} に対して負極性の電圧 V_{2C} を画素内に作り出すことができる。

【0100】前述した方法で、負極性の信号を作り出すと、周辺回路を低耐圧の素子で形成することが可能となる。すなわち、映像信号選択回路123から出力する信号は正極性側の狭い振幅の信号であるため、映像信号選択回路123は低耐圧の回路とすることが可能となる。20

また、負極性側のオペアンプを用いる必要が無く、さらに映像信号選択回路123が低電圧で駆動可能であれば、他の周辺回路である、水平シフトレジスタ120、表示制御装置111等は低耐圧の回路であるため、液晶表示装置全体として低耐圧の回路による構成が可能となる。

【0101】次に図36を用いて、画素電位制御回路135の回路構成を示す。SRは双方向シフトレジスタであり、上下双方向に信号をシフトすることが可能である。双方向シフトレジスタSRはクロックドインバータ30 61、62、65、66で構成されている。67はレベルシフタで、69は出力回路である。双方向シフトレジスタSR等は電源電圧VDDで動作している。レベルシフタ67は双方向シフトレジスタSRから出力する信号の電圧レベルを変換する。レベルシフタ67からは電源電圧VDDより高電位である電源電圧VBBと電源電圧VSS(GND電位)との間の振幅を有する信号が出力される。出力回路69は電源電圧VPPとVSSが供給されており、レベルシフタ67からの信号に従い、電圧VPPとVSSとを画素電位制御線136に出力する。40

図35にて説明した画素電位制御信号3の電圧 V_1 が電源電圧VPPで、電圧 V_3 が電源電圧VSSとなる。なお、図36では出力回路69をp型トランジスタとn型トランジスタからなるインバータで示している。p型トランジスタに供給する電源電圧VPPとn型トランジスタに供給する電源電圧VSSの値を選ぶことで、電圧VPPとVSSとを画素電位制御信号3として出力することが可能である。

【0102】ただし、後述するようにp型トランジスタを形成するシリコン基板には基板電圧が供給されている50

ので、電源電圧VPPの値は基板電圧に対して適切な値が設定される。

【0103】26はスタート信号入力端子で、制御信号の一つであるスタート信号を画素電位制御回路135に供給する。図36に示す双方向シフトレジスタSR1からSRnは、スタート信号が入力すると外部から供給されるクロック信号のタイミングに従い、順番にタイミング信号を出力する。レベルシフタ67はタイミング信号に従い電圧VSSと電圧VBBを出力する。出力回路69はレベルシフタ67の出力に従い電圧VPPと電圧VSSを画素電位制御線136に出力する。図35の画素電位制御信号3に示すタイミングとなるように、スタート信号およびクロック信号を双方向シフトレジスタSRに供給することで、画素電位制御回路135から希望するタイミングで画素電位制御信号3を出力することが可能である。なお25はリセット信号入力端子である。

【0104】次に、図37(a)(b)を用いて、双方向シフトレジスタSRに用いられるクロックドインバータ61、62を説明する。UD1は第1方向設定線、UD2は第2方向設定線である。

【0105】第1方向設定線UD1は、図36では下から上に走査する場合Hレベルで、第2方向設定線UD2は、図36では上から下に走査する場合Hレベルである。図36では図を見やすくするために結線を省略してあるが、第1方向設定線UD1、第2方向設定線UD2は共に双方向シフトレジスタSRを構成するクロックドインバータ61、62に接続されている。

【0106】クロックドインバータ61は図37(a)に示すように、p型トランジスタ71、72とn型トランジスタ73、74からなる。p型トランジスタ71は第2方向設定線UD2に接続されており、n型トランジスタ74は第1方向設定線UD1に接続されている。そのため第1方向設定線UD1がHレベルで第2方向設定線UD2がLレベルの場合、クロックドインバータ61はインバータとして働き、第2方向設定線UD2がHレベルで第1方向設定線UD1がLレベルの場合ハイインピーダンスとなる。

【0107】逆にクロックドインバータ62は図37(b)に示すように、p型トランジスタ71は第1方向設定線UD1に接続されており、n型トランジスタ74は第2方向設定線UD2に接続されている。そのため第2方向設定線UD2がHレベルの場合インバータとして働き、第1方向設定線UD1がHレベルの場合ハイインピーダンスとなる。

【0108】次にクロックドインバータ65は図37(c)に示す回路構成であり、CLK1がHレベルで、CLK2がLレベルの場合に、入力を反転出力し、CLK1がLレベルで、CLK2がHレベルの場合に、ハイインピーダンスとなる。

【0109】また、クロックインバータ66は、図37(d)に示す回路構成であり、CLK2がHレベルで、CLK1がLレベルの場合に、入力を反転出力し、CLK2がLレベルで、CLK1がHレベルの場合に、ハイインピーダンスとなる。図36では、クロック信号線の結線を省略してあるが図37のクロックインバータ65、66にはクロック信号線CLK1、CLK2が接続されている。

【0110】以上説明したように、双方向シフトレジスタSRをクロックインバータ61、62、65、6610で構成することで、タイミング信号を順番に出力することが可能である。また画素電位制御回路135を双方向シフトレジスタSRで構成することで、画素電位制御信号3を双方向に走査することが可能である。すなわち、垂直駆動回路130も同様の双方向シフトレジスタにより構成されており、本発明による液晶表示装置は上下双方向の走査が可能である。そのため、表示する像を上下逆転する場合などに、走査方向を反転して図中下から上に走査する。そこで垂直駆動回路130が下から上に走査する場合には、画素電位制御回路135も第1方20向設定線UD1と第2方向設定線UD2の設定を変更することにより、下から上に走査するよう対応する。なお、水平シフトレジスタ121も同様の双方向シフトレジスタにより構成されている。

【0111】次に図38を用いて、本発明による反射型液晶表示装置LCOSの画素部を説明する。図38は本発明の一実施例である反射型液晶表示装置の模式断面図である。図38において、100は液晶パネル、1は第1の基板である駆動回路基板、2は第2の基板である透明基板、3は液晶組成物、4はスペーサである、スペーサ4は駆動回路基板1と透明基板2との間に一定の間隔であるセルギャップ(cell gap)dを形成している。このセルギャップdに液晶組成物3が挟持されている。5は反射電極(画素電極)で駆動回路基板1に形成されている。6は対向電極で反射電極5との間で液晶組成物3に電圧を印加する。7、8は配向膜で液晶分子を一定方向に配向させる。30はアクティブ素子で反射電極5に階調電圧を供給する。

【0112】34はアクティブ素子30のソース領域、35はドレイン領域、36はゲート電極である。38は40絶縁膜、31は画素容量を形成する第1の電極で、40は画素容量を形成する第2の電極である。絶縁膜38を介し第1の電極31と第2の電極40とは容量を形成する。図38では、第1の電極31と第2の電極40とを画素容量を形成する代表的な電極として示しており、他にも画素電極と電氣的に接続した導体層と画素電位制御信号線と電氣的に接続した導体層とが、誘電体層を挟んで対向していれば画素容量を形成することが可能である。

【0113】41は第1の層間膜、42は第1の導電膜50

である。第1の導電膜42はドレイン領域35から第2の電極40とを電氣的に接続している。43は第2の層間膜、44は第1の遮光膜、45は第3の層間膜、46は第2の遮光膜である。第2の層間膜43と第3の層間膜45にはスルーホール42CHが形成され、第1の導電膜42と第2の遮光膜46が電氣的に接続されている。47は第4の層間膜、48は反射電極5を形成する第2の導電膜である。アクティブ素子30のドレイン領域35から第1の導電膜42、スルーホール42CH、第2の遮光膜46を介して階調電圧は反射電極5に伝えられる。

【0114】本実施例の液晶表示装置は反射型であり、大量の光が液晶パネル100に照射される。遮光膜は駆動回路基板の半導体層に光が入射しないよう遮光している。反射型液晶表示装置において液晶パネル100に照射された光は、透明基板2側(図38中上側)から入射し、液晶組成物3を透過し反射電極5で反射し再度液晶組成物3、透明基板2を透過して液晶パネル100から出射する。しかしながら、液晶パネル100に照射される光の一部は、反射電極5の隙間から駆動回路基板側に漏れ込む。第1の遮光膜44と第2の遮光膜46はアクティブ素子30に光が入射しないように設けられている。本実施例では、この遮光膜を導電層で形成し、第2の遮光膜46を反射電極5に電氣的に接続し、第1の遮光膜44に画素電位制御信号を供給することで、遮光膜を画素容量の一部としても機能するようにしている。

【0115】なお、第1の遮光層44に画素電位制御信号を供給すると、階調電圧が供給される第2の遮光膜46と映像信号線103を形成する第1の導電層42や走査信号線102を形成する導電層(ゲート電極36と同層の導電層)との間に電氣的シールド層として第1の遮光膜44を設けることができる。このため、第1の導電層42やゲート電極36等と第2の遮光膜46や反射電極5との間の寄生容量成分が減少する。前述したように液晶容量CLに対して画素容量CCは充分大きくする必要があるが、第1の遮光膜44を電氣的シールド層として設けると、液晶容量LCと並列に接続される寄生容量も小さくなりより効率的である。さらに信号線からの雑音の飛び込みを減少することも可能となる。

【0116】また、液晶表示素子を反射型とし、駆動回路基板1の液晶組成物3側の面に反射電極5を形成した場合、駆動回路基板1として不透明なシリコン基板等を用いることが可能である。また、アクティブ素子30や配線を反射電極5の下に設けることができ、画素となる反射電極5を広くし、所謂高開口率を実現することができる利点がある。また、液晶パネル100に照射される光による熱を駆動回路基板1の裏面から放熱できるといった利点もある。

【0117】次に遮光膜を画素容量の一部として利用することについて説明する。第1の遮光膜44と第2の遮

光膜46とは第3の層間膜45を介して対向しており、画素容量の一部を形成している。49は画素電位制御線136の一部を形成する導電層である。導電層49により第1の電極31と第1の遮光膜44とは電氣的に接続されている。また、導電層49を用いて画素電位制御回路135から画素容量までの配線を形成することが可能である。ただし、本実施例では第1の遮光膜44を配線として利用した。図39に第1の遮光膜44を画素電位制御線136として利用する構成について示す。

【0118】図39は第1の遮光膜44の配置を示す平面図である。46は第2の遮光膜であるが、位置を示すために点線で示している。42CHはスルーホールで、第1の導電膜42と第2の遮光膜46とを接続している。なお、図39は第1の遮光膜44を解り易く示すために、他の構成は省略している。第1の遮光膜44は、画素電位制御線136の機能を有しており図中X方向に連続して形成されている。第1の遮光膜44は遮光膜として機能するために表示領域全面を覆うように形成されているが、画素電位制御線136の機能も持たせるために、X方向に延在し（走査信号線102と並列の方向）、Y方向に並んでライン状に形成され、画素電位制御回路135に接続される。また、画素容量の電極としても働くために、第2の遮光膜46となるべく広い面積で重なるように形成されている。さらに、遮光膜として漏れる光が少なくなるように、隣接する第1の遮光膜44の間隔はなるべく狭くなるよう形成されている。

【0119】ただし、図39に示すように隣接する第1の遮光膜44の間隔を狭く形成すると、遮光膜44の一部が隣接する第2の遮光膜46と重なり合うことになる。前述したように、本液晶表示装置は双方向に走査可能である。そこで、双方向に画素電位制御信号を走査した場合に、次段の第2の遮光膜46と重なり合う場合と重なり合わない場合とが生じる。図39の場合では、図中上から下に走査する場合に第1の遮光膜44と次段の第2の遮光膜46とが重なり合っている。

【0120】図40を用いて遮光膜44の一部が次段の第2の遮光膜46と重なり合うことによる問題点と解決方法を説明する。図40(a)は問題点を説明するタイミング図である。2Aは任意の行の走査信号でありA行目の走査信号とする。2Bは次段の行の走査信号でありB行目の走査信号とする。なお、問題が発生する期間t2からt3の間について説明し、その他の期間については省略する。

【0121】図40(a)において、A行目において時刻t2から2h（2水平走査時間）後の時刻t3に画素電位制御信号3Aを変化させている。時刻t2から1h後には走査信号2Aの出力は終了しており、走査信号2Aで駆動されるA行目のアクティブ素子30はオフ状態となり、A行目の画素電極109は映像信号線103から切り離されている。時刻t2から2h後の時刻

t3であれば、信号の切り換わりによる遅延等を考慮しても、A行目のアクティブ素子30は十分にオフ状態となっている。しかしながら、時刻t3はB行目の走査信号2Bが切り換わる時である。

【0122】A行目の第1の遮光膜44とB行目の第2の遮光膜46とが重なり合っているため、B行目の画素電極とA行目の画素電位制御信号線との間で容量が生じていることになる。時刻t3はB行目のアクティブ素子30がオフ状態へと切り換わる時であるため、B行目の画素電極109は映像信号線103から十分に切り離されていない。この時にB行目の画素電極109との間で容量成分を有するA行目の画素電子制御信号3Aが切り換わると、画素電極109と映像信号線103との間が十分に切り離されていないため、映像信号線103と画素電極109との間で電荷が移動する。すなわち、A行目の画素電子制御信号3Aの切り換わりが、B行目の画素電極109に書き込まれる電圧4Bに影響を与えることとなる。

【0123】この画素電子制御信号3Aによる影響は、液晶表示装置の走査方向が一定であるならば均一な影響となり、あまり目立つことはない。しかしながら、赤、緑、青等の色毎に液晶表示装置を備え、各液晶表示装置の出力を重ねてカラー表示する場合に、液晶表示装置の光学的配置による理由で、例えば1つの液晶表示装置だけ下から上に走査し、他の液晶表示装置は上から下に走査することがある。このように複数の液晶表示装置のうちで走査方向が異なるものがある場合には、表示品質が不均一となり美観を損ねることとなる。

【0124】次に、図40(b)を用いて解決方法を説明する。A行目の画素電位制御信号3AをA行目の走査信号2Aの開始より3h遅れて出力するようにする。この場合、B行目の走査信号2Bも切り換わった後であり、B行目のアクティブ素子30は十分にオフ状態であるためA行目の画素電位制御信号3AによるB行目の画素電極109に書き込まれる電圧4Bに与える影響が減少する。

【0125】なお、この場合、負極性入力信号が書き込まれる時間が、正極性入力信号に対して3hもの間短くなるが、例えば走査信号線102の数が100を超えるような場合では3%以下の値となる。そのため、負極性入力信号と正極性入力信号の実効値の違いは基準電位Vcomの値等により調整することが可能である。

【0126】次に図41を用いて画素容量に供給される電圧VPPと基板電位VBBとの関係について説明する。図41(a)は画素電位制御回路135の出力回路69を構成するインバータ回路を示している。

【0127】図41(a)において32はp型トランジスタのチャンネル領域でありシリコン基板1にイオン打ち込み等の方法によりn型ウエルが形成されている。シ

リコン基板1には基板電圧 V_{BB} が供給されており、 n 型ウエル32の電位は V_{BB} となっている。ソース領域34とドレイン領域35は p 型半導体層であり、シリコン基板1にイオン打ち込み等の方法により形成される。 p 型トランジスタ30のゲート電極36に基板電圧 V_{BB} より低電位の電圧が印加されるとソース領域34とドレイン領域35とが導通状態となる。

【0128】一般に絶縁部を設ける等の必要がなく構造が簡単になることから、同じシリコン基板のトランジスタには共通の基板電位 V_{BB} が印加されている。本発明の液晶表示装置は同じシリコン基板1上に駆動回路部のトランジスタと、画素部のトランジスタが形成されている。画素部のトランジスタも同様の理由で、同じ電位の基板電位 V_{BB} が印加されている。

【0129】図41(a)に示すインバータ回路では、ソース領域34には画素容量に供給される電圧 V_{PP} が印加されている。ソース領域34は p 型半導体層であり n 型ウエル32との間は pn 接合となっている。 n 型ウエル32の電位よりもソース領域34の電位が高くなると、ソース領域34から n 型ウエル32に電流が流れるという不具合が生じる。そのため、基板電圧 V_{BB} に対して電圧 V_{PP} は低電位になるように設定される。

【0130】前述したように画素電極の電圧は、画素電極に書き込まれた電圧を V_2 、液晶容量を C_L 、画素容量を C_C 、画素電極制御信号の振幅が V_{PP} と V_{SS} とすると、電圧降下後の画素電極の電圧は、 $V_2 - \{CC / (CL + CC)\} \times (V_{PP} - V_{SS})$ で表わされる。ここで、 V_{SS} に GND 電位を選ぶと、画素電極の電圧変動の大きさは電圧 V_{PP} と液晶容量 C_L と画素容量 C_C で決まることになる。

【0131】図41(b)を用いて $CC / (CL + CC)$ と電圧 V_{PP} との関係を示す。なお説明を簡単にするために基準電圧 V_{com} を GND 電位としている。また、電圧を印加しないと白表示(ノーマリーホワイト)となる方式の場合で、黒表示(階調最小)となるよう階調電圧が画素電極に印加される場合を説明する。図41(b)の1は映像信号選択回路123から画素電極に書き込まれる階調電圧を示している。1Aは正極性の場合で、2Aは負極性の場合の階調電圧である。黒表示なので基準電圧 V_{com} と画素電極に書き込まれる階調電圧の電位差が最大になるように1A、1Bともに設定される。図41(b)において1Aは正極性用信号なので、従来通り基準電圧 V_{com} との電位差が最大となるように $+V_{max}$ とし、1Bは $V_{com}(GND)$ として、画素電極に書き込んだ後で画素容量を用いて引き下げる。

【0132】4A、4B共に画素電極の電圧を示しており、4Aは $CC / (CL + CC)$ が1の理想な場合を示し、4Bは $CC / (CL + CC)$ が1以下となる場合を示す。4Aの負極性の場合、1Bは V_{c

$om(GND)$ が書き込まれているので、画素電極制御信号の振幅 V_{PP} に従い引き下げられた $-V_{max}$ は、 $CC / (CL + CC) = 1$ より、 $-V_{max} = -V_{PP}$ となる。

【0133】対して4Bは $CC / (CL + CC)$ が1以下のため、 $+V_{max} < V_{PP}$ となるような画素電極制御信号を供給する必要がある。前述したように $V_{PP} < V_{BB}$ である必要があるため、 $+V_{max} < V_{PP} < V_{BB}$ といった関係になる。ここで、低耐圧回路とするために、画素電圧を引き下げる方法を用いているが、画素電極制御信号の電圧 V_{PP} が高電圧になってしまうと、基板電圧 V_{BB} が高電圧となってしまう結局高耐圧回路となってしまうという不具合が生じる。そのため、 $CC / (CL + CC)$ がなるべく1となるように、すなわち $CL \ll CC$ となるように、 CL と CC の値を定める必要がある。

【0134】なお、従来のガラス基板に薄膜トランジスタを形成する液晶表示装置では、画素電極をなるべく広く(所謂高開口率化)する必要があるため、せいぜい $CL = CC$ とすることが実現可能な程度である。また、本発明の液晶表示装置は駆動回路部と画素部とが同一シリコン基板上に形成されるものであるため、基板電位 V_{BB} を高電圧としては低耐圧化できないという問題点を有している。

【0135】次に図42を用いて負極性用の階調電圧について説明し、さらに図43により参照表を用いて負極性用の階調電圧を形成する方法について説明する。なお図42では、ひきつづき説明を簡単にするために基準電圧 V_{com} を GND 電位としている。また、電圧を印加しないと白表示(ノーマリーホワイト)となる方式の場合で説明する。

【0136】図42(a)の1は映像信号選択回路123から画素電極に書き込まれる階調電圧を示し、図42(b)の4は画素電極の電圧を示している。まず、黒表示(階調最小)となるよう階調電圧が画素電極に印加される場合について説明する。1Aは正極性の場合で、1Bは負極性の場合を示している。黒表示なので基準電圧 V_{com} と画素電極に書き込まれる電圧の電位差が最大になるように1A1、1B1ともに設定される。

【0137】図42(b)において1A1は正極性用信号なので、画素電極の電圧は、従来通り基準電圧 V_{com} との電位差が最大となるように $+V_{max}$ となる。対して負極性用信号である1B1は画素電極に書き込んだ後で画素容量を用いて引き下げられて $-V_{max}$ となる。

【0138】次に、白表示(階調最大)となるよう階調電圧が画素電極に印加される場合について説明する。1A2は正極性の場合で、1B2は負極性の場合を示している。白表示なので基準電圧 V_{com} と画素電極に

書き込まれる電圧の電位差が最小になるように 1A2、1B2ともに設定される。

【0139】図42(b)において1A2は正極性用信号なので、従来通り基準電圧 V_{com} との電位差が最小となるように $+V_{min}$ となる。負極性用信号1B2は画素電極に書き込んだ後で画素容量を用いて引き下げられる。引き下げられる電圧は V_{PP} なので、引き下げられた後で $-V_{min}$ となるような電圧が1B2として選ばれる。

【0140】図42に示すように、負極性用信号1B1、1B2は従来用いられた方法のように、単純に正極性用信号1A1、1A2を反転した電圧ではない。そのため、参照表を用いて負極性用信号を作成することとした。図43に参照表を用いて負極性用信号を作成する映像信号制御回路400のブロック図を示す。422は負極性用参照表で、423は正極性用参照表である。負極性用信号は画素容量を用いて作成されるため、負極性、正極性用オペアンプは使用されない。

【0141】正極性用参照表422には、ばらつき補正を行う補正データが用いられる。対して負極性用参照表423には、ばらつき補正を行う補正データの他に画素容量により引き下げられて負極性用信号となるような補正も加えられる。交流化信号によりアナログスイッチ417を切り換えることで、正極性用信号と負極性用信号がDA変換回路405に伝えられる。

【0142】次に反射型液晶表示装置の動作について説明する。反射型液晶表示素子の一つとして電界制御複屈折モード(ELECTRICALLY CONTROLLED BIREFRINGENCE MODE)が知られている。電界制御複屈折モードでは、反射電極と対向電極との間に電圧を印加し液晶組成物の分子配列を変化させ、その結果として液晶パネル中の複屈折率を変化させる。電界制御複屈折モードは、この複屈折率の変化を光透過率の変化として利用し像を形成するものである。

【0143】さらに図44を用いて、電界制御複屈折モードの1つである単偏光板ツイステッドネマティックモード(SPTN)について説明する。9は偏光ビームスプリッタで光源(図示せず)からの入射光L1を2つの偏光に分割し、直線偏光となった光L2を出射する。図44では、液晶パネル100に入射させる光に、偏光ビームスプリッタ9を透過した光(P波)を用いる場合を示しているが、偏光ビームスプリッタ9で反射した光(S波)を用いることも可能である。液晶組成物3は液晶分子長軸が駆動回路基板1と透明基板2に対して平行に配列し、誘電異方性が正のネマティック液晶を用いる。また、液晶分子は配向膜7、8により約90度ねじれた状態で配向している。

【0144】まず図44(a)に電圧が印加されていない場合を示す。液晶パネル100に入射した光は液晶組成物3の複屈折性により楕円偏光となり反射電極5面

は円偏光となる。反射電極5で反射した光は再度液晶組成物3中を通過し再び楕円偏光となり出射時には直線偏光に戻り、入射光L2に対して90度位相が回転した光L3(S波)として出射する。出射光L3は再び偏光ビームスプリッタ9に入射するが、偏光面で反射され出射光L4となる。この出射光L4をスクリーン等に照射して表示を行う。この場合、電圧を印加していない場合に光が出射する所謂ノーマリーホワイト(ノーマリオープン)と呼ばれる表示方式となる。

【0145】対して図44(b)に液晶組成物3に電圧が印加されている場合を示す。液晶組成物3に電圧が印加されると、液晶分子が電界方向に配列するため、液晶内で複屈折が起こる割合が減少する。そのため、直線偏光で液晶パネル100に入射した光L2はそのまま反射電極5で反射され入射光L2と同じ偏光方向の光L5として出射する。出射光L5は偏光ビームスプリッタ9を透過し光源に戻る。そのため、スクリーン等に光が照射されないため、黒表示となる。

【0146】単偏光板ツイステッドネマティックモードでは、液晶分子の配向方向が基板と平行であるため、一般的な配向方法を用いることができ、プロセス安定性が良い。またノーマリーホワイトで使用するため、低電圧側でおこる表示不良に対して裕度を持たせることができる。すなわち、ノーマリーホワイト方式では、暗レベル(黒表示)が高電圧を印加した状態で得られる。この高電圧の場合には液晶分子のほとんどが基板面に垂直な電界方向に揃っているため、暗レベルの表示は、低電圧時の初期配向状態にあまり依存しない。さらに、人間の目は、輝度ムラを輝度の相対的な比率として認識し、かつ、輝度に対し対数スケールに近い反応を有する。そのため、人間の目は暗レベルの変動には敏感である。こうした理由から、ノーマリーホワイト方式は、初期配向状態による輝度ムラに対して有利な表示方式である。

【0147】しかしながら、上述した電界制御複屈折モードでは高いセルギャップの精度が求められる。すなわち、電界制御複屈折モードでは、光が液晶層中を通過する間に生じる異常光と常光との間の位相差を利用しているため、透過光強度は異常光と常光との間のリタデーション $n \cdot d$ に依存する。ここで、 n は屈折率異方性で、 d はスペーサ4によって形成される透明基板2と駆動回路基板1との間のセルギャップである(図38参照)。

【0148】このため、本実施例の場合、表示ムラを考慮しセルギャップ精度は、 $\pm 0.05 \mu\text{m}$ 以下とした。また、反射型液晶表示素子では液晶に入射した光は反射電極で反射し再度液晶層を通過するため、同じ屈折率異方性 n の液晶を用いる場合、透過型液晶表示素子に対してセルギャップ d は半分になる。一般の透過型液晶表示素子の場合セルギャップ d は5~6 μm 程度であるのに対し、本実施例では約2 μm である。

【0149】本実施例では高いセルギャップ精度と、より狭いセルギャップに対応するため、従来からあるビーズ分散法に代わり柱状のスペースを駆動回路基板1上に形成する方法を用いた。

【0150】図45に駆動回路基板1上に設けられた反射電極5とスペース4との配置を説明する模式平面図を示す。一定の間隔を保つように多数のスペース4が駆動回路基板全面にマトリックス状に形成されている。反射電極5は液晶表示素子が形成する像の最小の画素である。図45では簡略化のため、符号5A、5Bで示す縦4画素、横5画素で示した。なお、最外側の画素群を符号5Bで示し、それらより内側の画素群を符号5Aで示す。

【0151】図45では縦4画素、横5画素の画素が、表示領域を形成している。液晶表示素子で表示する像はこの表示領域に形成される。表示領域の外側にはダミー画素113が設けられている。このダミー画素113の周辺にスペース4と同じ材料で周辺枠11が設けられている。さらに、周辺枠11の外側にはシール材12が塗布される。13は外部接続端子で液晶パネル100に外部からの信号を供給するのに用いられる。

【0152】スペース4と周辺枠11の材料には、樹脂材料を用いた。樹脂材料として例えば、株式会社「SR」製の化学増幅型ネガタイプレジスト「BPR-113」（商品名）を用いることができる。反射電極5が形成された駆動回路基板1上にスピンコート法等でレジスト材を塗布し、マスクを用いてレジストをスペース4と周辺枠11のパターンに露光する。その後除去剤を用いてレジストを現像してスペース4と周辺枠11とを形成する。

【0153】スペース4と周辺枠11とをレジスト材等を原料として形成すると、塗布する材料の膜厚でスペース4と周辺枠11の高さを制御でき、高い精度でスペース4と周辺枠11を形成することが可能である。また、スペース4の位置はマスクパターンで決めることができ、希望する位置に正確にスペース4を設けることが可能である。液晶プロジェクトでは画素上にスペース4が存在すると、拡大投映された像にスペース4による影が見えてしまう問題がある。スペース4をマスクパターンによる露光、現像で形成することで、映像表示した際に、問題とならな位置にスペース4を設けることができる。

【0154】また、スペース4と同時に周辺枠11を形成しているので、液晶組成物3を駆動回路基板1と透明基板2との間に封入する方法として、液晶組成物3を駆動回路基板1に滴下しその後透明基板2を駆動回路基板1に貼り合せる方法を用いることができる。

【0155】液晶組成物3を駆動回路基板1と透明基板2の間に配置し、液晶パネル100を組立てた後は、周辺枠11により囲まれた領域内に液晶組成物3が保持される。また、周辺枠11の外側にはシール材12が塗布され、液晶組成物3を液晶パネル100内に封入する。

前述したように、周辺枠11はマスクパターンを用いて形成されるので、高い位置精度で駆動回路基板1上に形成することができる。そのため、液晶組成物3の境界を高い精度で定めることが可能である。また、周辺枠11はシール材12の形成領域の境界も高い精度で定めることが可能である。

【0156】シール材12は駆動回路基板1と透明基板2とを固定する役目と、液晶組成物3にとって有害な物質が進入することを阻止する役目がある。流動性があるシール材12を塗布した場合に、周辺枠11はシール材12のストッパとなる。シール材12のストッパとして、周辺枠11を設けることで、液晶組成物3の境界やシール材12の境界での設計裕度を広くすることができ、液晶パネル100の端から表示領域までの間を狭く（挟額縁化）することが可能である。

【0157】表示領域を囲むように周辺枠11が形成されていることから、駆動回路基板1をラビング処理する際に、周辺枠11により周辺枠11の近傍がうまくラビングできない問題がある。液晶組成物3を一定の方向に配向するため、配向膜を形成しラビング処理が行われる。本実施例の場合、駆動回路基板1にスペース4、周辺枠11が形成された後に、配向膜7が塗布される。その後、液晶組成物3が一定方向に配向するよう、配向膜7を布等を用いて擦ることでラビング処理が行われる。

【0158】ラビング処理において、周辺枠11が駆動回路基板1より突出しているため、周辺枠11の近傍の配向膜7は、周辺枠11による段差により十分に擦られない。そのため、周辺枠11の近傍には液晶組成物3の配向が不均一な部分が生じやすい。液晶組成物3の配向不良による表示ムラを目立たなくするため、周辺枠11の内側数画素をダミー画素113とすることで、表示に寄与しない画素としている。

【0159】ところが、ダミー画素113を設け、画素5A、5Bと同じように信号を供給すると、ダミー画素113と透明基板2の間には液晶組成物3が存在するため、ダミー画素113による表示も観察されてしまうという問題が生じる。ノーマリホワイトで使用する場合、液晶組成物3に電圧を印加しないと、ダミー画素113が白く表示される。そのため、表示領域の境が明確でなくなり、表示品質をそこなう。ダミー画素113を遮光することも考えられるが、画素と画素の間隔は数μmのため、表示領域の境に精度良く遮光枠を形成することは困難である。そこで、ダミー画素113には黒表示となるような電圧を供給し、表示領域を囲む黒枠として観察されるようにした。

【0160】図46にダミー画素113の駆動方法について説明する。ダミー画素113には黒表示となるような電圧を供給するために、ダミー画素が設けられた領域は一面黒表示となる。一面黒表示となるならば、表示領域に設けた画素と同じように個別に設ける必要がなく、

複数のダミー画素を電氣的に接続して設けることができる。また、駆動に必要な時間を考えると、ダミー画素のために書き込み時間を設けことは無駄である。そこで、複数のダミー画素の電極を連続して設けて1つのダミー画素電極とすることが可能である。しかしながら、複数のダミー画素を接続して1つのダミー画素とすると画素電極の面積が増加することから、液晶容量が大きくなってしまふ。前述したように液晶容量が大きくなると画素容量を用いて画素電圧を引き下げる効率が低下する。

【0161】そこで、ダミー画素も表示領域の画素と同様に個別に設けることとした。しかしながら、有効画素と同様に1ライン毎の書き込みを行った場合、新たに設けた複数行のダミー行を駆動する時間が長くなる。そして、その分有効画素に書き込みを行う時間が短くなってしまふという問題が生じる。対して高精細表示を行う場合には、高速の映像信号（ドットクロックの高い信号）が入力するため、ますます画素の書き込み時間に対する制限が生じてくる。そこで1画面の書き込み期間中に数ライン分の書き込み時間を節約するために、図43に示すようにダミー画素については垂直駆動回路130の垂直双方向シフトレジスタVSRから複数行分のタイミング信号を出力させて、複数のレベルシフト67と出力回路69に入力させ走査信号を出力するようにした。また、同じく画素電極制御回路135についても双方向シフトレジスタSRから複数行分のタイミング信号を出力させて、複数のレベルシフト67と出力回路69に入力させ画素電極制御信号を出力するようにした。

【0162】次に、図47、図48を用いて駆動回路基板1上に設けられるアクティブ素子30とその周辺の構成を詳細に説明する。図47、図48において図38と同じ符号は同じ構成を示す。図48はアクティブ素子30周辺を示す概略平面図である。図47は図48のI-I線における断面図であるが、図47と図48との各構成間の距離は一致していない。また図48は走査信号線102とゲート電極36、映像信号線103とソース領域35、ドレイン領域34、画素容量を形成する第2の電極40、と第1の導電層42と、コンタクトホール35CH、34CH、40CH、42CHの位置関係を示すもので、その他の構成は省略した。

【0163】図47において、1は駆動回路基板であるシリコン基板、32はシリコン基板1にイオン打ち込みで形成した半導体領域（p型ウエル）、33はチャネルストッパ、34はp型ウエル32にイオン打ち込みで導電化し形成したドレイン領域、35はp型ウエル32にイオン打ち込みで形成したソース領域、31はp型ウエル32にイオン打ち込みで導電化し形成した画素容量の第1の電極である。なお、本実施例ではアクティブ素子30をp型トランジスタで示したが、n型トランジスタとすることも可能である。

【0164】36はゲート電極、37はゲート電極端部

の電界強度を緩和するオフセット領域、38は絶縁膜、39はトランジスタ間を電氣的に分離するフィールド酸化膜、40は画素容量を形成する第2の電極で絶縁膜38を介しシリコン基板1に設けた第1の電極21との間で容量を形成する。ゲート電極36と第2の電極40は、絶縁膜38上にアクティブ素子30のしきい値を低くするための導電層と低抵抗の導電層とを積層した2層膜からなっている。2層膜としては例えばポリシリコンとタングステンシリサイドの膜を用いることができる。41は第1の層間膜、42は第1の導電膜である。第1の導電膜42は接触不良を防止するバリアメタルと低抵抗の導電膜の多層膜からなっている。第1の導電膜として、例えばチタンタングステンとアルミの多層金属膜をスパッタで形成して用いることができる。

【0165】図48において102は走査信号線である。走査信号線102は、図48中、X方向に延在しY方向に並設されていて、アクティブ素子30をオン・オフする走査信号が供給される。走査信号線102はゲート電極と同じ2層膜からなっており、例えばポリシリコンとタングステンシリサイドを積層した2層膜を用いることができる。映像信号線103はY方向に延在しX方向に並設されていて、反射電極5に書き込まれる映像信号が供給される。映像信号線103は第1の導電膜42と同じ多層金属膜からなっており、例えばチタンタングステンとアルミの多層金属膜を用いることができる。

【0166】映像信号は絶縁膜38と第1の層間膜41に空けられたコンタクトホール35CHを通り第1の導電膜42によりドレイン領域35に伝わる。走査信号線102に走査信号が供給されると、アクティブ素子30はオンになり、映像信号は半導体領域（p型ウエル）32からソース領域34に伝わり、コンタクトホール34CHを通り第1の導電膜42に伝わる。第1の導電膜42に伝わった映像信号は、コンタクトホール40CHを通り画素容量の第2の電極40に伝わる。

【0167】また、図47に示すように映像信号はコンタクトホール42CHを通り反射電極5へと伝わっていく。コンタクトホール42CHはフィールド酸化膜39の上に形成されている。フィールド酸化膜39は膜厚が厚いため、フィールド酸化膜の上は他の構成に比較して高い位置となっている。コンタクトホール42CHはフィールド酸化膜39上に設けられることで、上層の導電膜により近い位置とすることができ、コンタクトホールの接続部の長さを短くしている。

【0168】さらに図47に示すように、第2の層間膜43は、第1の導電膜42と第2の導電膜44とを絶縁している。第2の層間膜43は、各構成物により生じている凹凸を埋める平坦化膜43Aとその上を覆う絶縁膜43Bとの2層で形成されている。平坦化膜43AはSOG（spin on glass）を塗布して形成している。絶縁膜43BはTEOS膜であり、反応ガスとしてTEOS

(Tetraethylorthosilicate)を用いSiO₂膜をCVDにより形成したものである。

【0169】第2の層間膜43の形成後、CMP(ケミカル・メカニカル・ポリシング)により第2の層間膜43は研磨される。第2の層間膜43はCMPにより研磨することで平坦化する。平坦化された第2の層間膜の上に第1の遮光膜44が形成される。第1の遮光膜44は第1の導電膜42と同じタングステンとアルミの多層金属膜で形成している。

【0170】第1の遮光膜44は駆動回路基板1の略全面を被っており、開口は図45に示すコンタクトホール42CHの部分だけある。第1の遮光膜44の上に第3の層間膜45がTEOS膜で形成されている。さらに第3の層間膜45の上に第2の遮光膜46が形成されている。第2の遮光膜46は第1の導電膜42と同じタングステンとアルミの多層金属膜で形成している。第2の遮光膜46はコンタクトホール42CHで第1の導電膜42と接続されている。コンタクトホール42CHでは、接続をとるために第1の遮光膜44を形成する金属膜と第2の遮光膜46を形成する金属膜とが積層されている。

【0171】第1の遮光膜44と第2の遮光膜46を導電膜で形成し、間に第3の層間膜45を絶縁膜(誘電膜)で形成し、第1の遮光膜44に画素電位制御信号を供給し、第2の遮光膜46に階調電圧を供給すると、第1の遮光膜44と第2の遮光膜46とで画素容量を形成することができる。また、階調電圧に対する第3の層間膜45の耐圧と、膜厚を薄くして容量を大きくすることを考慮すると、第3の層間膜45は150nmから450nmが好ましく、より好ましくは、約300nmである。

【0172】次に、図49に駆動回路基板1に透明基板2を重ね合わせた図を示す。駆動回路基板1の周辺部には、周辺枠11が形成されており、液晶組成物3は周辺枠11と駆動回路基板1と透明基板2とに囲まれた中に保持する。重ね合わされた駆動回路基板1と透明基板2との間で周辺枠11の外側には、シール材12が塗布される。シール材12により駆動回路基板1と透明基板2とが接着固定され液晶パネル100が形成される。13は外部接続端子である。

【0173】次に図50に示すように、液晶パネル100に外部からの信号を供給するフレキシブルプリント配線板80が外部接続端子13に接続される。フレキシブルプリント配線板80の両外側の端子は他の端子に比較して長く形成され、透明基板2に形成された対向電極5に接続され、対向電極用端子81を形成している。すなわち、フレキシブルプリント配線板80は、駆動回路基板1と透明基板2の両方に接続されている。

【0174】従来の対向電極5への配線は駆動回路基板1に設けられた外部接続端子にフレキシブルプリント配

*線板が接続され、駆動回路基板1を経由して対向電極5に接続されるものであった。本実施例の透明基板2にはフレキシブルプリント配線板80との接続部82が設けられ、フレキシブルプリント配線板80と対向電極5とが直接接続される。すなわち、液晶パネル100は透明基板2と駆動回路基板1とが重ね合わされて形成されるが、透明基板2の一部は駆動回路基板1より外側に出て接続部82を形成しており、この透明基板2の外側に出た部分でフレキシブルプリント配線板80と接続されている。

【0175】図51、図52に液晶表示装置200の構成を示す。図51は液晶表示装置200を構成する各構成物の分解組立て図である。また図52は液晶表示装置200の平面図である。

【0176】図51に示すように、フレキシブルプリント配線板80が接続された液晶パネル100は、クッション材71を間に挟んで、放熱板72に配置される。クッション材71は高熱伝導性であり、放熱板72と液晶パネル100との隙間を埋めて、液晶パネル100の熱が放熱板72に伝わり易くする役目を持つ。73はモールドで、放熱板72に接着固定されている。

【0177】また図51に示すように、フレキシブルプリント配線板80はモールド73と放熱板72との間を通りをモールド73の外側に取り出されている。75は遮光板で、光源からの光が液晶表示装置200を構成する他の部材にあたることを防いでいる。76は遮光枠で液晶表示装置200の表示領域の外枠を表示する。

【0178】以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0179】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0180】本発明によれば信号のばらつきの補正ができるので、液晶にて画を出したときの画質の向上を図ることができる。

【0181】本発明によれば、ばらつき補正はソフトで変更できる為、ハード的な定数の変更等を必要としないのでコストの低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態である液晶表示装置の概略構成を示すブロック図である。

【図2】本発明の実施の形態である液晶表示装置の映像信号制御回路を示すブロック図である。

【図3】相展開を説明するタイミング図である。

【図4】サンプルホールド回路を説明するタイミング図である。

【図 5】本発明の実施の形態である液晶表示装置の映像信号制御回路を示すブロック図である。

【図 6】本発明の実施の形態である液晶表示装置の映像信号制御回路を示すブロック図である。

【図 7】増幅回路のばらつきを説明する概略回路図である。

【図 8】本発明の実施の形態である液晶表示装置の印加電圧 - 反射率特性図である。

【図 9】交流化回路のばらつきを説明する概略回路図である。

【図 10】交流化回路のばらつきを説明する波形図である。

【図 11】本発明の実施の形態である液晶表示装置の映像信号制御回路を示すブロック図である。

【図 12】本発明の実施の形態である液晶表示装置の映像信号制御回路を示すブロック図である。

【図 13】本発明の実施の形態である液晶表示装置の映像信号制御回路を示すブロック図である。

【図 14】本発明の実施の形態である液晶表示装置の参照表を示すデータ構成図である。

【図 15】本発明の実施の形態である液晶表示装置の参照表にデータを転送する経路を示す概略回路図である。

【図 16】本発明の実施の形態である液晶表示装置の参照表にデータを転送する方法を示すタイミング図である。

【図 17】本発明の実施の形態である液晶表示装置の参照表による補正方法を示す入力 - 出力対照図である。

【図 18】本発明の実施の形態である液晶表示装置の参照表による交流化ばらつきを補正する概略回路図である。

【図 19】本発明の実施の形態である液晶表示装置の参照表による映像ソース間の違いを補正する概略ブロック図である。

【図 20】本発明の実施の形態である液晶表示装置の参照表による擬似的に階調を増加させる方法を説明する図である。

【図 21】本発明の実施の形態である液晶表示装置の参照表による擬似的に階調を増加させる方法を説明する図である。

【図 22】本発明の実施の形態である液晶表示装置の参照表によるコントラストを調整する方法を説明する図である。

【図 23】本発明の実施の形態である液晶表示装置の参照表による輝度を調整する方法を説明する図である。

【図 24】本発明の実施の形態である液晶表示装置の参照表のピン数を減少させる方法を説明する概略回路図である。

【図 25】本発明の実施の形態である液晶表示装置の映像信号制御回路を示すブロック図である。

【図 26】本発明の実施の形態である液晶表示装置の参

照表のデータ転送方法を説明する概略回路図である。

【図 27】本発明の実施の形態である液晶表示装置のフレーム周波数を通倍化する方法を説明する概略回路図とタイミング図である。

【図 28】本発明の実施の形態である液晶表示装置のフレーム周波数を通倍化する方法を説明する概略回路図である。

【図 29】本発明の実施の形態である液晶表示装置のフレーム周波数を通倍化する方法を説明するタイミング図である。

【図 30】本発明の実施の形態である液晶表示装置のフレームメモリを用いてテストパターンを表示する方法を説明する概略回路図である。

【図 31】本発明の実施の形態である液晶表示装置のフレームメモリを用いて静止画を表示する方法を説明する概略回路図である。

【図 32】本発明の実施の形態である液晶表示装置のフレームメモリを用いてコンバーゼンスを調整する方法を説明する概略回路図である。

【図 33】本発明の実施の形態である液晶表示装置の画素部について説明するブロック図である。

【図 34】本発明の実施の形態である液晶表示装置の画素電位を制御する方法を説明する概略回路図である。

【図 35】本発明の実施の形態である液晶表示装置の画素電位を制御する方法を説明するタイミング図である。

【図 36】本発明の実施の形態である液晶表示装置の画素電位制御回路の構成を示す概略回路図である。

【図 37】本発明の実施の形態である液晶表示装置のクロックインバータの構成を示す概略回路図である。

【図 38】本発明の実施の形態である液晶表示装置の画素部を示す概略断面図である。

【図 39】本発明の実施の形態である液晶表示装置の遮光膜を用いて画素電位制御線を形成する構成を示す概略平面図である。

【図 40】本発明の実施の形態である液晶表示装置の駆動方法を示すタイミング図である。

【図 41】本発明の実施の形態である液晶表示装置の動作を示す概略図である。

【図 42】本発明の実施の形態である液晶表示装置の正極性、負極性波形を説明する波形図である。

【図 43】本発明の実施の形態である液晶表示装置の正極性、負極性信号を参照表を用いて作成する概略回路図である。

【図 44】本発明の実施の形態である液晶表示装置の動作を説明する概略図である。

【図 45】本発明の実施の形態である液晶表示装置の液晶パネルを示す概略平面図である。

【図 46】本発明の実施の形態である液晶表示装置のダミー画素の駆動方法を示す概略回路図である。

【図 47】本発明の実施の形態である液晶表示装置の

クティブ素子周辺の概略断面図である。

【図48】本発明の実施の形態である液晶表示装置のアクティブ素子周辺の概略平面図である。

【図49】本発明の実施の形態である液晶表示装置の液晶パネルを示す概略図である。

【図50】本発明の実施の形態である液晶表示装置の液晶パネルにフレキシブルプリント基板を接続した状態を示す概略図である。

【図51】本発明の実施の形態である液晶表示装置を示す概略組み立て図である。

【図52】本発明の実施の形態である液晶表示装置を示す概略図である。

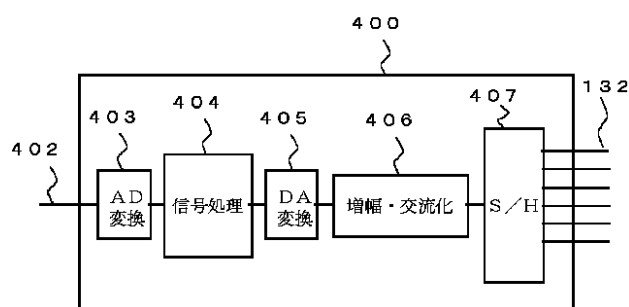
【符号の説明】

11...周辺枠、12...シール材、14...外部接続端子、25...走査リセット信号入力端子、26...走査スタート信号入力端子、27...走査終了信号出力端子、28...リセット用トランジスタ、30...アクティブ素子、34...ソース領域、35...ドレイン領域、36...ゲート領域、38...絶縁膜、39...フィールド酸化膜、41...第1の層間膜、42...第1の導電膜、43...第2の層間膜、44...第1の遮光膜、45...第3の層間膜、46...第2の遮光膜、47...第4の層間膜、48...第2の導電膜、61~62...クロックドインバータ、65~66...クロックドインバータ、71...クッション材、72...放熱板、73...モールド、74...保護用接着材、75...遮光板、76...遮光枠、80...フレキシブル配線板、100...液晶パネル、101...画素部、102...走査信号線、103...映像信号線、104...スイッチング素子、107...*

*対向電極、108...液晶容量、109...画素電極、110...表示部、111...表示制御装置、120...水平駆動回路、121...水平シフトレジスタ、122...表示データ保持回路、123...電圧選択回路、130...垂直駆動回路、131...制御信号線、132...表示データ線、400...映像信号制御回路、401...外部制御信号線、402...表示信号線、403...AD変換回路、404...信号処理回路、405...DA変換回路、406...増幅交流化回路、407...サンプルホールド回路、409...サンプルホールド回路（デジタル用）、410...アナログドライバ、413...オペアンプ（増幅用）、414...オペアンプ（負極性用）、415...オペアンプ（正極性用）、416...アナログスイッチ（オペアンプ切り換え用）、417...アナログスイッチ（参照表切り換え用）、418...アナログスイッチ（映像ソース切り換え用）、420...参照表（LUT）、421...参照表（1パッケージ）、422...正極性用参照表、423...負極性用参照表、424...第1映像ソース用参照表、425...第2映像ソース用参照表、426...第3映像ソース用参照表、427...第1の階調用参照表、428...第2の階調用参照表、429...標準参照表、430...マイコン、431...フレームメモリ、432...タイミングコントローラ、433...第1のフレームメモリ、434...第2のフレームメモリ、435...データバス、436...アドレスバス、437...内部スイッチ、438...外付けスイッチ、440...ブロックメモリ、445...テストパターンメモリ。

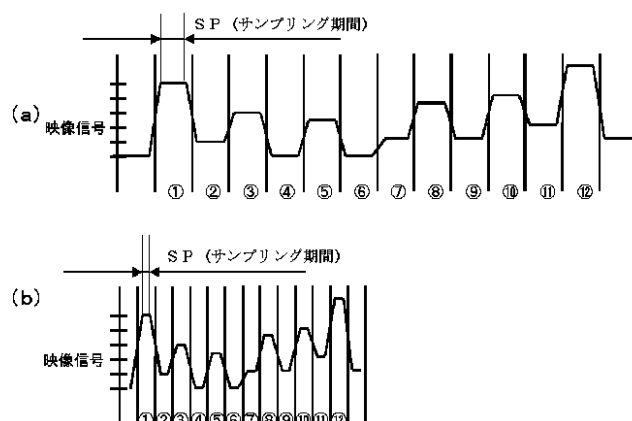
【図2】

図2



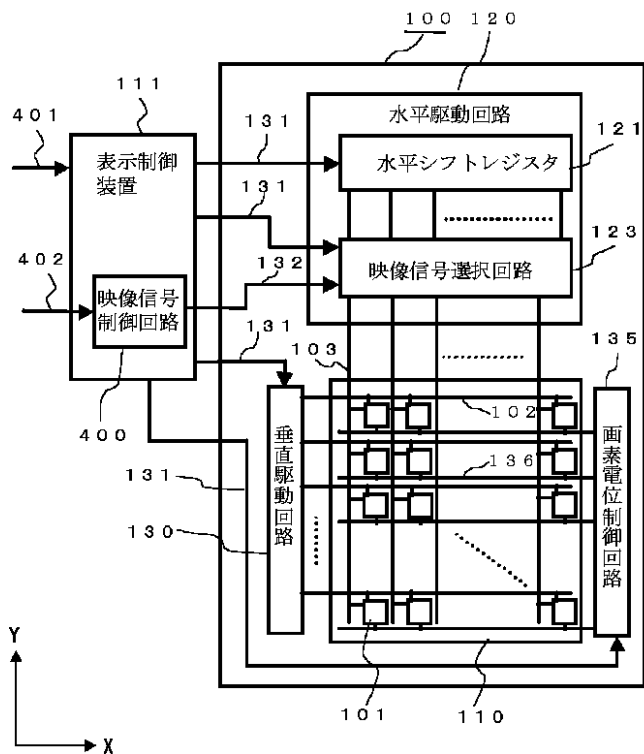
【図4】

図4



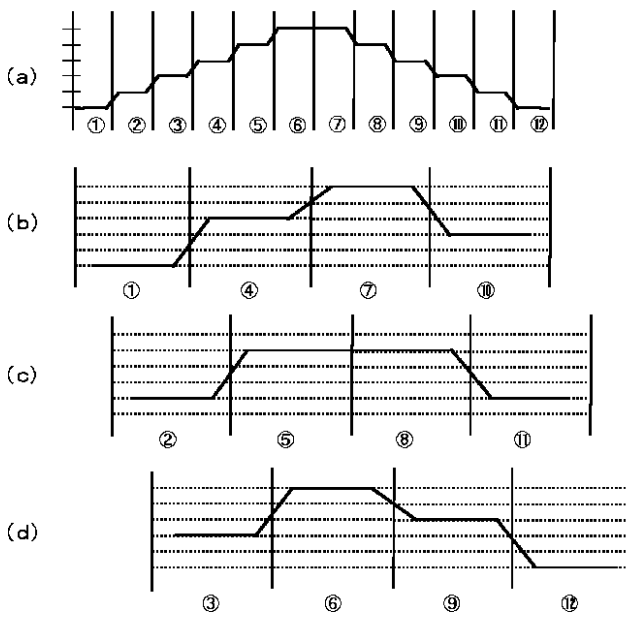
【図1】

図1



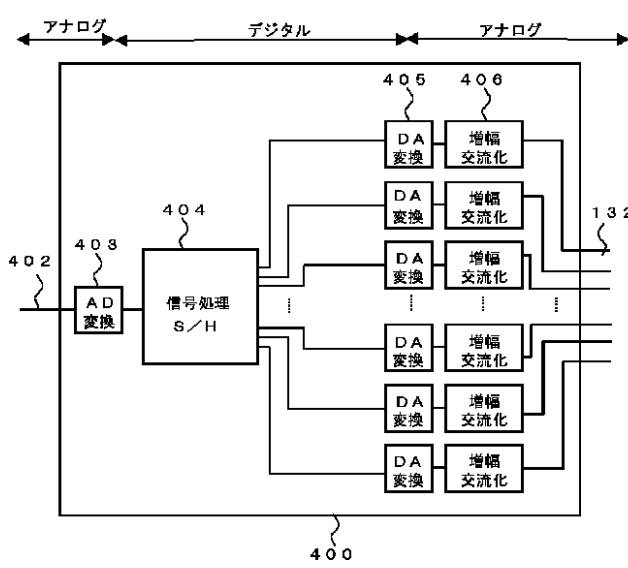
【図3】

図3



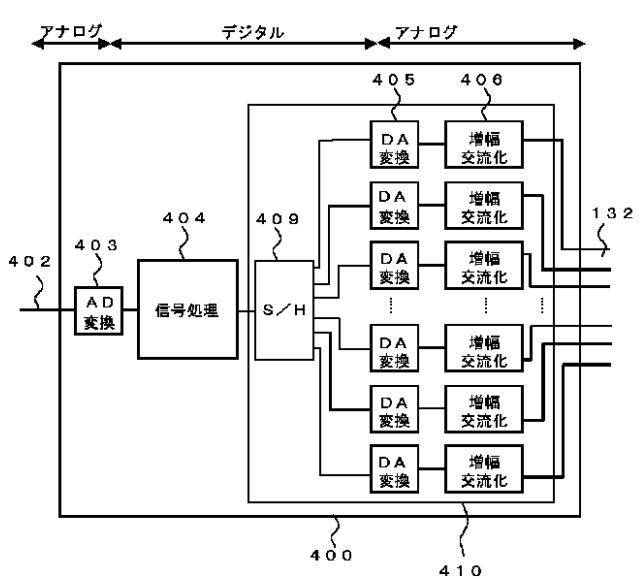
【図5】

図5

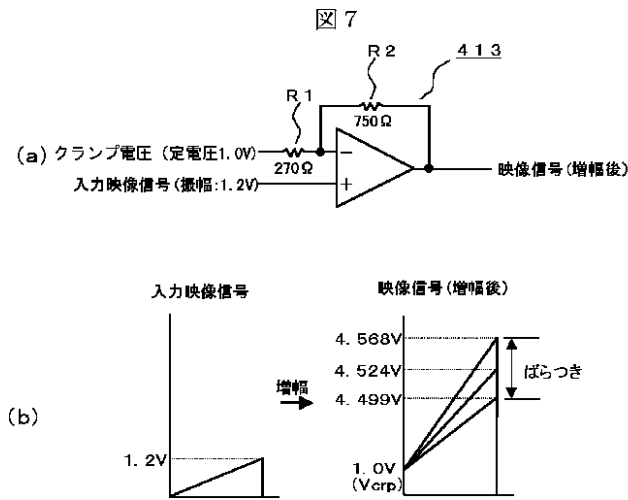


【図6】

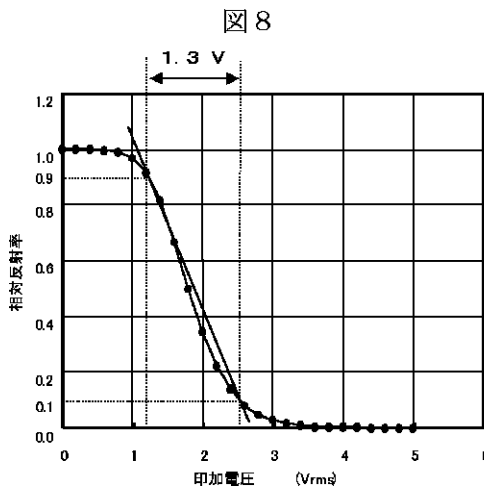
図6



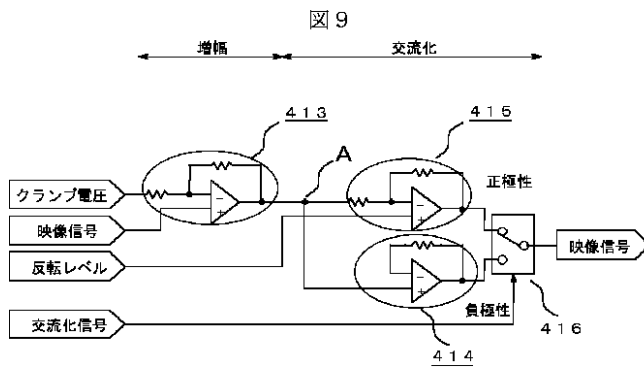
【図7】



【図8】

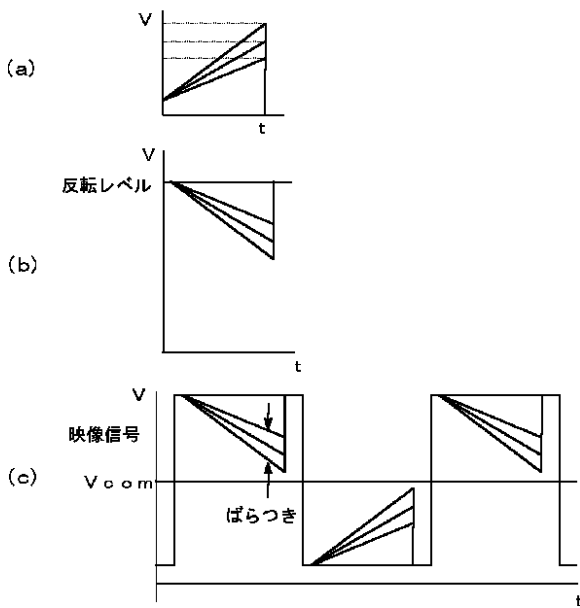


【図9】



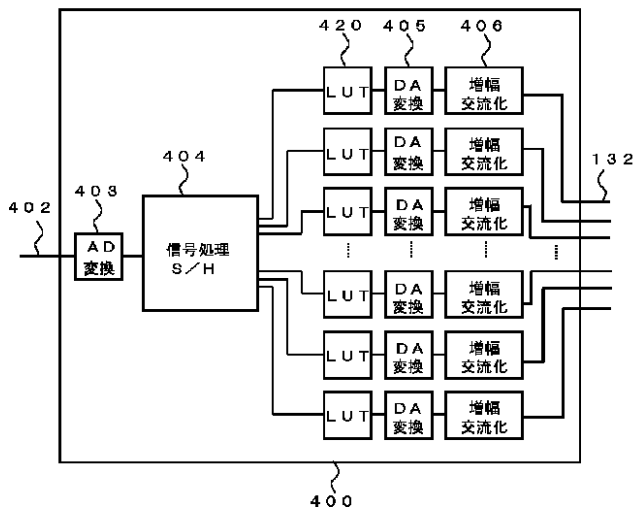
【図10】

図10



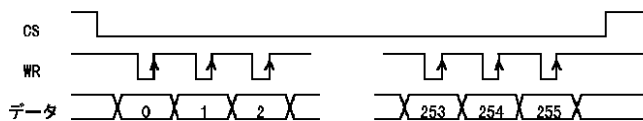
【図11】

図11



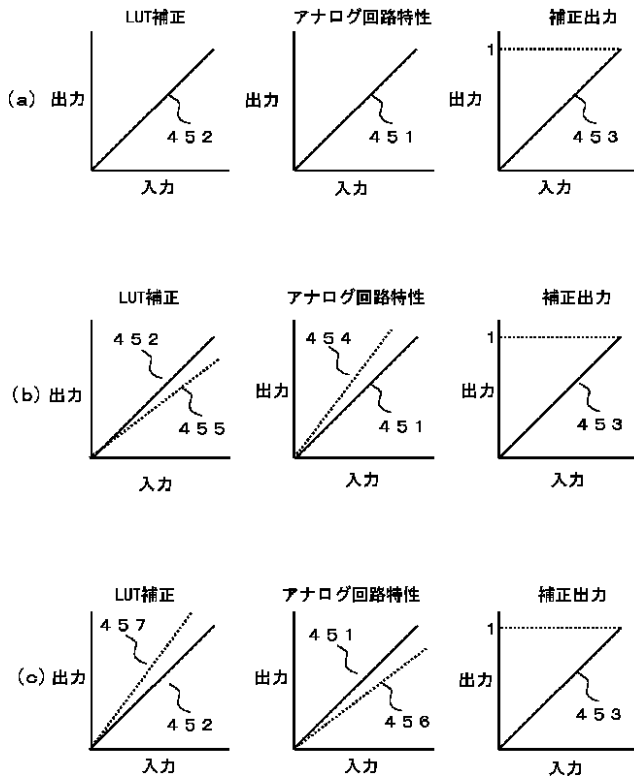
【図16】

図16



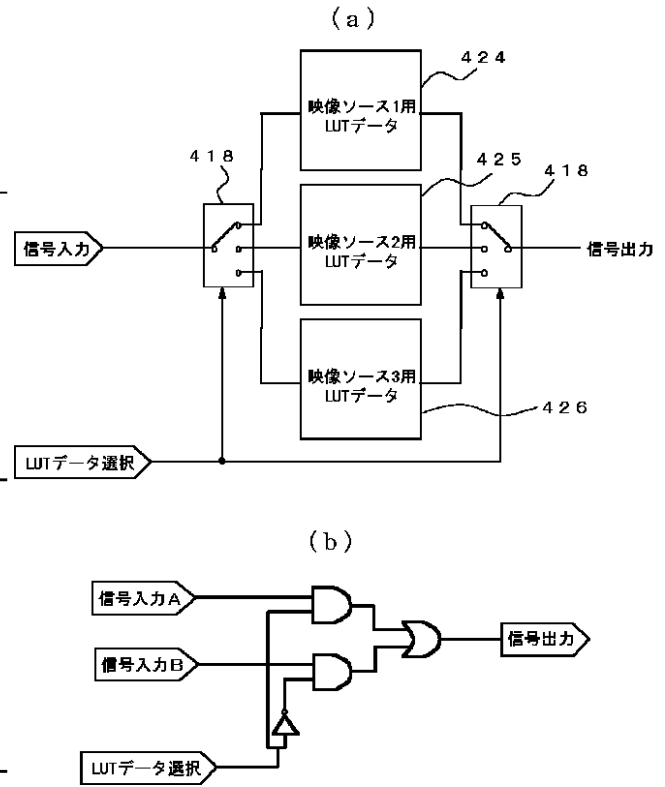
【図17】

図17



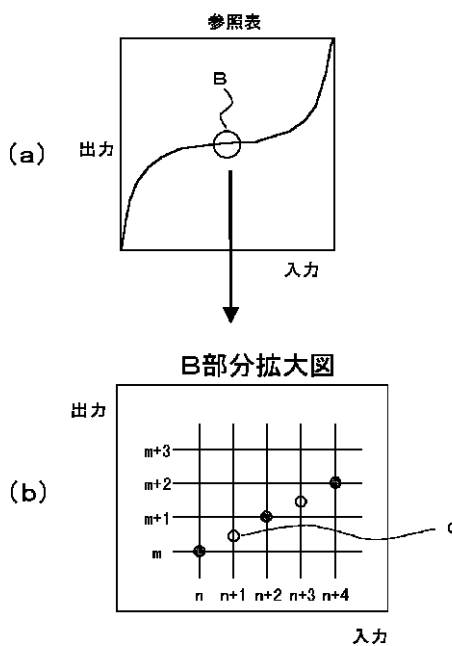
【図19】

図19



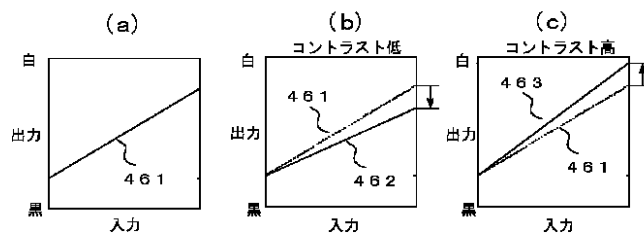
【図20】

図20



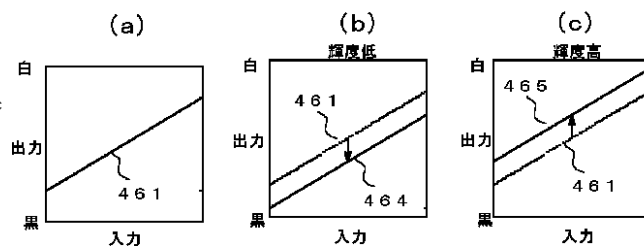
【図22】

図22



【図23】

図23



【図21】

【図24】

図21

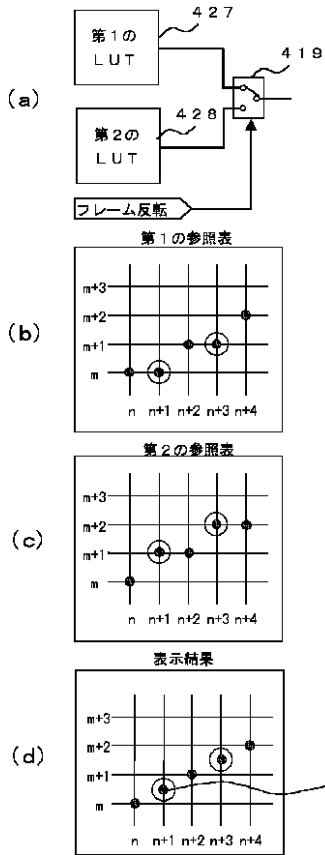
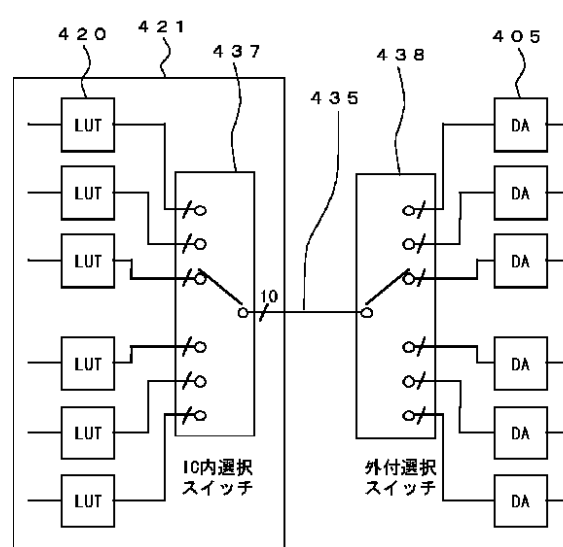
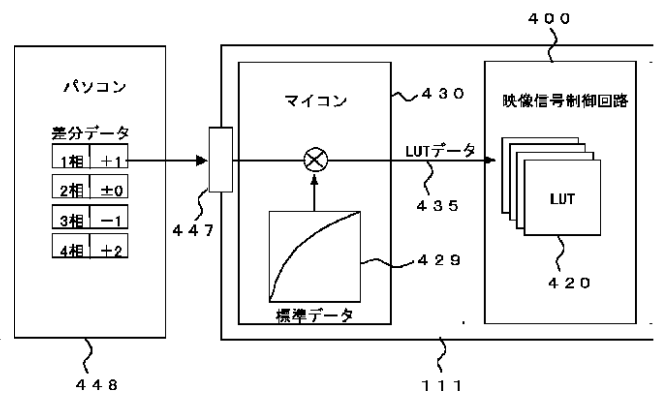


図24



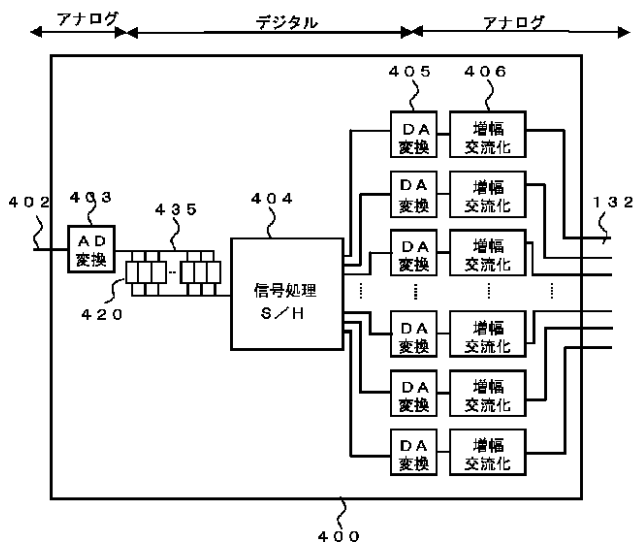
【図26】

図26



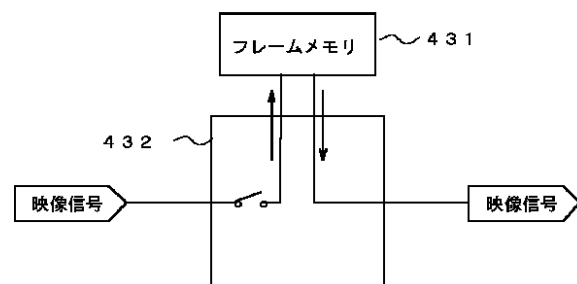
【図25】

図25



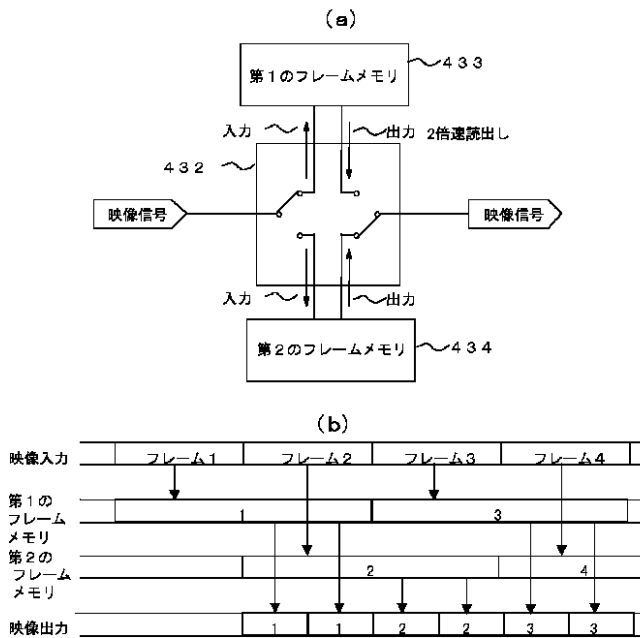
【図31】

図31



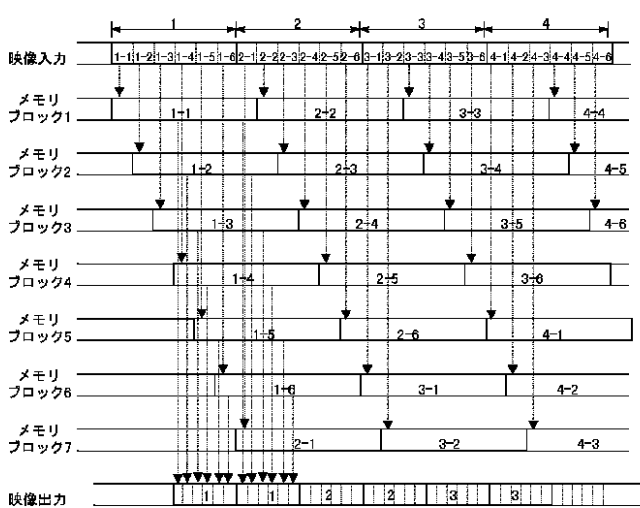
【図27】

図27



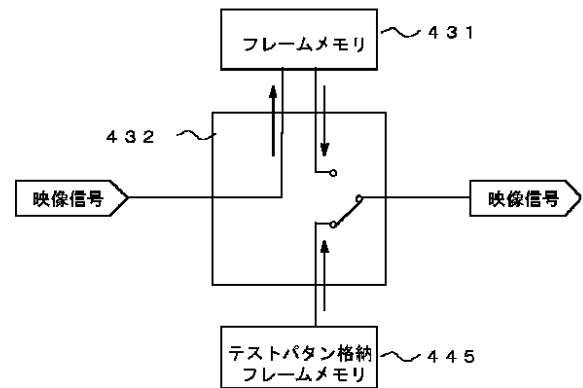
【図29】

図29



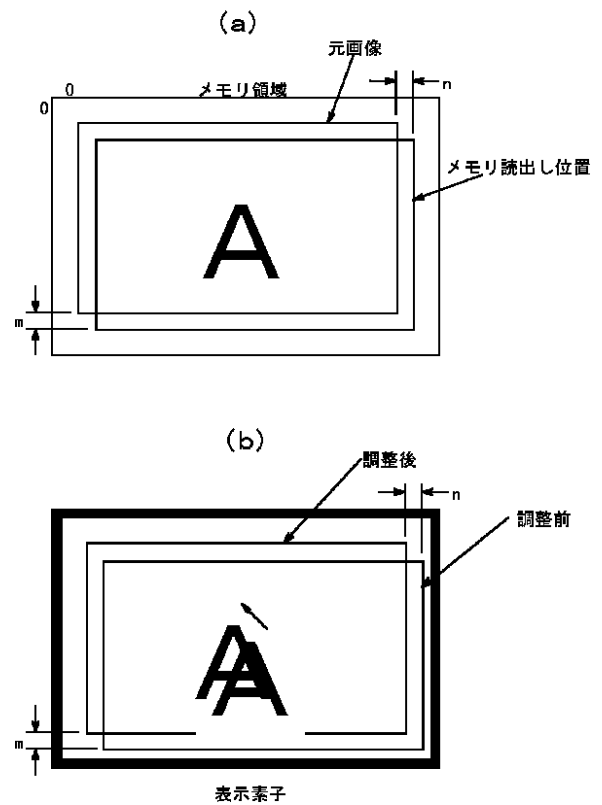
【図30】

図30



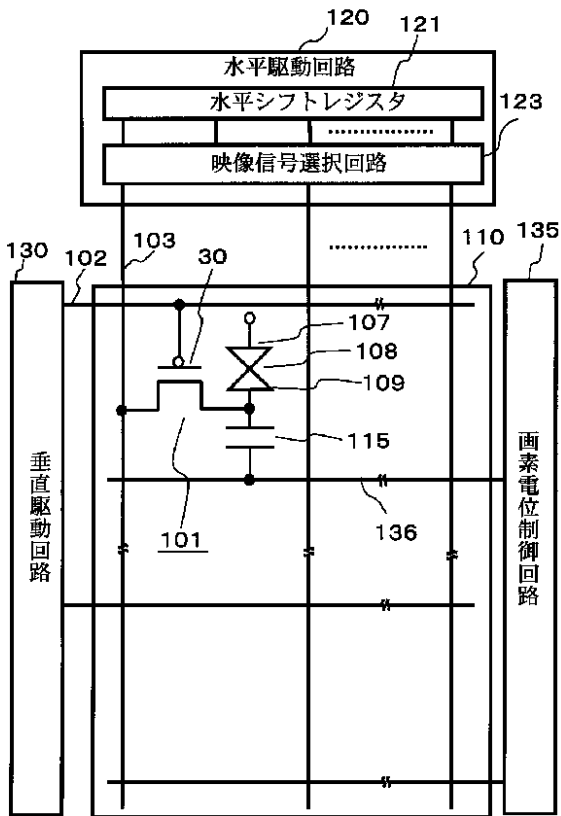
【図32】

図32



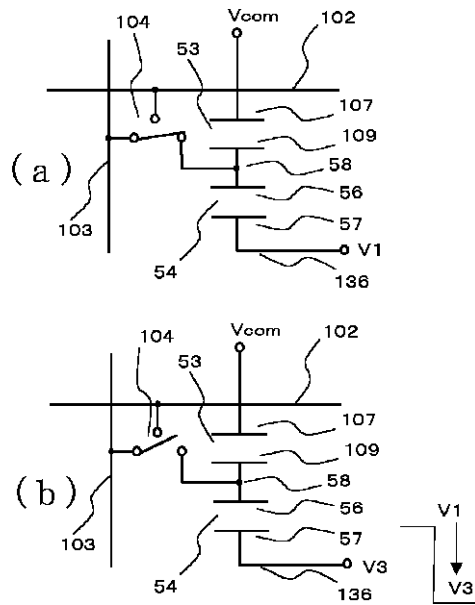
【図 3 3】

图 3-3



【図 3 4】

图 3 4

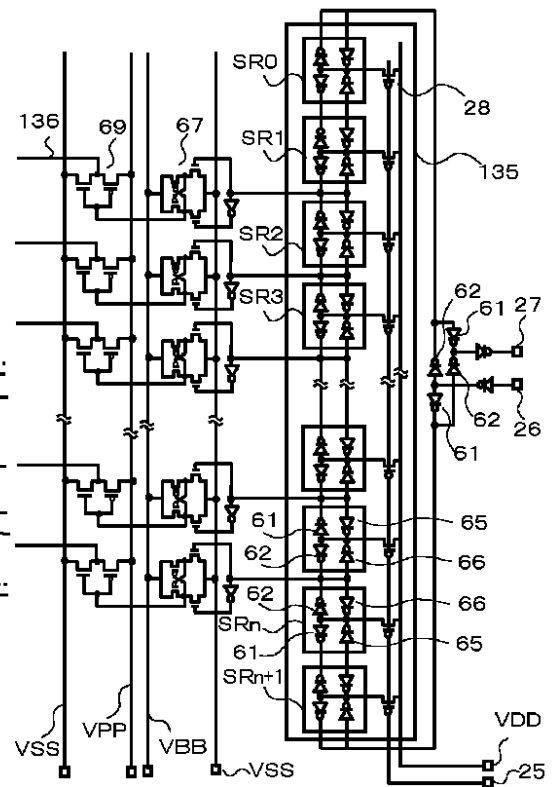
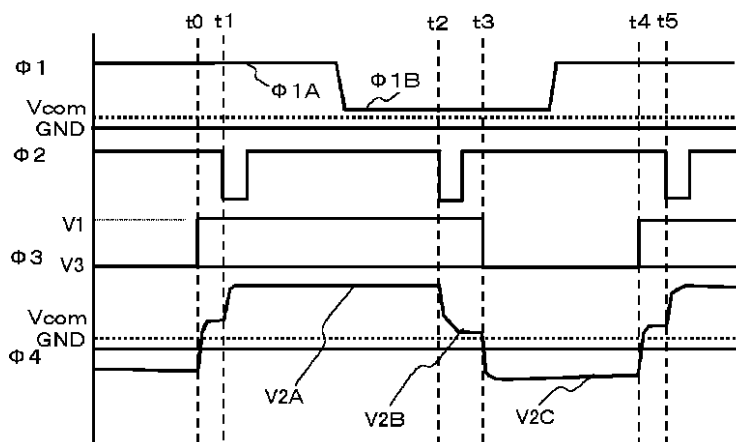


【圖 3 6】

36

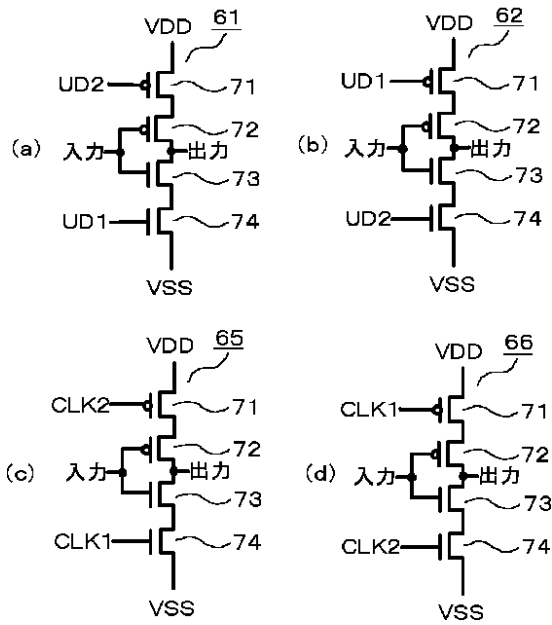
【図 3 5】

图 3 5



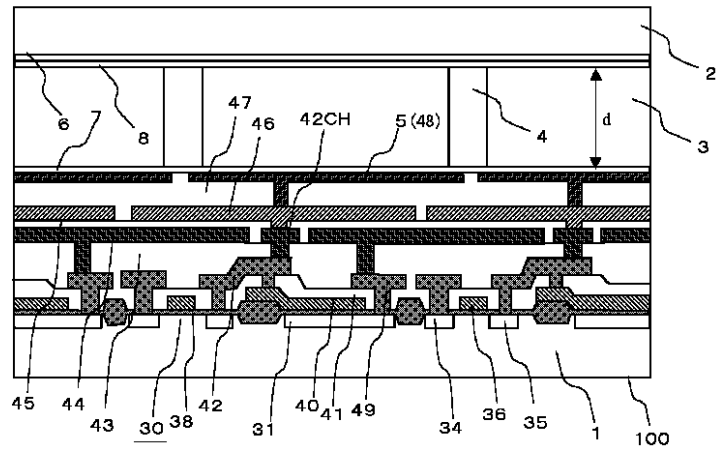
【図37】

図37



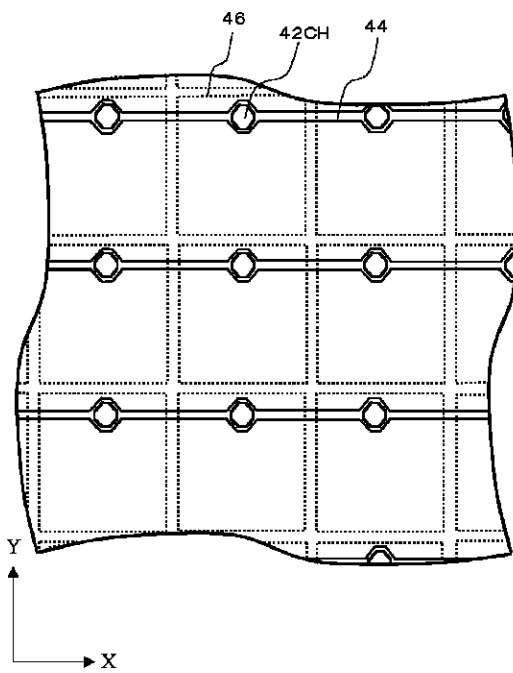
【図38】

図38



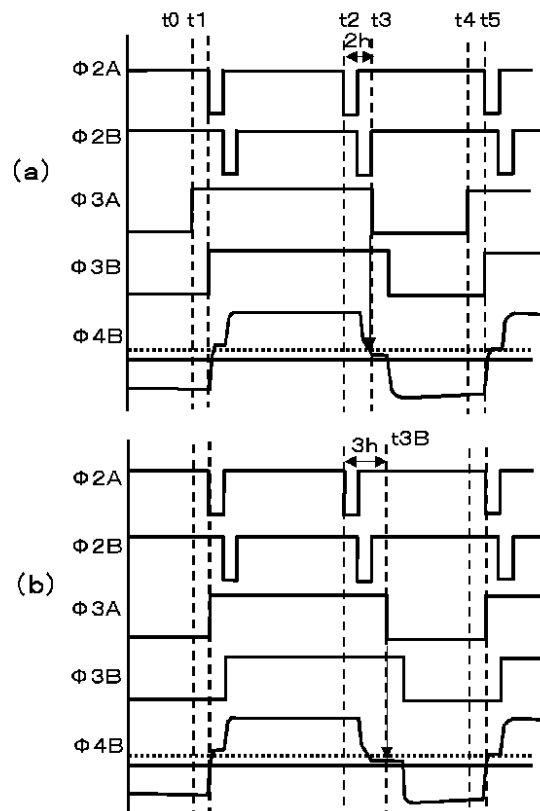
【図39】

図39



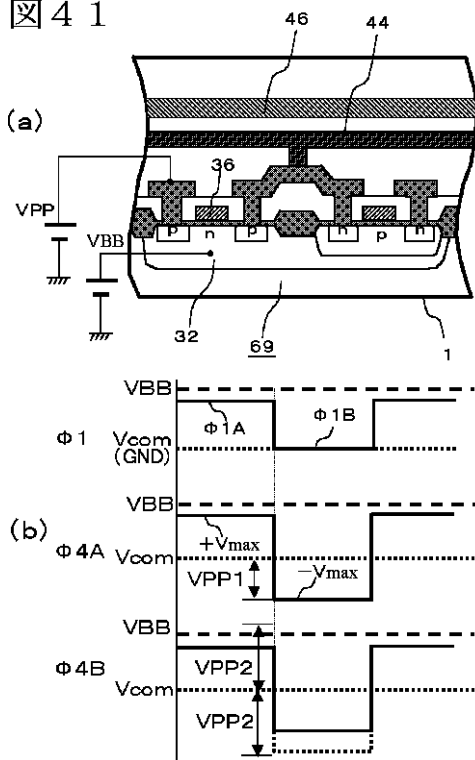
【図40】

図40



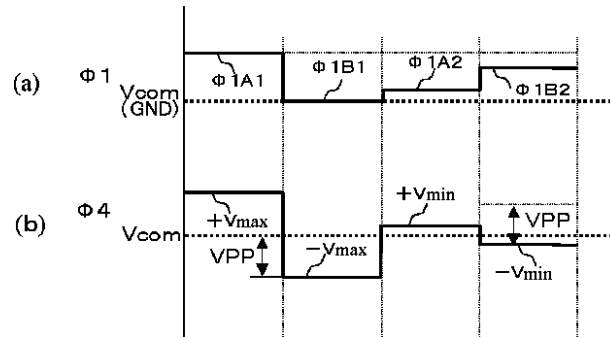
【図41】

図41



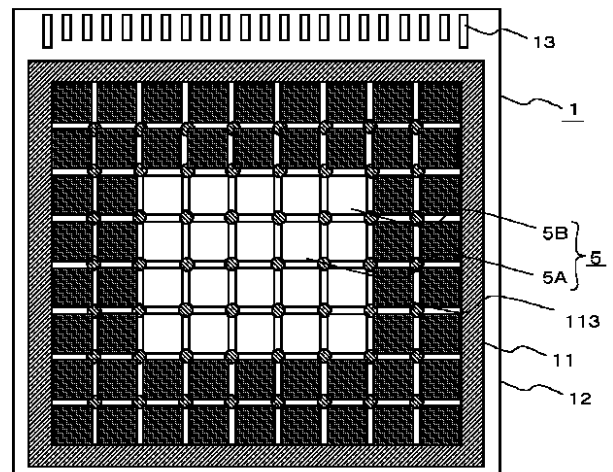
【図42】

図42



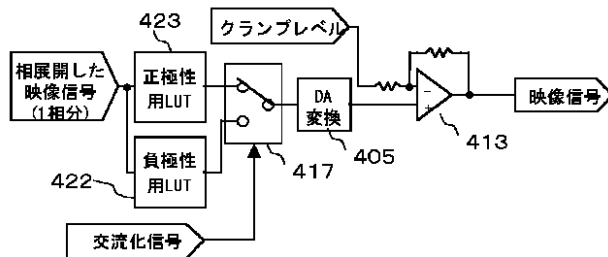
【図45】

図45



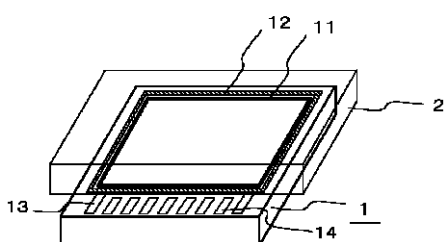
【図43】

図43



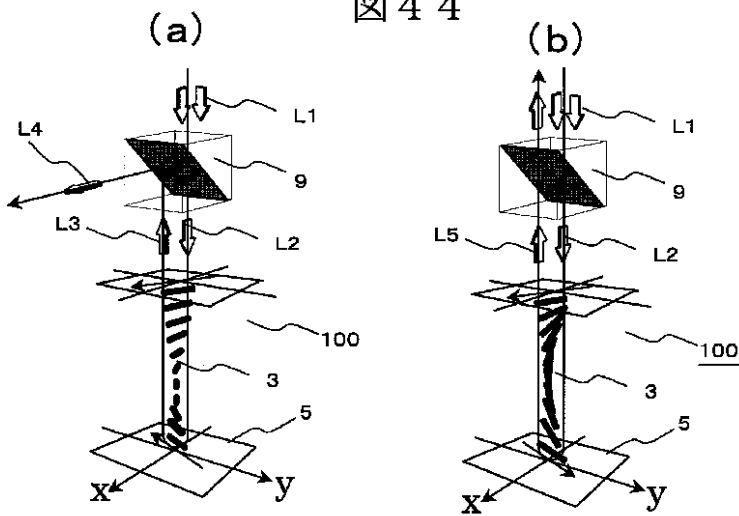
【図49】

図49



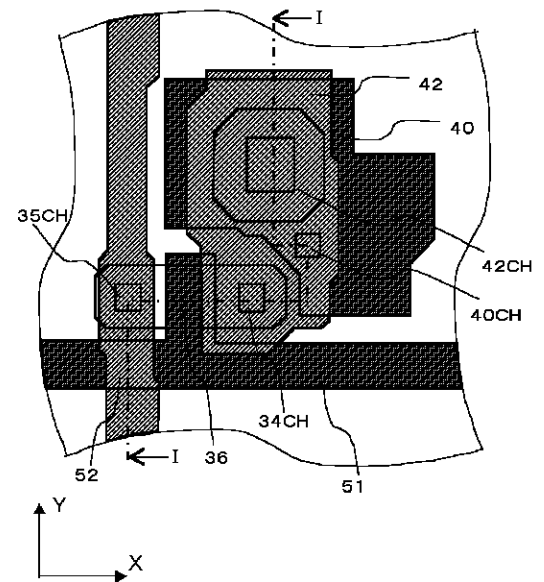
【図44】

図44



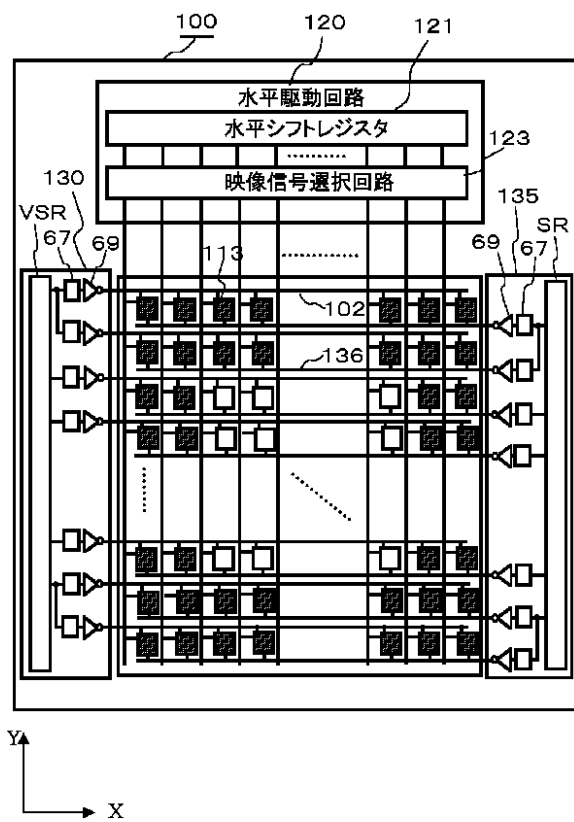
【図48】

図48



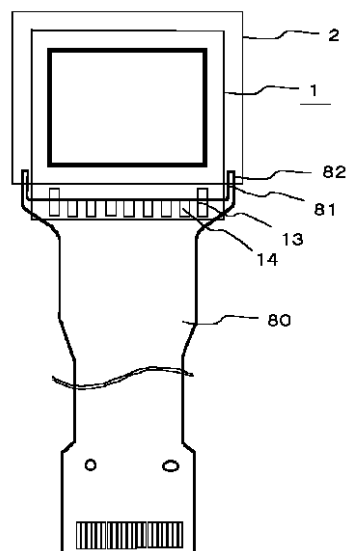
【図46】

図46



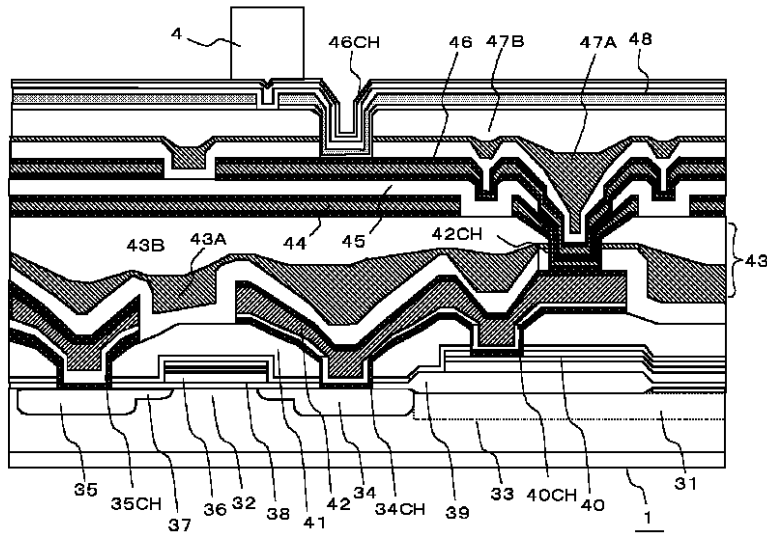
【図50】

図50



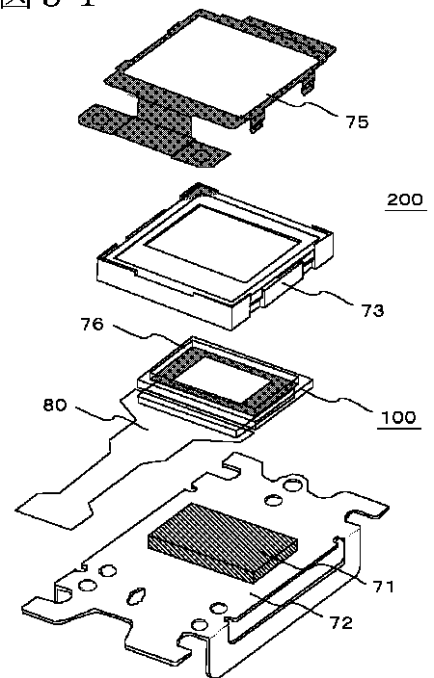
【図47】

図47



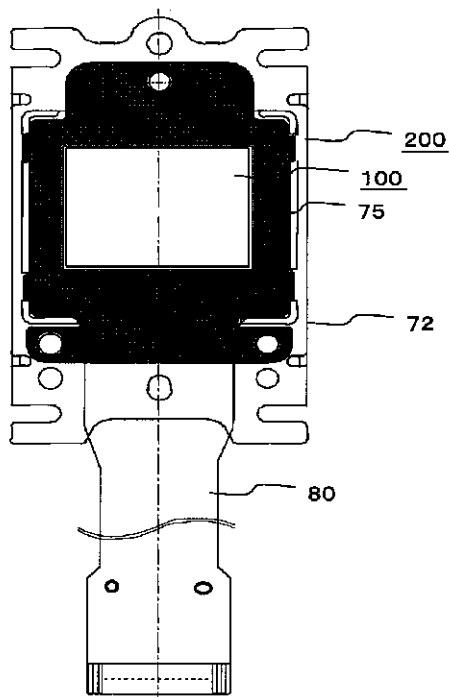
【図51】

図51



【図52】

図52



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

H 0 4 N 5/74

識別記号

6 8 0

F I

G 0 9 G 3/20

H 0 4 N 5/74

テ-マコ-ド^{*}(参考)

6 8 0 C

D

(72)発明者	御園生 俊樹	F ターム(参考)	2H093	NA16	NA32	NA33	NA41	NA51
	千葉県茂原市早野3681番地 日立デバイス			NA58	NC11	NC22	NC23	NC24
	エンジニアリング株式会社内			NC34	NC41	ND03	ND10	ND41
(72)発明者	前田 敏夫			NE01	NG02			
	千葉県茂原市早野3681番地 日立デバイス	5C006	AF46	BB16	BC16	BF25	EC11	
	エンジニアリング株式会社内		FA22					
(72)発明者	渡邊 明洋	5C058	BA35	BB04	BB05	BB14	EA01	
	千葉県茂原市早野3681番地 日立デバイス		EA02					
	エンジニアリング株式会社内	5C080	AA10	BB05	DD05	EE29	FF11	
(72)発明者	中川 英樹		JJ02	JJ03	JJ04	JJ05	JJ06	
	千葉県茂原市早野3300番地 株式会社日立		KK43					
	製作所ディスプレイグループ内							

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002366119A	公开(公告)日	2002-12-20
申请号	JP2001173410	申请日	2001-06-08
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	丸岡良雄 御園生俊樹 前田敏夫 渡邊明洋 中川英樹		
发明人	丸岡 良雄 御園生 俊樹 前田 敏夫 渡邊 明洋 中川 英樹		
IPC分类号	G02F1/133 G09G3/00 G09G3/20 G09G3/36 G09G5/00 H04N5/74		
CPC分类号	G09G3/2011 G09G3/001 G09G3/20 G09G3/2092 G09G3/3614 G09G3/3648 G09G3/3655 G09G5/005 G09G5/006 G09G2300/0876 G09G2310/0232 G09G2320/0209 G09G2320/0233 G09G2320/0247 G09G2320/0276 G09G2320/0285 G09G2320/0606 G09G2320/0613 G09G2320/0626 G09G2320/066 G09G2320/0673 G09G2320/0693 G09G2330/12 G09G2340/0435 G09G2352/00		
FI分类号	G09G3/36 G02F1/133.575 G09G3/20.611.H G09G3/20.632.F G09G3/20.642.B G09G3/20.680.C H04N5/74.D		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA41 2H093/NA51 2H093/NA58 2H093/NC11 2H093/ /NC22 2H093/NC23 2H093/NC24 2H093/NC34 2H093/NC41 2H093/ND03 2H093/ND10 2H093/ND41 2H093/NE01 2H093/NG02 5C006/AF46 5C006/BB16 5C006/BC16 5C006/BF25 5C006/EC11 5C006/ /FA22 5C058/BA35 5C058/BB04 5C058/BB05 5C058/BB14 5C058/EA01 5C058/EA02 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/ /JJ05 5C080/JJ06 5C080/KK43 2H193/ZA04 2H193/ZC02 2H193/ZC15 2H193/ZD21 2H193/ZD29 2H193/ZP01 2H193/ZR02		
其他公开文献	JP4185678B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过相位扩展输入模拟视频信号的液晶显示装置，减少由于电路变化引起的显示质量的下降。解决方案：为了校正多个模拟电路之间的差异，将模拟电路的对比表保存在数字信号处理电路中，然后利用对比表中设置的数据校正模拟电路之间的差异。

图 1 1

