

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 366109

(P2002 - 366109A)

(43)公開日 平成14年12月20日(2002.12.20)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 8 8
G 0 2 F 1/13	101	G 0 2 F 1/13	2 H 0 9 2
	1/133		2 H 0 9 3
	1/1343		5 C 0 0 6
G 0 9 G 3/20	621	G 0 9 G 3/20	5 C 0 8 0
			J

審査請求 未請求 請求項の数 10 L (全 7 数) 最終頁に続く

(21)出願番号 特願2001 - 170722(P2001 - 170722)

(22)出願日 平成13年6月6日(2001.6.6)

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 越智 豊

神奈川県横浜市神奈川区守屋町3丁目12番地

日本ビクター株式会社内

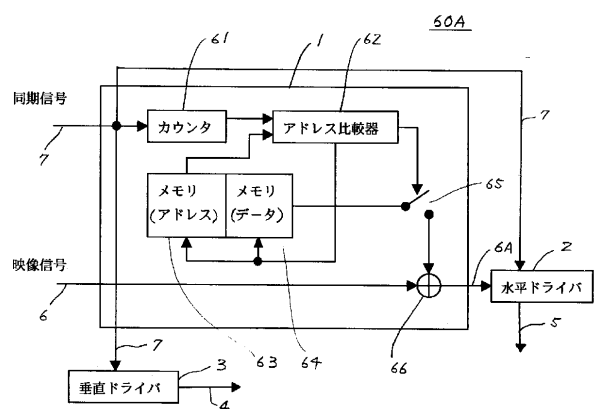
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 画素の欠陥に起因する表示画像の欠陥を補償し、高密度小型化が可能であるとともに、製造コストを抑制できるアクティブマトリクス型液晶表示装置を提供する。

【解決手段】 マトリクス状に配置された各画素50のうち、黒点欠陥となる欠陥画素の位置データを予め記憶したメモリ63と、同期信号に基づいて前記各画素50の位置をカウントするカウンタ61と、メモリ63に記憶した欠陥画素の位置データとカウンタ61のカウント値とを比較して、位置データとカウント値とが一致することを検出して一致信号を出力するアドレス比較器62と、アドレス比較器62から一致信号が出力された場合には、黒点欠陥を解消するための補正電圧値を映像信号に加算する加算手段とを備えた。



【特許請求の範囲】

【請求項 1】基板上に、スイッチングトランジスタと、反射電極と、透明電極と、前記反射電極と前記透明電極との間に注入された液晶とが積層されて各画素を形成し、前記各画素がマトリクス状に配置されてなるアクティブマトリクス型液晶表示装置において、前記マトリクス状に配置された前記各画素のうち、黒点欠陥となる欠陥画素の位置データを予め記憶したメモリと、

同期信号に基づいて前記各画素の位置をカウントするカウンタと、

前記メモリに記憶した前記欠陥画素の前記位置データと前記カウンタのカウント値とを比較して、前記位置データと前記カウンタ値とが一致することを検出して一致信号を出力するアドレス比較器と、

前記アドレス比較器から前記一致信号が出力された場合には、前記黒点欠陥を解消するための補正電圧値を映像信号に加算する加算手段と、を備えたことを特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に、画素中にスイッチングトランジスタを設けたアクティブマトリクス型液晶表示装置において、画素内に発生する配線の短絡に対応して、表示領域に現われる黒点欠陥を好適に補正するアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】従来、画像を表示する表示装置として、液晶表示装置が知られている。なかでも、各画素中にスイッチング素子を設けたアクティブマトリクス型液晶表示素子からなるアクティブマトリクス型液晶表示装置は、光利用効率が良く、表示品質が良いことより、盛んに検討されている。アクティブマトリクス型液晶表示素子の製造にあたっては、各画素のスイッチング素子に欠陥を有しない、すなわち表示画像に欠陥のない液晶表示素子を高歩留まりで得ることが求められている。そのため、液晶表示素子の製造工程における欠陥の発生を抑制するために、工程のクリーン化が進められているが、これにもおのずと限界がある。

【0003】そこで、液晶表示素子の製造において、欠陥が発生しても、その欠陥を補償できて、画像の欠陥が発生しない液晶表示素子が種々提案されている。例えば、特公平 7 - 66132 号公報には、画素を構成するスイッチング素子に冗長性を持たせ、すなわち、不良を生じた場合には修復するための重複スイッチング素子及び配線を形成しておき、スイッチング素子又は配線に短絡又は開放を生じた場合には、その部分をレーザー光線で切り離し、欠陥としないようにした表示素子が開示されている。

【0004】

【発明が解決しようとする課題】ところで、スイッチング素子に冗長性をもたせるためには、冗長用のスイッチング素子を余分に配置したものを製造する必要があり、そのため、画素寸法を小さくして高密度小型化することが困難であるという問題があり、短絡又は開放箇所を修復するには、液晶表示素子の製造工程において、欠陥検査と修復を行う必要があるため、検査修復のための装置及び工数が余分に必要となり、素子の製造コストが高くなるという問題があった。

【0005】そこで、本発明は上記問題を解決し、アクティブマトリクス型液晶表示装置において、画素の欠陥に起因する表示画像の欠陥を補償し、高密度小型化が可能であるとともに、製造コストを抑制できるアクティブマトリクス型液晶表示装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するための手段として、本発明は、基板 17 上に、スイッチングトランジスタ 10 と、反射電極 31 と、透明電極 34 と、前記反射電極 31 と前記透明電極 34 との間に注入された液晶 30 とが積層されて各画素 50 を形成し、前記各画素 50 がマトリクス状に配置されてなるアクティブマトリクス型液晶表示装置において、前記マトリクス状に配置された前記各画素 50 のうち、黒点欠陥となる欠陥画素の位置データを予め記憶したメモリ 63 と、同期信号に基づいて前記各画素 50 の位置をカウントするカウンタ 61 と、前記メモリ 63 に記憶した前記欠陥画素の前記位置データと前記カウンタのカウント値とを比較して、前記位置データと前記カウンタ値とが一致することを検出して一致信号を出力するアドレス比較器 62 と、前記アドレス比較器 62 から前記一致信号が出力された場合には、前記黒点欠陥を解消するための補正電圧値を映像信号に加算する加算手段 66 と、を備えたことを特徴とするアクティブマトリクス型液晶表示装置である。

【0007】

【発明の実施の形態】以下、本発明の実施の形態につき、好ましい実施例により、図面を参照して説明する。

【0008】＜実施例＞まず、本発明のアクティブマトリクス型液晶表示装置の実施例の理解を容易にするため、一般的なアクティブマトリクス型液晶表示装置について、説明する。図 3 は一般的なアクティブマトリクス型液晶表示装置の構成を示すブロック図であり、図 4 はアクティブマトリクス型液晶表示装置に含まれる液晶表示素子における画素の構成を示すブロック図であり、図 5 はアクティブマトリクス型液晶表示装置における液晶表示素子の構造を示す断面構成図である。図 3 には、表示の簡便さのために、2 行 2 列分の画素 50 構成を有する液晶表示素子 40 からなるアクティブマトリクス型液

晶表示装置 60 が表示されている。従って、実際には、液晶表示素子 40 においては、縦、横にそれぞれ所定数の画素 50 が配列されているものである。

【0009】アクティブマトリクス型液晶表示装置 60 には、液晶表示素子 40 を駆動するために、水平ドライバ 2、垂直ドライバ 3 が配置されている。図示しない画像信号源より、信号線 6 を通して映像（画像）信号が水平ドライバ 2 に供給され、同期信号線 7 を通して、垂直同期信号と水平同期信号とからなる同期信号が水平ドライバ 2 及び垂直ドライバ 3 に供給される。

【0010】水平ドライバ 2 には、各画素列ごとに信号線 5 が接続されており、画像信号が信号線 5 を通して各画素列に供給される。垂直ドライバ 3 には、各画素行ごとに行選択線 4 が接続されており、各画素行を選択するための垂直同期信号である同期信号が供給される。図 4 にも示すように、各画素 50 は MOS トランジスタからなるスイッチングトランジスタ 10、保持容量 20、液晶 30 より構成されている。

【0011】図 5 も共に参照するに、スイッチングトランジスタ 10 のゲート電極 13（以下、単に G とともいう）は点 b を介して行選択線 4 に接続され、ソース 11（以下、単に S とともいう）は点 a を介して信号線 5 に接続され、ドレイン 12（以下、単に D とともいう）は点 c を介して保持容量 20 の電極 22 及び液晶 30 に電圧を印加するための一方の電極である反射電極 31 に接続されている。保持容量 20 のもう一方の電極を形成する容量電極 21 及び液晶 30 に電圧を印加するためのもう他方の電極である ITO からなる透明電極 34 は点 d を介してコモン電圧供給線 8 に接続されている。

【0012】図 5 には、液晶表示素子 40 における画素 50 が示されているが、例えば N 型のシリコン基板 17 中に、P 型の高濃度拡散領域であるソース 11、ドレイン 12 及び容量電極 21 が所定の形状・配置で形成されており、ソース 11 とドレイン 12 の間のシリコン基板 17 上には、絶縁層 18a を介してゲート電極 13 が形成されており、ソース 11 は導電性のコンタクト 15 を介して信号線 5 の配線 14 に接続されており、ドレイン 12 は導電性のコンタクト 16、導電層 24 及び導電性のコンタクト 25 を介して各画素 50 毎に設けられている反射電極 31 に接続されている。

【0013】スイッチングトランジスタ 10 はソース 11、ドレイン 12、ゲート電極 13 より構成される。容量電極 21 上には、絶縁層 18b を介して導電性の電極 22 が形成されており、この電極 22 は導電性のコンタクト 23 を介して導電層 24 に接続されており、容量電極 21、絶縁層 18b 及び電極 22 とで保持容量 20 を形成している。反射電極 31 と導電層 24 との間の絶縁層 18 中には、遮光層 26 が形成されている。反射電極 31 及びその間隙の絶縁層 18 上には配向層 32 が形成されており、一方、透明なガラス基板 35 上に順次積層

された ITO からなる透明電極 34、配向層 32 と配向層 33 の間に液晶 30 が封止されている。透明電極 34 はコモン電圧供給線 8 と共に、遮光層 26 に電氣的に接続されている。

【0014】次に、画素 50 の動作を説明する。まず、垂直ドライバ 3 よりある行の行選択線 4 を通してスイッチングトランジスタ 10 のゲートに High（以下、単に H とともいう）の電圧が印加され、これによりスイッチングトランジスタ 10 がオンする。この状態で、水平ドライバ 2 より信号線 5 を通して、画像信号に対応する電圧が点 a に印加されると、電流が流れ込み点 c も同じ電圧になり、一方点 d にはコモン電圧供給線 8 を通して所定のコモン電圧が印加されているので、点 c と点 d 間に所定の電圧が印加される。

【0015】その後、行選択線 4 に印加される電圧が Low（以下、単に L とともいう）になり、スイッチングトランジスタ 10 がオフになるが、点 c と点 d 間の所定電圧は保持容量 20 に保持され、液晶 30 に印加されるので、液晶 30 は所定電圧に対応して配向状態を変え、液晶 30 にガラス基板 35 側から入射した光は変調されて、反射電極 31 で反射され、出射される。各画素は、垂直ドライバ 3 と水平ドライバ 2 により順次走査され、画像信号に応じて液晶に入射する光を変調して出射することにより、全体として画像を表示するように動作する。

【0016】次に、画素中に欠陥が発生する場合を説明する。図 5 に示すが、各画素 50 を構成するスイッチングトランジスタ 10、保持容量 20 などにおける各要素の物理的寸法は、 μm 又はそれ以下のものである。例えば、遮光膜 26 とコンタクト 25 との間隔は、 $1\mu\text{m}$ 以下である。配線 14 と遮光層 26 との間隔も、同様 $1\mu\text{m}$ 以下である。液晶表示素子 40 を製造する過程のフォトリソ工程におけるエッチングの不良等により、分離すべき部分が短絡するという欠陥が発生する場合がある。

【0017】すなわち、コモン電圧供給線 8 に接続しコモン電圧の印加されている遮光膜 26（点 d と短絡接続している）と、スイッチングトランジスタ 10 のドレイン 12 と接続するコンタクト 25（点 c と短絡接続している）とが短絡すると、この画素 50 の液晶 30 には画像信号に対応した正常な電圧が印加されなくなる。また、スイッチングトランジスタ 10 のソースに接続する配線 14（点 a とすなわち信号線 5 と短絡接続している）と遮光層 26（点 d と短絡接続している）とが短絡すると、この信号線 5 に接続する列の全画素 50 の液晶 30 に画像信号に対応した正常な電圧が印加されなくなる（印加電圧が低下する）。なお、透明電極 34 及び反射電極 31 間に電圧を印加すると、それに応じて液晶 30 が変調され、ガラス基板 35 側から入射した入射光 28 は液晶 30 を通過して反射電極 31 で反射され、再び液晶を通過して、変調されて出射光 28 として出射され

る。

【0018】その例について図6を参照して説明する。図6は画素に印加される電圧波形を示すグラフ図である。図6において、横軸は時間を縦軸は画素の液晶に印加される画像信号に対応する電圧を示し、 t_1 は1フレームの期間を、 t_3 及び t_5 は、1画面に対応する各画素に信号を入力している期間を、 t_2 、 t_4 、 t_6 はブランキング期間をそれぞれ示す。 V_{com} はコモン電圧を、 V_b は黒の基準レベル電圧を、 V_s は例えば白レベルを示す信号電圧を、 ΔV は、表示に欠陥のある画素（図6中、表示欠陥部と表記してある）における印加電圧のドロップ分をそれぞれ示す。実線で示される電圧はコモン電圧を中心とするフィールド毎の反転印加電圧である。表示欠陥部では、画像信号に応じた正常な電圧が液晶に印加されないため、表示は黒欠陥表示になる。

【0019】この黒欠陥表示の補償について、以下に説明する。黒欠陥表示は、アクティブマトリクス型液晶表示装置に、表示部全体が例えば全面が白になるような画像信号を供給して、投影画像を表示して、容易にその位置を検出できる。すなわち、投影画像のうち黒欠陥を表示する画素を走査により、そのアドレス（画素の行と列の番号）を特定できるので、そのアドレスを予め記録しておく。その情報を基に、補正を行う。

【0020】図1は本発明のアクティブマトリクス型液晶表示装置の実施例の構成を示すブロック図である。図1に示すように、本実施例のアクティブマトリクス型液晶表示装置60Aは、上述した一般的なアクティブマトリクス型液晶表示装置60において、新たにフレームメモリ1を用いる以外はアクティブマトリクス型液晶表示装置60と同様に構成してある。図1においては、液晶表示素子40の表示を省略してある。フレームメモリ1は、カウンタ61と、アドレス比較器62と、黒欠陥表示部のアドレスを記憶するためのメモリ63と、黒欠陥表示部の補正データを記憶するためのメモリ64と、スイッチ65と、加算器66とから構成される。

【0021】以下、本実施例のアクティブマトリクス型液晶表示装置60Aの動作を説明する。図示しない信号源から、アクティブマトリクス型液晶表示装置60Aで表示すべき画像の画像信号（以下、映像信号ともいう）が信号線6を通して、同期信号が同期信号線7を通して、フレームメモリ1に供給される。映像信号はフレームメモリ1の加算器66に入力され、水平及び垂直同期信号はカウンタ61に及び垂直同期信号は垂直ドライバ3に入力される。カウンタ61は、同期信号をカウントアップして、映像信号が供給される画素のアドレスに変換してアドレス比較器62に出力する。アドレス用のメモリ63には、予めアクティブマトリクス型液晶表示装置60Aにおける液晶表示素子40を構成する画素50のうち黒欠陥表示部となる画素50のアドレスが、走査される順に配列記憶されており、データ用のメモリ64

には、黒欠陥表示部の画素50に対応する補正データ、すなわち画素50の液晶30に印加する電圧を補正するデータが記憶されている。

【0022】メモリ63からは黒欠陥表示部となる画素のアドレスがアドレス比較器62に出力されている。アドレス比較器62は、カウンタ61から入力される画素のアドレスとメモリ63から入力される黒欠陥表示部のアドレスを比較し、一致すると、スイッチ65をオンにする制御信号をスイッチ65に出力し、メモリ63及びメモリ64には、カウントアップしたこと知らせるカウントアップ信号を出力する。

【0023】メモリ63は、カウントアップ信号が入力される毎に、アドレス比較器62に出力する黒欠陥表示部のアドレスを更新し、メモリ64はアドレス比較器62で一致したアドレスの補正データをスイッチ65の一端に出力し、この補正データはオンしたスイッチ65を通して加算器66に出力される。加算器66は信号線6を通して供給される映像信号にスイッチ65を通して供給される補正データ（に対応する電圧）を加算して、信号線6Aを通して水平ドライバ2に出力する。なお、図示しないがスイッチ65を通して出力される補正データに応じた電圧を発生する電圧発生器がメモリ64とスイッチ65との間に設けられている。

【0024】水平ドライバ2は、映像信号を順次所定の信号線を通して出力するが、黒欠陥表示部である画素50には、補正データの加えられた映像信号を供給する。なお、図示しないが、信号線6A、水平ドライバ2及び垂直ドライバ3に接続する各同期信号線7には遅延回路を設けてタイミングを調整し、水平ドライバ2に供給される映像信号が黒欠陥表示部に対応するものは正しく補正されており、垂直ドライバ7に供給される同期信号もその黒欠陥部に対応するように構成してあるものである。

【0025】次に、画素50の液晶に印加される補正前後の映像信号について説明する。図2は本発明のアクティブマトリクス型液晶表示装置の実施例における画素の液晶に印加される電圧波形を示すグラフ図であり、全画面が例えば白になるように映像信号をした場合の1フィールドの電圧波形（実線表示）であり、横軸は時間、縦軸は電圧、一点鎖線はコモン電圧をそれぞれ示し、図2の（1）は信号源から映像信号を加えた時に液晶に印加される電圧を示し、欠陥表示部と示した部分の画素には短絡があるため、その画素の液晶に印加される電圧は正規の映像信号に対応した電圧より、 ΔV 低下した電圧が印加されることを示している。図2の（2）は、フレームメモリ1から出力される補正された映像信号に対応する電圧波形であり、黒欠陥表示部に対しては正規の映像信号に対応した信号に対しては、電圧 V_h が加算されている。図2の（3）には、図2の（2）で示した電圧を印加した場合に、液晶に印加される実効的な電圧の波形

を示し、黒欠陥表示部においても、正規の電圧が印加され、黒欠陥表示部は補正される。

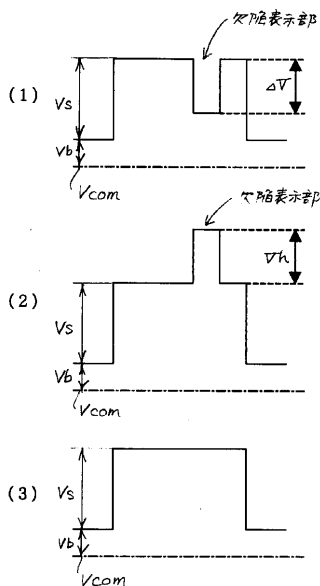
【0026】ここで、コモン電圧 V_{com} が、例えば 8 V、信号電圧 V_s が 4.5 V のとき、補正電圧 V_h は 0.4 V から 0.6 V であれば、黒欠陥表示部を補正できる。このとき、コモン電圧 V_{com} を供給する図示しないコモン電源は、十分大きなインピーダンス例えば 1 k Ω 以上を有しており、これにより画素に発生した短絡部に対して有効に電圧を印加することができる。このように、画素の欠陥を補正できるので、アクティブマトリクス型液晶表示装置の生産歩留まりを向上することすなわち製造コストを低減すること、及び表示品質を向上することができる。

【0027】

【発明の効果】以上説明したように、本発明によれば、マトリクス状に配置された各画素のうち、黒点欠陥となる欠陥画素の位置データを予め記憶したメモリと、同期信号に基づいて前記各画素の位置をカウントするカウンタと、前記メモリに記憶した前記欠陥画素の前記位置データと前記カウンタのカウント値とを比較して、前記位置データと前記カウンタ値とが一致することを検出して一致信号を出力するアドレス比較器と、前記アドレス比較器から前記一致信号が出力された場合には、前記黒点欠陥を解消するための補正電圧値を映像信号に加算する加算手段とを備えたことにより、画素の欠陥に起因する表示画像の欠陥を補償し、高密度小型化が可能であるとともに、製造コストを抑制できるアクティブマトリクス型液晶表示装置を提供することができるという効果がある。

【図面の簡単な説明】

【図 2】



【図 1】本発明のアクティブマトリクス型液晶表示装置の実施例の構成を示すブロック図である。

【図 2】本発明のアクティブマトリクス型液晶表示装置の実施例における画素の液晶に印加される電圧波形を示すグラフ図である。

【図 3】一般的なアクティブマトリクス型液晶表示装置の構成を示すブロック図である。

【図 4】液晶表示素子における画素の構成を示すブロック図である。

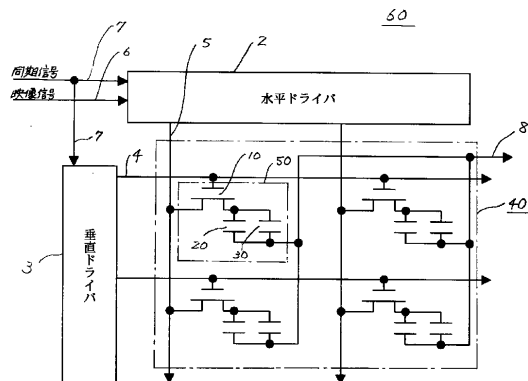
【図 5】アクティブマトリクス型液晶表示装置における液晶表示素子の構造を示す断面構成図である。

【図 6】画素に印加される電圧波形を示すグラフ図である。

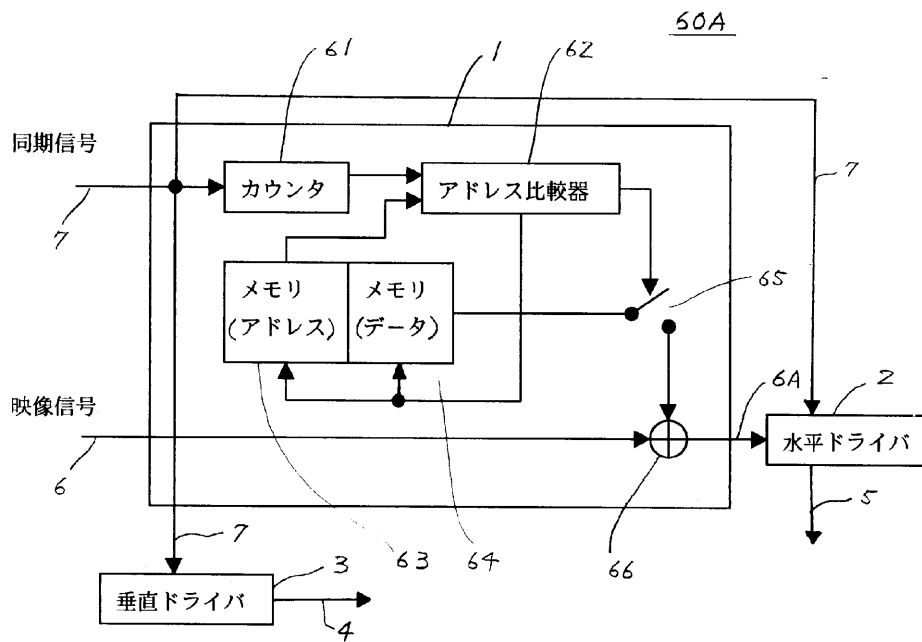
【符号の説明】

1...フレームメモリ、2...水平ドライバ、3...垂直ドライバ、4...行選択線、5...信号線、6...信号線、7...同期信号線、8...コモン電圧供給線、10...スイッチングトランジスタ、11...ソース、12...ドレイン、13...ゲート電極、14...(信号線の)配線、15...コンタクト、16...コンタクト、17...(シリコン)基板、18, 18a, 18b...絶縁層、20...保持容量、21...容量電極、22...電極、23...コンタクト、24...導電層、25...コンタクト、26...遮光層、27...入射光、28...出射光、30...液晶、31...反射電極、32...配向層、33...配向層、34...透明電極(ITO)、35...ガラス基板、40...液晶表示素子、50...画素、60...アクティブマトリクス型液晶表示装置、61...カウンタ、62...アドレス比較器、63...(アドレス用)メモリ、64...(データ用)メモリ、65...スイッチ、66...加算器。

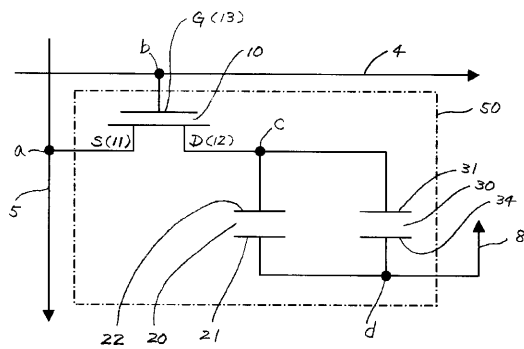
【図 3】



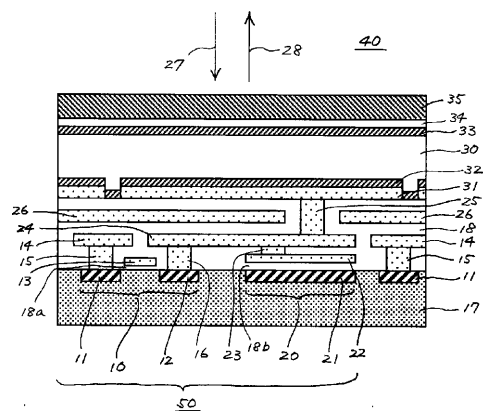
【図1】



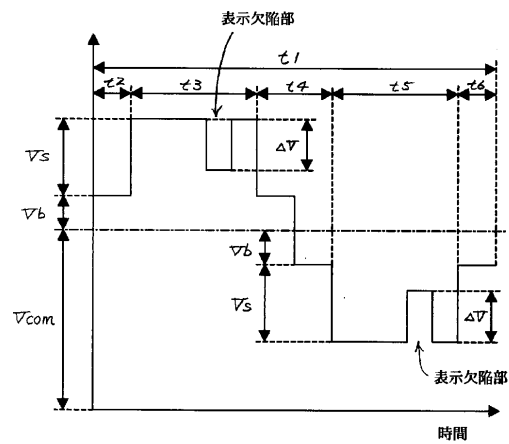
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト ⁸ (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 R
	6 2 4		6 2 4 B
	6 3 1		6 3 1 H
	6 7 0		6 7 0 A

F タ-ム(参考) 2H088 FA13 FA14 HA08
 2H092 MA51 MA56 NA30
 2H093 NC52 NC54 NC67 ND16
 5C006 AA01 AC11 AC21 AF13 AF51
 AF53 AF61 BB16 BC03 BC12
 BF02 BF14 BF22 BF28 EB04
 FA18
 5C080 AA10 BB05 DD28 FF11 JJ02
 JJ03 JJ04

专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	JP2002366109A	公开(公告)日	2002-12-20
申请号	JP2001170722	申请日	2001-06-06
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	越智 豊		
发明人	越智 豊		
IPC分类号	G02F1/13 G02F1/133 G02F1/1343 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/13.101 G02F1/133.550 G02F1/1343 G09G3/20.621.J G09G3/20.623.R G09G3/20.624.B G09G3/20.631.H G09G3/20.670.A		
F-TERM分类号	2H088/FA13 2H088/FA14 2H088/HA08 2H092/MA51 2H092/MA56 2H092/NA30 2H093/NC52 2H093/NC54 2H093/NC67 2H093/ND16 5C006/AA01 5C006/AC11 5C006/AC21 5C006/AF13 5C006/AF51 5C006/AF53 5C006/AF61 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BF02 5C006/BF14 5C006/BF22 5C006/BF28 5C006/EB04 5C006/FA18 5C080/AA10 5C080/BB05 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZH09 2H193/ZH40 2H193/ZH45		
外部链接	Espacenet		

摘要(译)

本发明提供一种有源矩阵液晶显示装置，该有源矩阵液晶显示装置能够补偿由于像素的缺陷引起的显示图像中的缺陷，能够实现高密度的小型化并抑制制造成本。 解决方案：存储器63中预先存储有作为矩阵形式排列的像素50中的黑点缺陷的缺陷像素的位置数据，以及计数器61，该计数器基于同步信号对每个像素50的位置进行计数。 地址比较器62将存储器63中存储的缺陷像素的位置数据与计数器61的计数值进行比较，检测出位置数据和计数值一致，并输出一致信号；当从装置62输出一致信号时，提供了将用于消除黑点缺陷的校正电压值相加到视频信号的相加单元。

