

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 350898

(P2002 - 350898A)

(43)公開日 平成14年12月4日(2002.12.4)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ト [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
G 0 9 F 9/30	338	G 0 9 F 9/30	5 C 0 9 4
	9/35	9/35	5 F 1 1 0
H 0 1 L 21/336		H 0 1 L 29/78	616 A
29/786		614	
審査請求 未請求 請求項の数 2 O L (全 5 数)			

(21)出願番号 特願2001 - 156012(P2001 - 156012)

(22)出願日 平成13年5月24日(2001.5.24)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 中村 晃

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外 5 名)

F タ-ム (参考) 2H092 KA04 KA07 NA22

5C094 AA04 BA03 BA43 CA19 EA04

EA07

5F110 AA06 BB01 CC02 GG02 GG13

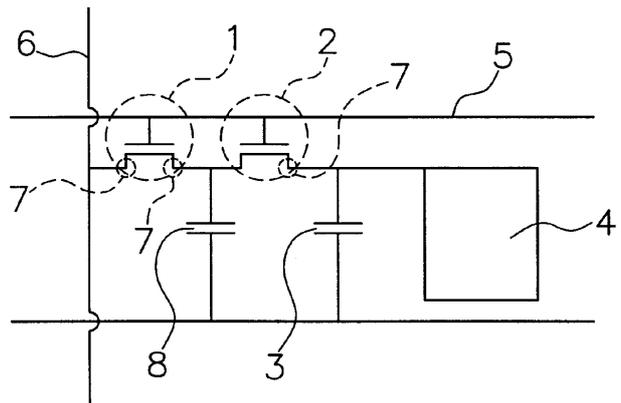
HM12 HM15 NN72 NN78

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 結晶粒の配列の仕方によりトランジスタの特性が変化する場合であっても一定の表示品質を確保することができるアクティブマトリクス型液晶表示装置を提供する。

【解決手段】 画素電極の映像信号を書き込むための直列に接続された2つ以上のトランジスタを基板上に設け、直列に接続された2つ以上のトランジスタの一方端に画素電極と映像信号を蓄積するための容量とが接続され、他方端に映像信号を送り込む信号線が接続され、直列に接続された2つ以上のトランジスタにおいて、画素電極に接続する側に配置される2つのトランジスタ間の接続部に容量が接続されており、画素電極に最も近接したトランジスタについては、ドレイン領域にのみL D Dを形成する。



【特許請求の範囲】

【請求項1】 画素電極の映像信号を書き込むための直列に接続された2つ以上のトランジスタを基板上に設け、前記直列に接続された2つ以上のトランジスタの一方端に画素電極と映像信号を蓄積するための容量とが接続され、他方端に映像信号を送り込む信号線が接続され、

前記直列に接続された2つ以上のトランジスタにおいて、画素電極に接続する側に配置される2つのトランジスタ間の接続部に容量が接続されており、画素電極に最も近接したトランジスタについては、ドレイン領域にのみLDD(Lightly Doped Drain)が形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 画素トランジスタの能動層にポリシリコンを用いる請求項1記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリクス型液晶表示装置は、映像信号を書き込むためのスイッチング素子として薄膜トランジスタ(TFT)を用いるのが主流である。表示品質を高めるためには、かかるスイッチング素子のリーク電流を低減し、映像信号の電位を保持することが非常に重要となる。そのため、従来、特にポリシリコンを能動層とするポリシリコン薄膜トランジスタの技術分野では、薄膜トランジスタを2つ直列に接続することによって薄膜トランジスタ1つ当りに印加される電圧を分配し、かつ薄膜トランジスタにLDD(Lightly Doped Drain)を形成することによってドレイン端の電界を緩和する構造を形成している。かかる構造にすることによって、リーク電流を低減することができ、画素電位(映像信号電位)の変動を抑制することが可能となっている。

【0003】図4は、従来のアクティブマトリクス型液晶表示装置における画素部の回路構成図である。図4において、101及び102は画素トランジスタを示しており、いずれもLDD構造を有するものである。103は画素の電位を保つための容量を、104は画素電極を、105はゲート配線を、106は映像信号を画素電極に送るためのソース配線を、それぞれ示している。

【0004】ここで、ゲート電極にハイレベルの電圧が印加され、画素トランジスタ101及び102がON状態になると、ソース配線106から映像信号電位が容量103に書き込まれる。逆に、ゲート電極がローレベルになると、画素トランジスタ101及び102はOFF状態になり、容量103によって画素電極104の電位が保持される。このような動作が、ある決まったタイミ

ングで液晶の表示領域にある各画素で行われることによって映像が写し出されることになる。

【0005】図5は、ポリシリコンを能動層とする画素トランジスタ101及び102の構成図である。図5において、107はLDDを、108はゲート電極を、109はシリコン結晶粒を、110はソース/ドレイン電極を、それぞれ示している。LDD107は、ゲート電極108の両側に形成されている。シリコン結晶粒109は、図5に示すように無秩序に配置されており、ポリシリコン層を形成している。

【0006】

【発明が解決しようとする課題】しかしながら、ポリシリコン薄膜トランジスタは能動層及びLDD部の半導体層がシリコンの多結晶で形成されているため、結晶粒の配列の仕方によりトランジスタの特性が変化する。そのため、隣り合う画素トランジスタのON電流及びOFF電流の特性が異なることによって、隣り合う画素の輝度が異なり、表示品質の保持が困難になるおそれがあるという問題点があった。

【0007】特に、中間調の表示をした場合において、画素の電位を保つ容量部から電流が画素トランジスタのゲート電極下のチャンネル領域に電流が流込む際に、画素トランジスタのドレイン側のリーク電流量が画素トランジスタごとに異なることになり、リーク電流の大きい画素トランジスタに接続されている画素電位が周りの画素の電位より下がってしまい、その結果として当該画素の輝度が周りの画素よりわずかに明るくなる輝点が生じてしまうという、いわゆる中間調輝点問題が生じることになる。

【0008】本発明は、上記問題点を解消するために、結晶粒の配列の仕方によりトランジスタの特性が変化する場合であっても一定の表示品質を確保することができるアクティブマトリクス型液晶表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明にかかるアクティブマトリクス型液晶表示装置は、画素電極の映像信号を書き込むための直列に接続された2つ以上のトランジスタを基板上に設け、直列に接続された2つ以上のトランジスタの一方端に画素電極と映像信号を蓄積するための容量とが接続され、他方端に映像信号を送り込む信号線が接続され、直列に接続された2つ以上のトランジスタにおいて、画素電極に接続する側に配置される2つのトランジスタ間の接続部に容量が接続されており、画素電極に最も近接したトランジスタについては、ドレイン領域にのみLDDが形成されていることを特徴とする。

【0010】かかる構成により、ゲート電極がOFFになったときにソース/ドレインからゲート電極下のチャンネル部に流れ込むリーク電流は、画素電極側からの電

流値とその反対側に位置する容量側からの電流値とを比較した結果、画素電極側にLDDが形成されているためリーク電流値が容量側に比べ2桁程度少ないことを考慮すると、チャンネル部に流れ込む電流は主に画素電極と反対側に形成されている容量より供給されることになり、LDD部のリーク電流が結晶粒の配列の仕方により多少変動した場合であっても画素電極の電位はほとんど変動せず、中間調輝点問題を発生させないことが可能となる。

【0011】また、大面積に均一に半導体層を形成するためには、既存の技術状況、特に量産設備の状況等を考慮すると、本発明にかかるアクティブマトリクス型液晶表示装置は、画素トランジスタの能動層にポリシリコンを用いていることが好ましい。

【0012】

【発明の実施の形態】以下、本発明の実施の形態にかかるアクティブマトリクス型液晶表示装置について、図面を参照しながら説明する。図1は本発明の実施の形態にかかるアクティブマトリクス型液晶表示装置における画素部の回路構成図である。

【0013】図1において、1及び2は画素トランジスタを示しており、画素トランジスタ1はゲート電極の両側にLDD構造7を有し、画素トランジスタ2は画素電極側のみにLDD構造7を有している構造となっている。

【0014】また、3は画素の電位を保つための容量を、4は画素電極を、5はゲート配線を、6は映像信号を画素電極に送るためのソース配線を、8は容量を、それぞれ示している。

【0015】また、図2はポリシリコンを能動層とする画素トランジスタ1及び2の構成図である。図2において、7はLDDを、11はゲート電極を、9はシリコン結晶粒を、10はソース/ドレイン電極を、それぞれ示している。ここで、LDD7は、トランジスタ1についてはゲート電極11の両側に形成されているが、トランジスタ2では画素電極4側だけにLDD7が形成されている点に本実施の形態の特徴を有する。また、結晶粒9は図2に示すように無秩序に配置され、ポリシリコン層を形成している。

【0016】図3は、トランジスタ2におけるI-V特性を示したものである。図3において、実線部21は画素電極4側をドレインにした場合の特性を、破線部22は容量8側をドレインにした場合の特性を、それぞれ示しており、破線部22の場合はドレイン側にLDDがないことから、画素OFF時の動作領域23におけるリーク電流値が、実線部21の場合に比べて格段に増加していることがわかる。

【0017】次に、本発明の実施の形態にかかるアクティブマトリクス型液晶表示装置の動作原理について説明する。まずゲート電極11にハイレベルの電圧が印加さ

れ、画素トランジスタ1及び2がON状態になると、ソース配線6から映像信号電位が容量3及び容量8に書き込まれる。次に、ゲート電極11がローレベルになり、画素トランジスタ1及び2がOFF状態になると、ゲート電極11の下に位置するチャンネル領域には、容量カップリングにより電流が流れこもうとする。

【0018】この時の電流値は、図3で示した画素OFF時の動作領域23におけるリーク電流値と強い相関関係を有している。すなわち、図3のI-V特性図における実線部21と破線部22の関係からもわかるように、かかる流れこもうとする電流値は、画素電極4側からの電流ではなく、そのほとんどが容量8側からの電流で占められていることになり、電流値の大きさを考慮すると、画素電極4側からの電流値の変化は容量8側からの電流値に比べて十分に無視できる範囲内にあるものと考えられる。

【0019】すなわち、画素トランジスタのゲート電極がOFFになった直後は、画素電極4側における容量3の画素トランジスタ側の電位と、画素トランジスタ間に接続された容量8のトランジスタ接続側の電位は同じである。しかしながら、ゲート電極がOFFになったときに、ソース/ドレインからゲート電極下のチャンネル部に流れ込むリーク電流は、画素電極4側からの電流値と、その反対側である容量8側からの電流値とを比較した結果、画素電極4側にはLDDが形成されているためリーク電流が容量8側からの電流値に比べ2桁程度少ないという事実を考慮すると、チャンネル部に流れ込む電流は主に画素電極4と反対側に形成されている容量8から供給されていることになる。よって、LDD部のリーク電流が結晶粒の配列の仕方により多少変動したとしても画素電極4の電位はほとんど変動しないことになり、中間調輝点問題が発生することはほとんどないものと考えられる。

【0020】したがって、例えばLDD部におけるリーク電流が、結晶粒の配列の仕方によって多少変動して図3における一点鎖線部24のような特性になったとしても、チャンネル領域に流れ込む電流は主に容量8により供給されていることから、画素電極4の電位自体はほとんど変動しないことになり、画素トランジスタにおけるドレイン側のリーク電流量が画素トランジスタごとに変動することがなく、いわゆる中間調輝点問題が発生することがなくなることになる。

【0021】以上のように本実施の形態によれば、ゲート電極がOFFになったときにソース/ドレインからゲート電極下のチャンネル部に流れ込むリーク電流は、画素電極側からの電流値とその反対側に位置する容量側からの電流値とを比較した結果、画素電極側にLDDが形成されているためリーク電流値が容量側に比べ2桁程度少ないことを考慮すると、チャンネル部に流れ込む電流は主に画素電極と反対側に形成されている容量より供給

されることになり、LDD部のリーク電流が結晶粒の配列の仕方により多少変動した場合であっても画素電極の電位はほとんど変動せず、中間調輝点問題を発生させないことが可能となる。

【0022】

【発明の効果】以上のように本発明にかかるアクティブマトリクス型液晶表示装置によれば、複数直列につながった画素トランジスタの最も画素電極に近い画素トランジスタにおいて、画素電極側にのみLDDを形成し、かつ容量を付加することによって、画素電極側からのリーク電流を抑制することができ、中間調輝点問題を解決することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態にかかるアクティブマトリクス型液晶表示装置における画素部の回路構成図

【図2】 本発明の実施の形態にかかるアクティブマトリクス型液晶表示装置における画素トランジスタの構成図

*【図3】 本発明の実施の形態にかかるアクティブマトリクス型液晶表示装置における画素トランジスタの電気的特性図

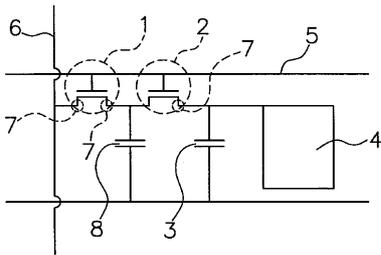
【図4】 従来のアクティブマトリクス型液晶表示装置における画素部の回路構成図

【図5】 従来のアクティブマトリクス型液晶表示装置における画素トランジスタの構成図

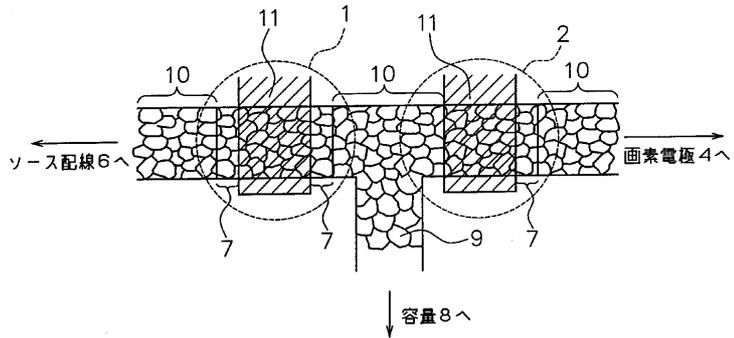
【符号の説明】

- 1、2、101、102 薄膜トランジスタ
- 3、103 映像信号を蓄積するための容量
- 4、104 画素電極
- 5、105 ゲート配線
- 6、106 ソース配線
- 7、107 LDD
- 8 容量
- 9、109 シリコン結晶粒
- 10、110 ソース/ドレイン電極
- 11、108 ゲート電極

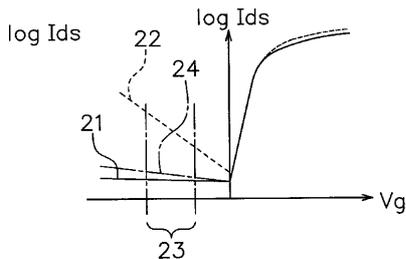
【図1】



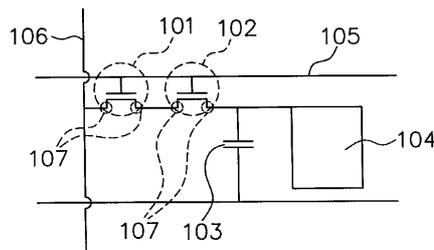
【図2】



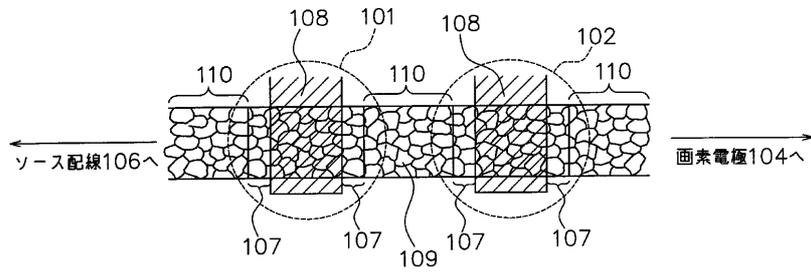
【図3】



【図4】



【図5】



专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	JP2002350898A	公开(公告)日	2002-12-04
申请号	JP2001156012	申请日	2001-05-24
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	中村晃		
发明人	中村 晃		
IPC分类号	G02F1/1368 G09F9/30 G09F9/35 H01L21/336 H01L29/786		
CPC分类号	H01L29/78621 H01L29/78645		
FI分类号	G02F1/1368 G09F9/30.338 G09F9/35 H01L29/78.616.A H01L29/78.614		
F-TERM分类号	2H092/KA04 2H092/KA07 2H092/NA22 5C094/AA04 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5F110/AA06 5F110/BB01 5F110/CC02 5F110/GG02 5F110/GG13 5F110/HM12 5F110/HM15 5F110/NN72 5F110/NN78 2H192/AA24 2H192/CB13 2H192/CB34 2H192/CB53 2H192/DA12 2H192/DA65		
外部链接	Espacenet		

摘要(译)

有源矩阵液晶显示装置即使在晶体管的特性根据晶粒的排列而变化时也能够确保恒定的显示质量。基板上设置有两个或更多个串联连接的晶体管，用于写入像素电极的视频信号，像素电极和视频信号存储在两个或更多个串联连接的晶体管的一端。在串联连接的两个或更多个晶体管中的连接到像素电极的两个晶体管之间的连接，并且该两个或更多个晶体管具有发送连接到另一端的视频信号的信号线。对于最靠近像素电极的晶体管，LDD仅在连接到电容器的晶体管的漏极区域中形成。

