

(19)日本国特許庁（J P）

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2002－196697

(P2002－196697A)

(43)公開日 平成14年7月12日(2002.7.12)

(51)Int.Cl ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 F 9/30	309	G 0 9 F 9/30	2 H 0 8 9
	338		2 H 0 9 2
G 0 2 F 1/1339	505	G 0 2 F 1/1339	5 C 0 9 4
1/1368		1/1368	5 G 4 3 5
G 0 9 F 9/00	343	G 0 9 F 9/00	343

審査請求 未請求 請求項の数 15 O L (全 19数) 最終頁に続く

(21)出願番号 特願2000－396131(P2000－396131)

(22)出願日 平成12年12月26日(2000.12.26)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 豊島 剛

東京都八王子市石川町2951番地の5 カシオ
計算機株式会社八王子研究所内

(72)発明者 佐々木 和広

東京都八王子市石川町2951番地の5 カシオ
計算機株式会社八王子研究所内

(72)発明者 両澤 克彦

東京都八王子市石川町2951番地の5 カシオ
計算機株式会社八王子研究所内

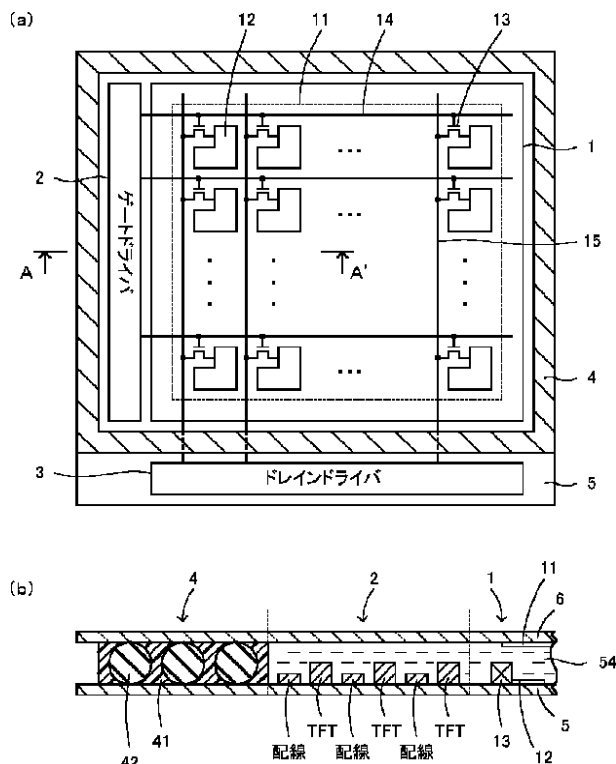
最終頁に続く

(54)【発明の名称】 表示パネル及び基板結合方法

(57)【要約】

【課題】 素子破壊が発生しない構成を有する表示パネルを提供する。

【解決手段】 画像表示部1は、T F T基板5と対向基板6との間に封入された液晶54と、液晶54に電圧を印加して画像を表示させるための共通電極11及び画素電極12と、を備える。ゲートドライバ2及びドレインドライバ3は、T F T基板5と対向基板6との間に形成され、画素電極12に電圧を供給する。シール部4は、T F T基板5と対向基板6との間隔を一定に保つギャップ材42を含むシール材41から形成され、T F T基板5と対向基板6とを接合して液晶54を封入する。また、ゲートドライバ2は、多層構造を有する多層素子が形成された多層領域と、多層素子以外の素子が形成された非多層領域とを有し、シール部4は、少なくとも多層領域にかからないように、画像表示部1、ゲートドライバ2、及び、ドレインドライバ3の周囲に形成されている。



【特許請求の範囲】

【請求項 1】 1 対の基板間に複数の画素を有する光学的手段と、該光学的手段に所定の電圧を印加するために該 1 対の基板の一方の基板上に形成された信号線と、を備える表示手段と、

前記一方の基板上に形成された複数の層から形成される多層素子を有し、前記信号線に所定の電圧を供給する駆動手段と、

前記多層素子に所定の電圧を印加するための配線が設けられる領域の少なくとも一部に重なるように充填され、前記 1 対の基板を貼り合わせる結合材と、

から構成されることを特徴とする表示パネル。

【請求項 2】 前記結合材は、前記表示手段及び前記駆動手段の全体を囲むように、該表示手段及び該駆動手段の周囲に充填されている、ことを特徴とする請求項 1 に記載の表示パネル。

【請求項 3】 前記配線には、クロック信号又は定電圧が印加されることを特徴とする請求項 1 又は請求項 2 に記載の表示パネル。

【請求項 4】 前記多層素子は、アクティブ素子である、ことを特徴とする請求項 1 乃至請求項 3 の何れか 1 項に記載の表示パネル。

【請求項 5】 前記結合材は、前記 1 対の基板間を所定距離に保持する距離保持材を含むことを特徴とする請求項 1 乃至請求項 4 の何れか 1 項に記載の表示パネル。

【請求項 6】 1 対の基板と、
前記 1 対の基板間に封入された液晶と、
前記 1 対の基板の一方に設けられた画素電極と、
前記画素電極に接続された画素用トランジスタと、
前記画素用トランジスタに出力信号を供給する駆動用トランジスタと、
前記駆動用トランジスタに電圧を印加するために、前記 1 対の基板の一方に設けられた配線と、
前記 1 対の基板を貼り合わせ、前記配線の少なくとも一部の上に設けられたシール材と、
から構成されることを特徴とする表示パネル。

【請求項 7】 前記配線には、クロック信号又は定電圧が印加されることを特徴とする請求項 6 に記載の表示パネル。

【請求項 8】 前記シール材には、ギャップ材が混在していることを特徴とする請求項 6 又は請求項 7 に記載の表示パネル。

【請求項 9】 前記駆動用トランジスタは、前記画素用トランジスタと同一工程で形成されることを特徴とする請求項 6 乃至請求項 8 の何れか 1 項に記載の表示パネル。

【請求項 10】 前記駆動用トランジスタは、シフトレジスタを構成していることを特徴とする請求項 6 乃至請求項 8 の何れか 1 項に記載の表示パネル。

【請求項 11】 1 対の基板と、
前記 1 対の基板間に封入された液晶と、

*前記 1 対の基板の少なくとも一方に設けられた電極と、
前記液晶を囲み、前記 1 対の基板を貼り合わせたシール材と、
前記シール材に囲まれ前記電極に信号を供給するシフトレジスタを構成するトランジスタと、
から構成されることを特徴とする表示パネル。

【請求項 12】 前記トランジスタは前記 1 対の基板間距離よりも低い高さであることを特徴とする請求項 11 に記載の表示パネル。

【請求項 13】 前記トランジスタに信号を供給する配線は、前記シール材の下方に配置されることを特徴とする請求項 11 又は請求項 12 に記載の表示パネル。

【請求項 14】 前記配線から供給される信号は、前記シフトレジスタの奇数段又は偶数段を構成するトランジスタへのクロック信号を含むことを特徴とする請求項 11 乃至請求項 13 の何れか 1 項に記載の表示パネル。

【請求項 15】 液晶に所定の電圧を印加して画像を表示させるための信号線が形成された表示領域と、該信号線に所定の電圧を供給する駆動回路が形成された回路領域と、を有する第 1 基板上の所定領域に結合材を充填する充填工程と、
前記結合材が充填された前記第 1 基板上に第 2 基板を載置し、圧力を加えることにより該第 1 基板と該第 2 基板とを結合する結合工程と、
を備え、

前記駆動回路は、複数の層から形成される多層素子と、該多層素子に接続され外部からの信号を供給するための配線と、から形成され、
前記結合材は、前記第 1 基板と前記第 2 基板との間を所定距離に保持する距離保持材を含み、
前記結合工程は、前記結合材が、少なくとも前記配線の形成領域の少なくとも一部に重なり且つ前記多層素子に重ならないように前記第 1 基板と前記第 2 基板とを結合する工程を備える、
ことを特徴とする基板結合方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表示パネルに関する。また、本発明は、1 対の基板を結合する方法に関する。

【0002】

【従来の技術】 従来の液晶表示パネルは、図 20 に示すように、1 対の基板間に封入された液晶に所定の電圧を印加することにより画像を表示する。上記 1 対の基板は画像表示領域の周りに充填されたシール材により接着（結合）され、これにより、液晶が 1 対の基板間に封入されている。

【0003】 また、上記シール材は所定サイズのギャップ材を含んでおり、このギャップ材により 1 対の基板間の距離が一定に保たれている。このような液晶表示パネ

ルは、未硬化のシール材を塗布した一方の基板に他方の基板を貼り合わせて押しつけながらシール材を硬化させることにより基板間距離がほぼギャップ材の径にして接合している。

【0004】

【発明が解決しようとする課題】しかし、画像表示用の電圧を液晶に印加するための T F T (Thin Film Transistor) 及び T F T 信号を供給する配線からなる駆動回路が基板のシール材塗布領域の外側に設置されている場合、一方の基板が駆動回路及び配線が設けられる領域の分だけ他方の基板より大きくなり液晶表示パネル自体が多くなってしまうといった問題があった。また、駆動回路が外に剥き出しになるため破壊されやすい構造となっていた。

【0005】これらを解消するために図 21 に示すように液晶表示パネルを小型にするために駆動回路をシール材内部に設けるとシール材中のギャップ材が駆動回路を破壊してしまう場合がある。

【0006】上記駆動回路を構成する素子の中には、複数の層(膜)から形成された多層素子(T F T や容量等)群が存在し、多層素子と多層素子に信号を入力または出力するための配線が複雑に混在していた。このような多層素子は一般に配線と比べても高く突出しているので駆動回路が設けられた基板と対向基板との間では多層素子と対向基板との距離が最も短いため多層素子上にギャップ材が乗り上げると圧着する際に多層素子が破壊されてしまう場合がある。

【0007】また、多層素子の頭頂点が配線と同じ程度の高さに位置したとしても配線は剛性のある金属で形成されているのでギャップ材の押しつけに対して断線しにくい、多層素子は金属の他にシリコン窒化物等の絶縁膜やアモルファスシリコンやポリシリコン等の半導体膜により構成しているため、押しつぶされることにより破壊されやすい。このように、多層素子が破壊されてしまうと、液晶表示パネルは正常に動作することができない。結果として、従来の液晶表示パネルは、高い歩留まりを実現することができない。

【0008】従って、本発明の第 1 の観点は、小型化可能な表示パネルを提供することを目的とする。また、本発明の第 2 の観点は、素子破壊が発生しない構成を有する表示パネルを提供することを目的とする。さらに、本発明の第 3 の観点は、高い歩留まりを実現する小型化可能な基板の結合方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明の第 1 の観点にかかる表示パネルは、1 対の基板間に複数の画素を有する光学的手段と、該光学的手段に所定の電圧を印加するために該 1 対の基板の一方の基板上に形成された信号線と、を備える表示手段と、前記一方の基板上に形成された複数の層から形成される多

層素子を有し、前記信号線に所定の電圧を供給する駆動手段と、前記多層素子に所定の電圧を印加するための配線が設けられる領域の少なくとも一部に重なるように充填され、前記 1 対の基板を貼り合わせる結合材と、から構成されることを特徴とする。この発明によれば、結合材を配線領域の少なくとも一部と重なるのでその分基板面積を縮小できるといった効果をもたらす。

【0010】前記結合材は、前記表示手段及び前記駆動手段の全体を囲むように、該表示手段及び該駆動手段の周囲に充填されていてもよい。

【0011】前記配線には、クロック信号又は定電圧が印加されてもよい。

【0012】前記多層素子は、アクティブ素子であってもよい。

【0013】前記結合材は、前記 1 対の基板間を所定距離に保持する距離保持材を含んでもよい。

【0014】本発明の第 1 の観点にかかる他の表示パネルは、一対の基板と、前記一対の基板間に封入された液晶と、前記一対の基板の一方に設けられた画素電極と、前記画素電極に接続された画素用トランジスタと、前記画素用トランジスタに出力信号を供給する駆動用トランジスタと、前記駆動用トランジスタに電圧を印加するために、前記一対の基板の一方に設けられた配線と、前記一対の基板を貼り合わせ、前記配線の少なくとも一部の上方に設けられたシール材と、から構成されることを特徴とする。

【0015】前記配線には、クロック信号又は定電圧が印加されてもよい。

【0016】前記シール材には、ギャップ材が混在していてもよい。

【0017】前記駆動用トランジスタは、前記画素用トランジスタと同一工程で形成されてもよい。

【0018】前記駆動用トランジスタは、シフトレジスタを構成していてもよい。

【0019】本発明の第 2 の観点にかかる表示パネルは、一対の基板と、前記一対の基板間に封入された液晶と、前記一対の基板の少なくとも一方に設けられた電極と、前記液晶を囲み、前記一対の基板を貼り合わせたシール材と、前記シール材に囲まれ前記電極に信号を供給するシフトレジスタを構成するトランジスタと、から構成されることを特徴とする表示パネル。

【0020】本発明によればシフトレジスタを構成するトランジスタは、液晶とともにシール材により囲まれ保護されているので破壊を防止することができる。

【0021】前記トランジスタは前記一対の基板間距離よりも低い高さであってもよい。

【0022】前記トランジスタに信号を供給する配線は、前記シール材の下方に配置されてもよい。

【0023】前記配線から供給される信号は、前記シフトレジスタの奇数段又は偶数段を構成するトランジスタ

へのクロック信号を含んでもよい。

【0024】本発明の第3の観点にかかる基板結合方法は、液晶に所定の電圧を印加して画像を表示させるための信号線が形成された表示領域と、該信号線に所定の電圧を供給する駆動回路が形成された回路領域と、を有する第1基板上の所定領域に結合材を充填する充填工程と、前記結合材が充填された前記第1基板上に第2基板を載置し、圧力を加えることにより該第1基板と該第2基板とを結合する結合工程と、を備え、前記駆動回路は、複数の層から形成される多層素子と、該多層素子に接続され外部からの信号を供給するための配線と、から形成され、前記結合材は、前記第1基板と前記第2基板との間を所定距離に保持する距離保持材を含み、前記結合工程は、前記結合材が、少なくとも前記配線の形成領域の少なくとも一部に重なり且つ前記多層素子に重ならないように前記第1基板と前記第2基板とを結合する工程を備える、ことを特徴とする。

【0025】本発明によれば、結合工程において、距離保持材が多層素子に接触することがないので破壊を防止し高い歩留まりを実現することができるとともに結合材が配線の形成領域の少なくとも一部に重なるので重なり分だけ基板面積を縮小できる。

【0026】

【発明の実施の形態】次に、本発明の第1の実施の形態にかかる液晶表示パネルについて図面を参照して説明する。

【0027】第1の実施の形態にかかる液晶表示パネルは、例えばアクティブマトリックス駆動型の表示パネルであり、1対の基板間に形成された様々な回路等により構成されている。

【0028】具体的には、図1(a)及び(b)に示すように、画像表示部1、ゲートドライバ2、ドレインドライバ3、及び、シール部4が、TFT基板5とカラーフィルタが設けられた対向基板6との間に形成されている。なお、図1(b)は、図1(a)のA-A'断面図である。

【0029】画像表示部1は、対向基板6上に形成された透明な共通電極11と、TFT基板5上にマトリックス状に形成された複数の画素電極12と、各画素電極12に個別に電圧を印加するためのTFT13と、TFT基板5と対向基板6との間に封入された液晶(光学的手段)54と、から形成されている。

【0030】また、TFT基板5上には、TFT13のゲートに所定の電圧を供給するためのゲートライン(信号線)14が行方向に形成され、TFT13のソースに所定の電圧を供給するためのドレインライン(信号線)15が列方向に形成されている。

【0031】ゲートドライバ2は、TFT基板5上に形成され、画像表示部1のゲートライン14に接続されている。ゲートドライバ2は、例えばシフトレジスタであ

り、トランジスタ(TFT)や容量等のように導電膜及び絶縁膜が積層された多層構造を有する素子(多層素子)、抵抗のように1つの層から形成された単層素子、及び、信号や電源の供給路となる配線等から形成され、TFT13を行毎に順次走査する。具体的には、ゲートドライバ2は、図示せぬ制御回路から供給される制御信号等に従って、ゲートライン14に所定の電圧を供給し、マトリックス状に配置されたTFT13を行毎に順次オンする。

【0032】ドレインドライバ3は、単結晶シリコンからなる集積回路チップでありTFT基板5上に形成され、画像表示部1のドレインライン15に接続されている。ドレインドライバ3は、図示せぬ制御回路から供給される制御信号等に従って、ドレインライン15に所定の電圧を供給する。これにより、行毎に順次導通状態となる上記画素電極12のそれぞれに所定の電圧が印加され、所定の画像が表示される。

【0033】シール部4は、図1(a)に示すように、画像表示部1及びゲートドライバ2を囲むように形成されている。シール部4は、TFT基板5と対向基板6とを結合(接着)させるシール材41から形成され、液晶54を基板間に封止する。また、シール材41は、所定サイズのギャップ材42を複数含んでおり、TFT基板5と対向基板6との間隔を一定に保つ。なお、ギャップ材42のサイズは、TFT基板5と対向基板6との間隔に応じて設定される。

【0034】上記構成の液晶表示パネルを製造する際、TFT基板5と対向基板6との圧着工程で、シール材41に含まれるギャップ材42がゲートドライバ2の多層素子に乗り上げないようにしなければならない。

【0035】ギャップ材42が多層素子上に乗っていると、TFT基板5と対向基板6とを結合する際の圧力により、多層素子が破壊されてしまう場合がある。多層素子の中でも、TFT等のアクティブ素子は、結合時の圧力により層の間隔が変化し、その特性が大きく変化してしまう。従って、多層素子、特にアクティブ素子上にギャップ材42が乗り上げないようにしなければならない。

【0036】例えば、シール材41が充填されたTFT基板5上に対向基板6を載置して圧着する場合、図2(a)及び(b)に示すように、圧着工程によりシール材41(シール部4)の領域が広がる。このため、TFT基板5上にシール材41を充填する際には、図3に示すように、シール材41の充填領域とゲートドライバ2との間にマージン(例えば0.19(mm)程度)を設ける。これにより、上記圧着工程でギャップ材42がゲートドライバ2の多層素子に乗り上げて破壊してしまうことを防止できる。

【0037】なお、TFT基板5上にシール材41を充填する際、上記と同様に、シール材41の充填領域と画

像表示部 1 及びドレインドライバ 3 との間にマージンを設けてもよい。このようにすると、上記圧着工程でギャップ材 42 が画像表示部 1 及びドレインドライバ 3 の回路に乗り上げてしまうことを防止できる。

【0038】以上のように、シール部 4 が画像表示部 1、ゲートドライバ 2、及び、ドレインドライバ 3 に重ならないように形成されているため、ギャップ材 42 が画像表示部 1、ゲートドライバ 2、及び、ドレインドライバ 3 の回路に乗り上げてしまうことがない。即ち、画像表示部 1、ゲートドライバ 2、及び、ドレインドライバ 3 の回路を、上記圧着工程で破損してしまうことを防止できる。これにより、液晶表示パネルの高い歩留まりを実現することができる。

【0039】次に、本発明の第 2 の実施の形態にかかる液晶表示パネルについて図面を参照して説明する。図 4 は、この実施の形態にかかる液晶表示パネルを備えたデジタルスチルカメラの外観を示す斜視図である。図示するように、このデジタルスチルカメラは、カメラ本体部 101 とレンズユニット部 102 とから構成されている。

【0040】カメラ本体部 101 は、その正面に表示部 110 と、モード設定キー 112a とを備える。モード設定キー 112a は、画像を撮影し、後述する画像メモリに記録する撮影モードと、記録された画像を再生する再生モードとの切り換えを行うためのキーである。表示部 110 は、液晶表示装置によって構成され、撮影モード時には撮影前にレンズで捉えている画像を表示する（モニタリングモード）ためのビューファインダとして機能し、再生モード時には記録された画像を表示するためのディスプレイとして機能する。表示部 110 の構成については、詳しく後述する。

【0041】カメラ本体部 101 は、また、その上面に電源キー 111 と、シャッターキー 112b と、「+」キー 112c と、「-」キー 112d と、シリアル入出力端子 113 とを備える。電源キー 111 は、スライド操作することによって、デジタルスチルカメラの電源をオン／オフするためのキーである。

【0042】シャッターキー 112b は、撮影モード時に画像の記録を指示すると共に、再生モード時に選択内容の決定を指示するためのキーである。「+」キー 112c 及び「-」キー 112d は、再生モード時に画像メモリに記録されている画像データから表示部 110 に表示するための画像データを選択したり、記録／再生時の条件設定のために用いられる。シリアル入出力端子 113 は、外部の装置（パーソナルコンピュータ、プリンタなど）との通信を行うためのケーブルを挿入するための端子である。

【0043】レンズユニット部 102 は、撮影すべき画像を結像するレンズを図の背面側に備える。レンズユニット部 102 は、カメラ本体部 101 に結合した軸にを

中心に上下方向に 360° 回転可能に取り付けられている。

【0044】図 5 は、図 4 のデジタルスチルカメラの回路構成を示すブロック図である。図示するように、このデジタルスチルカメラの回路は、表示部 110 と、キー入力部 112a、112b、112c、112d と、マトリクス状に複数の撮像素素が配列され、受光した光の強度によって電荷を蓄積する CCD (Charge Coupled Device) 121 と、サンプルホールド回路 122 と、A/D 変換器 123 と、垂直ドライバ 124 と、タイミングジェネレータ 125 と、カラープロセス回路 126 と、DMA コントローラ 127 と、DRAM 128 と、記録用メモリ 130 と、キー入力部 112a、112b、112c、112d からのコマンドに従ってに格納されたプログラムを実行し、デジタルスチルカメラの各回路部を制御する CPU (Central Processing Unit) 131 と、画像圧縮伸長回路 132 と、VRAM コントローラ 133 と、VRAM 134 と、デジタルビデオエンコーダ 135 と、シリアル入出力端子 113 とを備える。

【0045】撮影モードにおける上記回路の動作状態を説明する。撮影モードには 2 つの動作モードがあり、撮影した画像を表示部 110 にて表示するモニタリングモードと、撮影した画像を画像データとして記録する画像記録モードと、に分けられる。

【0046】モニタリングモードでは、CPU 131 が予め設定された撮像周期毎にタイミングジェネレータ 125 及びカラープロセス回路 126 を制御により CCD 121 を駆動し、CCD 121 は垂直ドライバ 124 から出力された駆動信号 Sp に基づいて撮影した画像の光量に応じて変換された電気信号 Se をサンプルホールド回路 122 に順次出力する。

【0047】サンプルホールド回路 122 は、この電気信号 Se のうちの実効部分 Se' を A/D 変換器 123 に出力する。A/D 変換器 123 は、実効部分 Se' をデジタルデータ Sd に変換してカラープロセス回路 126 に出力し、カラープロセス回路 126 は、デジタルデータ Sd から輝度／色差デジタルデータである YUV データを DMA コントローラ 127 に出力する。DMA コントローラ 127 は、YUV データを DRAM 128 に記録・更新する。

【0048】CPU 131 は、DMA コントローラ 127 から転送された 1 フレーム分の YUV データを DRAM 128 から読み出し、VRAM コントローラ 133 を介して VRAM 134 に書き込む。また、デジタルビデオエンコーダ 135 は、一定周期毎に VRAM コントローラ 133 を介して VRAM 134 より 1 フレーム分の YUV データを線順次で読み出してアナログビデオ信号 Sa を生成し、表示部 110 に出力する。

【0049】シリアル入出力端子 113 は、CPU 131

1が外部機器とデータのシリアル転送を行うための入出力端子である。キー入力部112a、112b、112c、112dは、それぞれカメラ本体部101に配されたモード設定キー112a、シャッターキー112b、「+」キー112c及び「-」キー112dから構成され、これらの各キーからの入力に従ったコマンドをCPU131に投入する。

【0050】以下に、画像記録モードを説明する。まずCCD121がサンプルホールド回路122に電気信号Seを出力し続けている状態で操作者がデジタルスチルカメラのシャッターキー112bを押すことにより、CPU131がタイミングジェネレータ125及びカラープロセス回路126を制御して転送動作が停止される。

【0051】そして、最後に転送された1フレーム分の電気信号Seはモニタリングモードと同様に、サンプルホールド回路122、A/D変換器123、及びカラープロセス回路126を介してYUVデータに変換される。CPU131は、このYUVデータをDMAコントローラ127を介して所定のフォーマットで読み出し、画像圧縮伸長回路132に入力し圧縮させる。圧縮されたデータは、記録用メモリ130で保存される。この保存が終了後、CPU131は、タイミングジェネレータ125及びカラープロセス回路126を再び起動し、モニタリングモードに自動的に戻る。

【0052】再生モードでは、キー入力部112a、112b、112c、112dでの操作に応じて、記録用メモリ130で保存された圧縮データを画像圧縮伸長回路132で伸長し、この圧縮を解凍された1フレーム分のYUVデータを画像圧縮伸長回路132から読み出し、VRAMコントローラ133を介してVRAM134に書き込む。

【0053】VRAM134に書き込まれた1フレーム分のYUVデータは、ビデオエンコーダ135で線順次で読み出して変換され、アナログビデオ信号Saとして表示部110に出力される。また画像記録モードで撮影が終了直後に再生モードに切り替わり、表示部110が撮影した1フレーム分の画像を表示するように設定してもよい。

【0054】図6は、図4、図5の表示部110の構成を示すブロック図である。表示部110は、液晶表示装置によって構成されるもので、クロマ回路211と、位相比較器212と、レベルシフタ213と、液晶コントローラ201と、ゲートドライバ203及びドレインドライバ204を有する液晶パネル202と、を備える。

【0055】モニタリングモード及び画像記録モードのいずれにおいても、クロマ回路211はデジタルビデオエンコーダ135のアナログビデオ信号SaからアナログRGB信号 S_{R1} 、 S_{G1} 、 S_{B1} を生成する。このとき、アナログRGB信号 S_{R1} 、 S_{G1} 、 S_{B1} は、液晶パネル202の視覚特性に合わせてガンマ補正が行

われている。

【0056】レベルシフタ213は、液晶を交流駆動するため、及び明るさを調整するためクロマ回路211で生成されたアナログRGB信号 S_{R1} 、 S_{G1} 、 S_{B1} の極性を1ラインまたは1フレーム毎に反転し、且つ振幅の制御を行い、レベルシフト処理されたアナログRGB信号 S_{R2} 、 S_{G2} 、 S_{B2} を出力する。

【0057】液晶コントローラ201は、発振回路を内蔵し、クロマ回路211がアナログビデオ信号Saから同期分離処理により生成した垂直同期信号VDが入力されることにより垂直方向の同期をとり、水平同期信号HDと位相比較信号CKHによる位相比較器出力によりPLL (Phase Locked Loop) を構成して水平方向の同期をとる。そして、液晶コントローラ201は、極性反転制御用信号CKFをレベルシフタ213に出力し、ドレインドライバ204に制御信号群DCNTを出力し、ゲートドライバ203に制御信号群GCNTを出力する。

【0058】液晶パネル202は、 $m \times n$ 個の画素によって構成されるアクティブマトリクス駆動のものであり、図7に示すように、一対の基板221、241間に液晶（光学的手段）228を封入することによって構成されている。

【0059】液晶パネル202の対向基板221には、クロマ回路211で生成され、ACレベル増幅及びDCレベル増幅されたコモン電圧 V_{COM} (V_{COM} はその値を経時的に変位しても可) が印加されている共通電極226が形成され、液晶パネル202の基板241には、画素に対応する画素電極229とアモルファスシリコンまたはポリシリコンからなる半導体層244を有する薄膜トランジスタ (TFT) 202aとがマトリクス状に配置されており、画素電極の間にはn本のゲートラインGL1~GLnとm本のドレインラインDL1~DLmとがそれぞれ平行に形成されている。そして、ゲートラインGL1~GLnと平行してキャパシタラインCL1~CLnが設けられている。

【0060】対向基板221には、基板241との対向面側に赤、緑、青色の光をそれぞれ透過するカラーフィルタ223が各々画素電極229に対応してマトリクス状に配置され、カラーフィルタ223間には、遮光膜224が配置されている。カラーフィルタ223上及び遮光膜224上全面には、窒化シリコンからなる絶縁膜225が覆われ、さらに絶縁膜226上には、ITOからなる1枚の共通電極226が設けられ、共通電極226上には、ラビング処理され液晶228を所定方向に初期配向させるポリイミドからなる配向膜227が設けられている。

【0061】透明基板241は、ドレインドライバ204が設けられている一辺が対向基板221の対応する辺より突出したガラス等の基板であり、画像表示部217に、マトリクス状に配置された複数の画素電極229

と、ソース電極248が画素電極229に接続された薄膜トランジスタ202aと、が設けられ、素子領域215（多層素子領域）及び配線領域216（非多層素子領域）には、ゲートドライバ203が設けられ、シール材41が画像表示部217及び素子領域215を囲むとともに、配線領域216上に設けられている。ドレインドライバ204は、単結晶シリコンからなる集積回路チップであり液晶228より厚いたためシール材41の外側の基板241上に設けられている。そして対向基板221と基板241の両外面にはそれぞれ偏光板222、23 10 3が設けられている。

【0062】液晶パネル202のTFT202aのゲートはゲートラインGL1～GLnのいずれかに、ドレインはドレインラインDL1～DLmのいずれかに、ソースは画素電極229にそれぞれ接続され、画素容量202bは、画素電極、共通電極間の液晶228で構成される。ドレインラインDLからの表示信号は、選択されているゲートラインGLに対応するTFT202aを介して画素容量202bに書き込まれる。画素容量202bに書き込まれた表示信号に従って液晶の配向状態が制御され、液晶を透過する光の量が変化することによって画像が表示される。

【0063】キャパシタ202cは、キャパシタラインCL1～CLn、それに重なるゲート絶縁膜243及び画素電極229から構成され、キャパシタラインCL1～CLnには、キャパシタ電圧 V_{CS} が常時印加されている。そして全ての共通電極にはライン毎に可変のコモン電圧 V_{COM} が常時印加されている。

【0064】ゲートドライバ203は、n個の段RS（1）～RS（n）から構成され、各段RSは図8に示すように6個の薄膜トランジスタで構成され、液晶コントローラ201から供給される制御信号群GCNT中のクロック信号CK1、CK2及びstart信号INに従って、ゲートラインGL1～GLnのいずれかを順次選択して、アクティブ（オン状態）にする。ここでコントローラからの制御信号GCNTとして、奇数番目の段RS（1）、RS（3）、・・・には、クロック信号CK1が供給されている。偶数番目の段RS（2）、RS（4）、・・・には、クロック信号CK2が供給されている。各段共に、コントローラから定電圧 V_{SS} が供給されている。信号CK1、CK2のハイレベルは+15（V）、ローレベルは-15（V）である。また、定電圧 V_{SS} のレベルは-15（V）である。

【0065】まず図9に示すように、1番目の段RS（1）には、コントローラからスタート信号INが供給される。スタート信号INのハイレベルは+15（V）、ローレベルは-15（V）である。2番目以降の段RS（2）～RS（n）には、それぞれの前段RS（1）～RS（n-1）からの出力信号OUT1～OUTn-1が供給される。さらに、各段RS（k）（k： 50

1～nの整数）には、後ろの段RS（k+1）～の出力信号OUTk+1（但し、最終段RS（n）の場合は1番目の段RS（1）の出力信号OUT1がリセットパルスとして供給される。なお、各段RS（1）～RS（n）の出力信号OUT1～OUTnは、ゲートラインGL1～GLnにそれぞれ出力される。

【0066】各段RS（1）～RS（n）は、上記したように、基本構成として6つのTFT21、22、23、25、26、27を有している。TFT21、22、23、25、26、27は、いずれも基板221、241間距離よりも高さが低いnチャンネルMOS型の電界効果トランジスタで構成され、基板241上にゲート絶縁膜243に窒化シリコンを用い、半導体層244にアモルファスシリコンを用いている。

【0067】各段RS（k）のTFT21のゲート電極及びドレイン電極は互いに前段RS（k-1）のTFT25のソース電極に接続され、TFT21のソース電極は、TFT22のゲート電極、TFT25のゲート電極及びTFT27のドレイン電極に接続されている。TFT22のドレイン電極は、TFT23のソース電極及びTFT26のゲート電極に接続され、TFT22のソース電極、TFT27のソース電極及びTFT26のソース電極には定電圧 V_{SS} が供給されている。

【0068】そして、TFT23のゲート電極及びドレイン電極には定電圧 V_{SS} より高電位の基準電圧 V_{DD} が供給され、奇数段のTFT25のドレイン電極にはクロック信号CK1が供給され、偶数段のTFT25のドレイン電極にはクロック信号CK2が供給され、各段のTFT25のソース電極はTFT26のドレイン電極に接続されている。TFT27のゲート電極には、次段の出力信号OUTk+1が配線255を介し入力される。ここで、1段目以外の奇数番目の段RS（k）を例として、各段RS（1）～RS（n）の機能を説明する。

【0069】TFT21のゲート電極とドレイン電極とは、前の段RS（k-1）からの出力信号OUTk-1が供給される。TFT21は、ハイレベルの出力信号OUTk-1が供給されたときにオンし、この出力信号OUTk-1によりドレイン電極とソース電極との間に電流が流れることによって、TFT21のソース電極とTFT22、25のゲート電極との間の配線261の電圧Vaを上昇させる。

【0070】TFT23のゲート電極とドレイン電極とは、基準電圧 V_{DD} が供給されているので、TFT23は、基準電圧 V_{DD} を分圧する負荷としての機能を有する。

【0071】TFT22は、配線261の電圧Vaがロー電位のときにオフ状態となり、TFT23を介して供給された基準電圧 V_{DD} により配線262の電圧Vbは上昇する。また、TFT22は、配線261に電荷がチャージされているときにオン状態となり、ドレイン電極

とソース電極との間に貫通電流を流させる。ここで、TFT22、23は、いわゆるEE型の構成となっているため、TFT23が完全なオフ抵抗とならないことで配線262に蓄積された電荷が完全にディスチャージされないことがあるが、TFT26の閾値電圧よりも十分に低い電圧となる。

【0072】TFT25のドレイン電極には、信号CK1が供給される。TFT25は、配線261の電圧Vaがハイのとき（すなわち、TFT26がオフ状態のとき）にオン状態となり、入力された信号CK1によりゲート電極とソース電極と並びにそれらの間のゲート絶縁膜からなる寄生容量へのチャージアップや、ゲート電極とドレイン電極と並びにそれらの間のゲート絶縁膜による寄生容量がオン電流によりチャージアップされることにより配線261の電圧Vaが上昇しゲート飽和電圧にまで達するとソースドレイン電流がほぼ飽和するので、出力信号OUTkは、迅速にクロック信号CK1とほぼ同電位となる。TFT25は、また、配線261の電圧Vaがローのとき（すなわち、TFT26がオン状態のとき）にオフ状態となり、ドレイン電極に供給され 20 た信号CK1の出力を遮断する。

【0073】TFT26のドレイン電極には、定電圧Vssが供給される。TFT26は、配線262の電圧Vbがローのとき（すなわち、TFT25がオン状態のとき）にオフ状態となり、TFT25のソース電極から出力された信号のレベルを当該段の出力信号OUTkとして出力させる。TFT26は、また、配線262の電圧Vbがハイのとき（すなわち、TFT25がオフ状態のとき）にオン状態となり、ドレイン電極に供給された定電圧Vssのレベルをソース電極から当該段の出力信号 30 OUTkとして出力させる。

【0074】TFT27のゲート電極には、後ろの段RS(k+1)の出力信号OUTk+1が供給される。TFT27は、ゲート電極に供給される出力信号OUTk+1がハイレベルになったときにオンし、配線261に蓄積された電荷をディスチャージさせる。

【0075】なお、偶数番目の段RS(k)においては、TFT25のドレイン電極にクロック信号CK2が、クロック信号CK1の代わりにコントローラから供給される。また、1番目の段RS(1)においては、TFT21のゲート電極及びドレイン電極にスタート信号INが、前の段の出力信号の代わりにコントローラから供給される。最後の段RS(n)においては、TFT27のゲート電極に1番目の段RS(1)の出力信号OUT1が、供給される。

【0076】シフトレジスタを構成するTFT21、22、23、25、26、27並びに画素TFT202aは、図10に示すように、透明基板241上に形成されたアルミ合金又はクロム合金よりなるゲート電極242と、ゲート電極242上に形成された窒化シリコンより 50

なるゲート絶縁膜243と、ゲート絶縁膜243上にゲート電極242と対向して形成されたアモルファスシリコン又はポリシリコンからなる半導体層244と、半導体層244上に形成された窒化シリコンからなるブロッキング層245と、ブロッキング層245の一端上から半導体層244上に跨って設けられたn型不純物がドーパされたアモルファスシリコンまたはポリシリコンからなるn型半導体層246aと、ブロッキング層245の他端上から半導体層244上に跨って設けられたn型不純物がドーパされたアモルファスシリコンまたはポリシリコンからなるn型半導体層246bと、n型半導体層246a、246b上からゲート絶縁膜243上にわたって形成されたアルミ合金又はクロム合金よりなるドレイン電極247、ソース電極248と、から構成され、全てのTFTは同一材料を同一工程で一括してパターニングされて形成される。そしてゲート絶縁膜243上及びソース、ドレイン電極247、248上を覆うように窒化シリコンからなる層間絶縁膜249が形成され、層間絶縁膜249上及び画素電極229上に配向膜250が形成されている。

【0077】画素TFT202aは、n型半導体層246a、246bとソース、ドレイン電極247、248との間に画素電極229の一端が介在している点のみTFT21～23、25～27と異なる。

【0078】ゲートドライバ203は、図11に示すように、素子領域215（多層素子領域）及び配線領域216（非多層素子領域）に跨って形成されており、素子領域215には、TFT21、22、23、25、26、27から構成される段RS(1)～RS(n)が設けられ、それぞれゲートラインGL1～GLnに選択信号を供給する。段RS(n)の隣には段RS(n)のTFT27のスイッチ用としてRS(n+1)が設けられ、TFT27がオン状態になると段RS(n)のTFT21のソースとTFT25のゲートとの間の電圧をディスチャージする。

【0079】一方、配線領域216には、TFT22、23、25、26、27に適宜、定電圧Vssを供給する第1配線251、クロック信号CK1を供給する第2配線252、クロック信号CK2を供給する第3配線253、基準電圧Vddを供給する第4配線254が設けられている。第1配線251、第2配線252、第3配線253、及び第4配線254はいずれもTFT21、22、23、25、26、27並びにTFT202aのソース、ドレイン電極247、248と同一の金属膜をパターニングすることにより得られており、その上方には層間絶縁膜249及び配向膜250を介してギャップ材42が内部に分散されたシール材41が設けられている。ここで第1配線251、第2配線252、第3配線253、及び第4配線254の頭頂部は、TFT21、22、23、25、26、27並びにTFT202aの

頭頂部よりも低く且つ薄い半導体層244等がないために、基板221と基板241の貼付時に第1配線251、第2配線252、第3配線253、及び第4配線254に力が加わってもギャップ材42に押しつぶされて断線することはなく、TFT21、22、23、25、26、27が素子破壊されることもない。

【0080】このように第1配線251、第2配線252、第3配線253、及び第4配線254の上方にシール材41を設けたので基板241のシール材41の外側の額縁を狭くすることができ、液晶パネル202を小型にすることができる。また、TFT21、22、23、25、26、27は液晶228とともにシール材41と基板221、241により囲まれて保護されているので直接接触することによる素子破壊を防止できる。なお、図12に示すように、素子領域215を配線領域216の外側、すなわちシール材41の外側に設けることも可能であるが、ゲートラインGL1~GLnと第1配線251、第2配線252、第3配線253、及び第4配線254との交差領域で寄生容量が発生してしまうことや、直接接触することによる素子破壊の恐れがある。

【0081】ドレインドライバ204は、シフトレジスタと、レベルシフタと、サンプルホールドバッファと、マルチプレクサとから構成される。ドレインドライバ204のシフトレジスタは、液晶パネル202の水平方向の画素数に対応するm段構成のもので、制御信号群DCNTのうちのクロック信号、反転クロック信号及びスタート信号が入力されてアナログRGB信号のサンプリングを行うためのサンプリング信号を生成する。

【0082】レベルシフタは、サンプリング信号をサンプルホールドバッファの動作レベルに変換するための回路である。マルチプレクサは、制御信号群DCNTのうちの配列信号に基づいてレベルシフタ213からのアナログビデオ信号 S_{R2} 、 S_{G2} 、 S_{B2} を各ラインの画素のRGB配列に応じた順番に整列させて出力する。サンプルホールドバッファは、レベルシフタからのサンプリング信号に基づいてアナログビデオ信号 S_{R2} 、 S_{G2} 、 S_{B2} をバッファで増幅してドレインラインDL1~DLmに出力する。

【0083】以下、この実施の形態にかかるデジタルスチルカメラの動作について、説明する。モード設定キー112aの操作により、デジタルスチルカメラのモードが撮影モード（モニタリングモード及び画像記録モード）に設定されている場合には、レンズによって結像された画像に応じてCCD121の各画素が蓄積した電荷に対応する電気信号Seが垂直ドライバ124から供給される駆動信号に従ってサンプルホールド回路122に順次入力され、実効部分のアナログ電気信号Se'としてA/D変換器123に入力される。アナログ電気信号Se'は、A/D変換器123によりデジタルの画像データSdに変換されてカラープロセス回路126に供給

される。

【0084】カラープロセス回路126はデジタルデータSdから輝度/色差デジタルデータであるYUVデータをDMAコントローラ127に出力し、DMAコントローラ127は、YUVデータをDRAM128に記録・更新する。

【0085】CPU131は、DMAコントローラ127から転送された1フレーム毎のYUVデータをDRAM128から読み出し、VRAMコントローラ133を介してVRAM134に書き込む。

【0086】そして、デジタルビデオエンコーダ135は、一定周期毎にVRAMコントローラ133を介してVRAM134より1フレーム分のYUVデータを線順次で読み出してアナログビデオ信号Saを生成し、表示部110に出力し、表示部110で表示される。ここで、シャッターキー112bが操作されると、CPU131からの指示に従ってCPU131がタイミングジェネレータ125及びカラープロセス回路126を制御して転送動作が停止される。

【0087】そして、最後に転送された1フレーム分の電気信号Seが、サンプルホールド回路122、A/D変換器123、及びカラープロセス回路126を介してYUVデータに変換される。YUVデータは、DMAコントローラ127を介して所定のフォーマットで読み出し、画像圧縮伸長回路132に入力し圧縮され、記録用メモリ130で保存される。

【0088】一方、モード設定キー112aの操作により、デジタルスチルカメラのモードが再生モードに設定されている場合には、CPU131は、「+」キー112cまたは「-」キー112dの操作によって指示された圧縮画像データを記録用メモリ130から読み出し、画像圧縮伸長回路132で伸長され、VRAMコントローラ133の制御によりVRAM134に書き込まれる。この書き込まれたYUVデータは、デジタルビデオエンコーダ135によりアナログ化され、アナログビデオ信号Saとして表示部110に出力される。

【0089】アナログビデオ信号Saはクロマ回路211に入力され、ガンマ補正されたアナログビデオ信号 S_{R1} 、 S_{G1} 、 S_{B1} 、垂直同期信号VD及び水平同期信号HDに分離される。位相比較器212は、クロマ回路211からの水平同期信号HD及び液晶コントローラ201からの位相比較信号CKHにより水平方向のタイミングを測り液晶コントローラ201に出力する。

【0090】液晶コントローラ201は、これらの信号に応じて、ドレインドライバ204に制御信号群DCNTを出力するとともに、ゲートドライバ203に制御信号群GCNTを出力する。液晶コントローラ201からの極性反転制御用信号CKFに基づき、クロマ回路211から出力されたアナログビデオ信号 S_{R1} 、 S_{G1} 、 S_{B1} は、レベルシフタ213で1ラインまたは1フレ

ーム毎に極性反転される。この適宜反転されたアナログビデオ信号 S_{R2} 、 S_{G2} 、 S_{B2} は、制御信号群DCNTに応じてドレインドライバ204に入力される。

【0091】液晶コントローラ201が生成した制御信号群GCNT中のstart信号INがゲートドライバ203に供給されることによって、ゲートドライバ203が動作を開始する。

【0092】液晶コントローラ201からは、クロック信号が順次供給され、このとき、ゲートラインGL1本毎に出力されるスタート信号により各段にサンプリング信号が転送される。転送されたサンプリング信号は、レベルシフタにより動作レベルに変換し、順次出力される。

【0093】アナログビデオ信号 S_{R2} 、 S_{G2} 、 S_{B2} は、マルチプレクサにパラで入力され、制御信号群DCNTのうちの配列信号に基づいて各ラインの画素のRGB配列に応じた順番に整列させて出力される。マルチプレクサから出力されたアナログビデオ信号 S_{R2} 、 S_{G2} 、 S_{B2} は、レベルシフタからのサンプリング信号に応じてサンプルホールドバッファ内で順次サンプリングされ、内部のバッファを介してドレインラインDL1～DLmにパラ出力される。

【0094】ドレインラインDL1～DLmにそれぞれ供給された表示信号は、ゲートドライバ203による選択に従ってオンされているTFT202aを介して画素容量202bに、1水平期間の間で書き込まれる。表示部110は、以上のような動作を繰り返すことによって、液晶パネル202の各画素の画素容量202bに表示信号を書き込んでいく。この表示信号に応じて液晶の配向状態が変化し、「暗」または「明」で各画素が表されている画像が液晶パネル202に表示される。

【0095】上記の実施の形態では、ゲートドライバ203は、各段が基本構成としての6つのTFT21～23、25～27から構成されるものとしていた。しかしながら、ゲートドライバ203は、この構成に限られるものではない。ゲートドライバ203の他の構成例について、図13～図19を参照して説明する。

【0096】図13に示す構成では、ゲートドライバ203の各段(k:1～nの整数)は、基本構成としてのTFT21～23、25～27に加えて、付加構成としてのTFT24を有している。

【0097】TFT24は、ドレイン電極がTFT25のソース電極に接続され、ソース電極には定電圧Vssが供給されている。奇数番目の段RS(1)、RS

(3)、……におけるTFT24のゲート電極には、信号CK1のレベルを反転した信号 $\neg CK1$ ($\neg$ は、論理否定を表す。以下、同じ)が第5配線256を介して供給され、偶数番目の段RS(2)、RS(4)、……におけるTFT24のゲート電極には、信号CK2のレベルを反転した信号 $\neg CK2$ が第6配線257を介して供

給される。

【0098】第5配線256及び第6配線257は、配線251～254と同様にTFT21～23、25～27並びにTFT202aのソース、ドレイン電極247、248と同一の金属膜をパターンニングすることにより得られている。奇数番目の段RS(1)、RS(3)、……におけるTFT25のドレイン電極には、信号CK1が供給され、偶数番目の段RS(2)、RS(4)、……におけるTFT24のドレイン電極には、信号CK2が供給される。

【0099】TFT24は、図14に示すように、信号CK1がハイレベルからローレベルに変化したとき、すなわち信号 $\neg CK1$ がローレベルからハイレベルに変化するとオンし、TFT25のソース電極と接続されているゲートラインGLにチャージされた電荷を強制的に排出させる。つまり、TFT24は、TFT25からゲートラインGLに出力されたハイレベルの出力信号OUTkを迅速に定電圧Vssに下げる機能を有している。このため、出力信号OUTkのハイレベルからローレベルへの立ち下がり鋭敏にすることができる。

【0100】また図15に示すように、付加構成としてのTFT31を設けてもよい。TFT31は、ゲート電極に基準電圧Vddが印加され、ドレイン電極が配線261に接続され、ソース電極に定電圧Vssが供給されている。これにより、TFT31は、配線262のディスチャージとともにオンし、配線261に蓄積される電荷の量を調整して、配線261の電位を安定させるものである。

【0101】図16に示す構成では、図15のTFT31の替わりに抵抗素子32を設けている。抵抗素子32は、十分な大きさの抵抗値を有しており、TFT31と同様に、配線261に蓄積される電荷の量を調整して、配線261の電位を安定させる機能を有している。

【0102】図17、図18に示す構成では、各段RS(k)(k:1～nの整数)においてそれぞれ図15、図16に示す構成にTFT24が付加されている。このため、図11に示すゲートドライバ203の全体構成において、各段RS(1)～RS(n)に信号CK1または信号CK2のレベルを反転した信号 $\neg CK1$ または $\neg CK2$ が適宜供給される。

【0103】ここで、TFT24がなくても動作可能な理由について説明する。TFT25のソース電極から出力される信号CK1(またはCK2)のレベルがローレベルに変化すると、ハイレベル時にドレイン電極に接続された配線に蓄積された電荷が強制的にディスチャージされることはないものの、出力信号OUTkのレベルは、信号CK1のローレベルまで変化することができる。また上述した各実施の形態では、図19に示すように、TFT23の替わりに抵抗素子33を設けてもよい。

【0104】また、上記各実施の形態では、 $n+1$ 番目の段RS($n+1$)の出力信号OUT $n+1$ を n 番目の段RS(n)のTFT27のゲート電極に供給し、これによって n 番目の段RS(n)の配線261の電圧Vaをハイ電位からロー電位にシフトさせていた。しかしながら、液晶コントローラ201からの制御信号GCNTに n 番目の段RS(n)の配線261のディスチャージ用の信号 ϕ を付加し、ハイレベルの出力信号OUT n が出力された後、信号 ϕ により n 番目の段RS(n)のTFT27のゲートをオンし n 番目の段RS(n)の配線261の電極Vaをディスチャージしてもよい。これにより、 $n+1$ 番目の段RS($n+1$)を設けなくても正常に動作することが可能となる。

【0105】また、上記各実施の形態では、図9のタイミングチャートで示したように、1垂直期間が開始するとコントローラからハイレベルのスタート信号INをゲートドライバ203の1番目の段RS(1)に供給するものとしていた。しかしながら、この場合におけるスタート信号INは、 n 番目の段RS(n)から出力される出力信号OUT n と同じである。

【0106】従って、ゲートドライバ203を連続駆動させる場合には、1番最初にインシャルパルスとしてハイレベルのスタート信号INを供給する以外は、 n 番目の段RS(n)からの出力信号OUT n を1番目の段RS(1)のTFT21に供給するものとしてもよい。この場合、一番最初のスタート信号INにより、出力信号OUT n がハイレベルになるが、このタイミングではドレインラインDLにプリチャージ電圧が供給されていないので特に問題ない。

【0107】上記各実施の形態では、ゲートドライバ203にクロック信号や定電圧等が供給される配線251～257が設けられた配線領域216にシール材41を設けたのでゲートドライバ203のTFT21～23、25～27をギャップ材42により損壊する恐れがなく、基板面積を小さくすることができる。上記各実施の形態では、配線251～257上全てにシール材41を設けたが、配線251～257のうち的一本でもシール材41と重なっていれば重なった分だけ、小型化することができる。

【0108】上記各実施の形態では、TFT21～23、25～27が画素TFT202aと実質的に同じ材料、同じ構造で形成されているため、頭頂部が十分低いのでシール材41内部に配置することができる。

【0109】上記単層素子及び配線は、通常、TFT基板5上に形成された導電膜や絶縁膜等を所定の形状にパターンニングすることにより形成される。このため、単層素子や配線上にギャップ材42が乗り上げた状態でTFT基板5と対向基板6とを圧着しても、単層素子や配線が破損してしまうことはない。

【0110】上記構成の液晶表示パネルを製造する際に*

は、第1の実施の形態と同様に、TFT基板5と対向基板6との圧着工程で、ギャップ材42がゲートドライバ203の多層素子(多層素子の中でも特にアクティブ素子)上に乗り上げないようにする。このため、シール材41の充填領域と多層素子領域215との間にマージン(例えば0.19(mm)程度)を設ける。これにより、上記圧着工程でギャップ材42がゲートドライバ203の多層素子上に乗り上げて破壊してしまうことを防止できる。

【0111】また、上記と同様に、ドレインドライバ204を多層素子が形成される多層素子領域と、単層素子及び配線が形成される非多層素子領域とに分け、シール部4をドレインドライバ204の非多層素子領域に重なるように形成してもよい。即ち、画像表示部1、ゲートドライバ2の多層素子領域215、及び、ドレインドライバの多層素子領域の周りを囲むようにシール部4を形成してもよい。このようにしても、上記圧着工程でギャップ材42がドレインドライバ3の回路を破壊してしまうことを防止できる。

【0112】以上のように、シール部4が画像表示部1、ゲートドライバ203の多層素子領域215に重ならないようにそれらの周囲に形成されているため、画像表示部1及びゲートドライバ2の回路が、上記圧着工程でギャップ材42により破損してしまうことを防止できる。これにより、液晶表示パネルの高い歩留まりを実現することができる。

【0113】また、液晶表示パネルは、TFTの組み合わせにより構成される駆動装置を有していれば単純マトリックス駆動型の表示パネルでもよい。この場合も、上記と同様に、少なくとも多層素子の形成領域を除いた領域にギャップ材42を含むシール材41を充填することにより、素子破壊を防止することができる。

【0114】また、上記シール材41は、例えば所定の熱や光を加えることにより固化してTFT基板5と対向基板6とを結合するものであってもよい。

【0115】また、本発明は、光学的手段として液晶に限らず、1対の基板間に様々な回路が形成されている表示パネル(例えばプラズマディスプレイパネル、FED(Field Emission Display)等)に適用可能である。

【0116】

【発明の効果】以上の説明から明らかなように、本発明によって、表示パネルの高い歩留まりを実現することができる。

【図面の簡単な説明】

【図1】第1の実施の形態にかかる液晶表示パネルの構成図である。

【図2】2枚の基板を接着する際の接着材の広がりを示す図である。

【図3】図1に示す液晶表示パネルを製造する際の、シール材の充填領域を示す平面図である。

【図4】液晶表示素子を備えたデジタルスチルカメラを示す斜視図である。

【図5】図4のデジタルスチルカメラの構成を示すブロック図である。

【図6】図5の表示部を示す回路図である。

【図7】第2の実施の形態にかかる液晶表示パネルの構成を示す断面図である。

【図8】ゲートドライバのシフトレジスタの1段を示す回路図である。

【図9】図8に示すシフトレジスタの波形チャートを示す図である。

【図10】シフトレジスタのTFT及び画素TFTを示す断面図である。

【図11】図8に示す液晶表示パネルを製造する際の、シール材の充填領域を示す平面図である。

【図12】図8に示す液晶表示パネルを製造する際の、シール材の他の充填領域を示す平面図である。

【図13】シフトレジスタの他の構成例を示す断面図である。

【図14】図13に示すシフトレジスタの波形チャートを示す図である。

【図15】シフトレジスタの他の構成例を示す断面図で*

*ある。

【図16】シフトレジスタの他の構成例を示す断面図である。

【図17】シフトレジスタの他の構成例を示す断面図である。

【図18】シフトレジスタの他の構成例を示す断面図である。

【図19】シフトレジスタの他の構成例を示す断面図である。

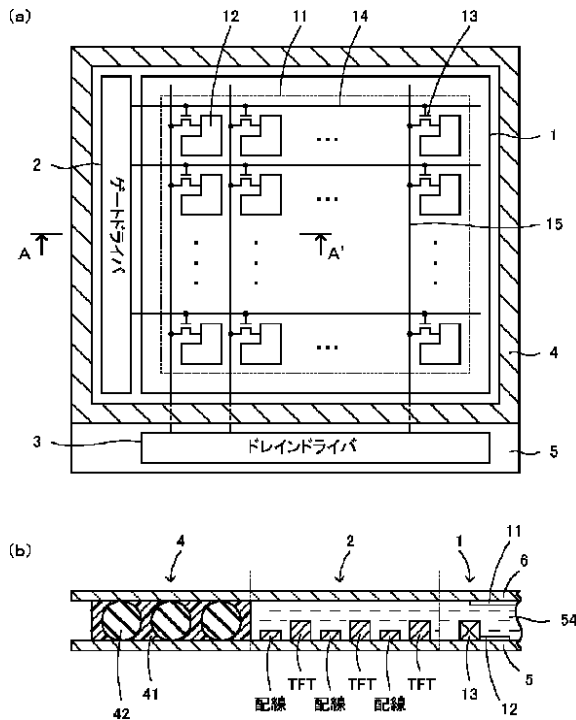
【図20】従来の液晶表示パネルの構成を示す断面図である。

【図21】従来の液晶表示パネルの他の構成例を示す断面図である。

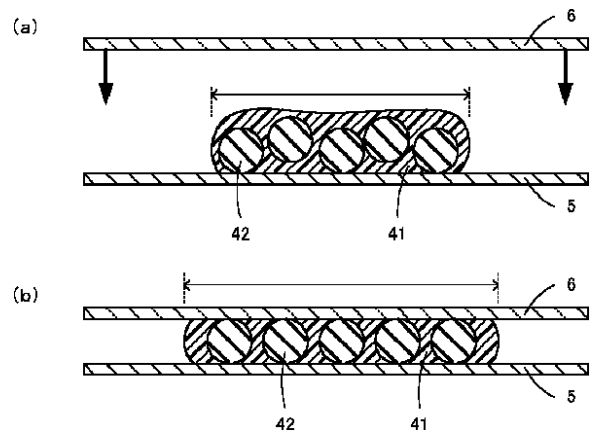
【符号の説明】

1…画像表示部、2…ゲートドライバ、3…ドレインドライバ、4…シール部、5…TFT基板、6…対向基板、11…共通電極、12…画素電極、13…TFT (Thin Film Transistor)、14…ゲートライン、15…ド레인ライン、41…シール材、42…ギャップ材、215…多層素子領域、216…非多層素子領域

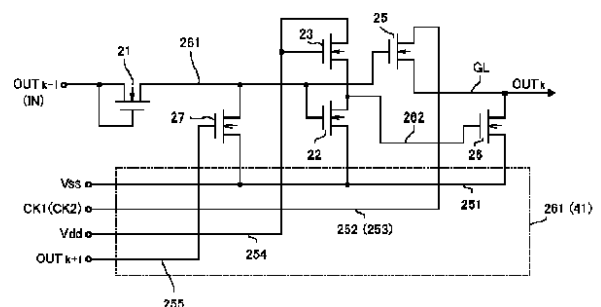
【図1】



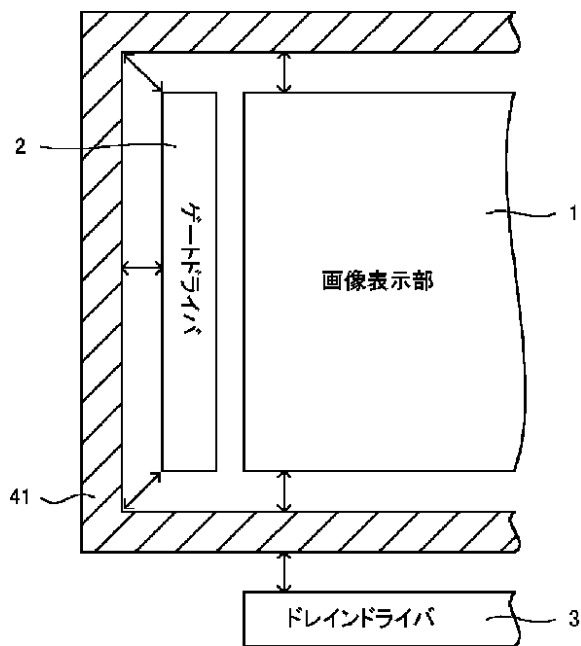
【図2】



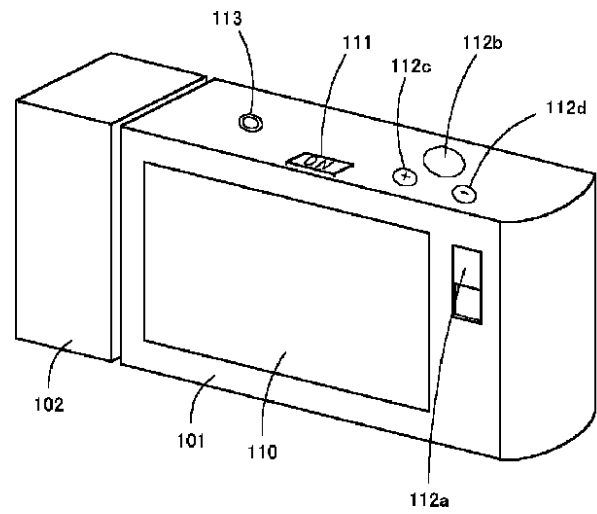
【図8】



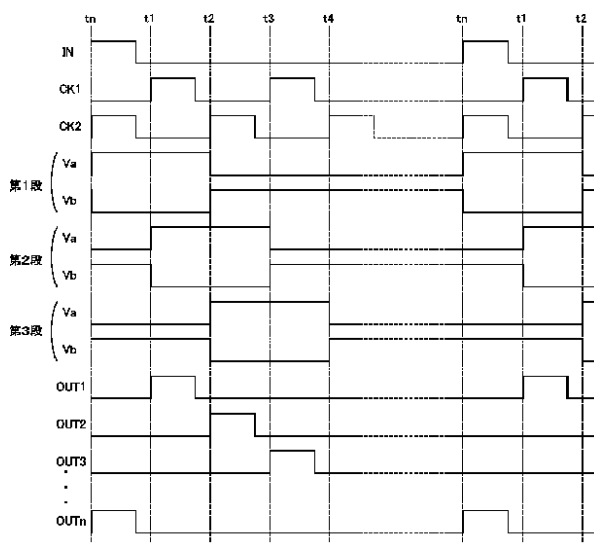
【図3】



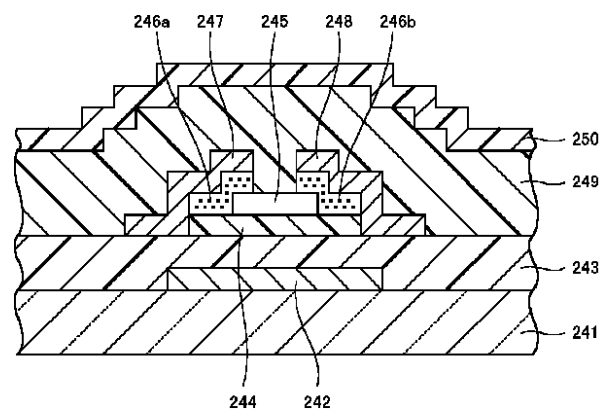
【図4】



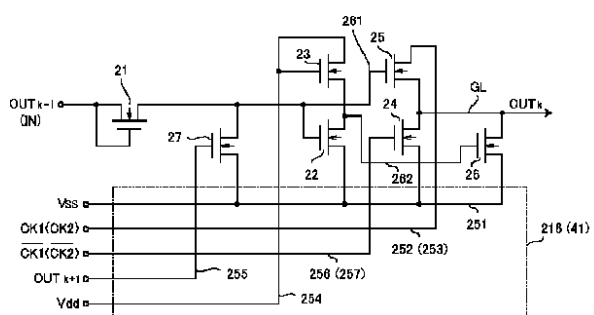
【図9】



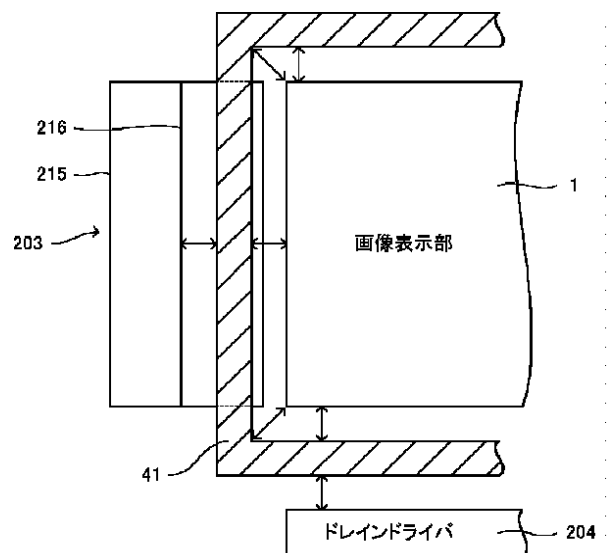
【図10】



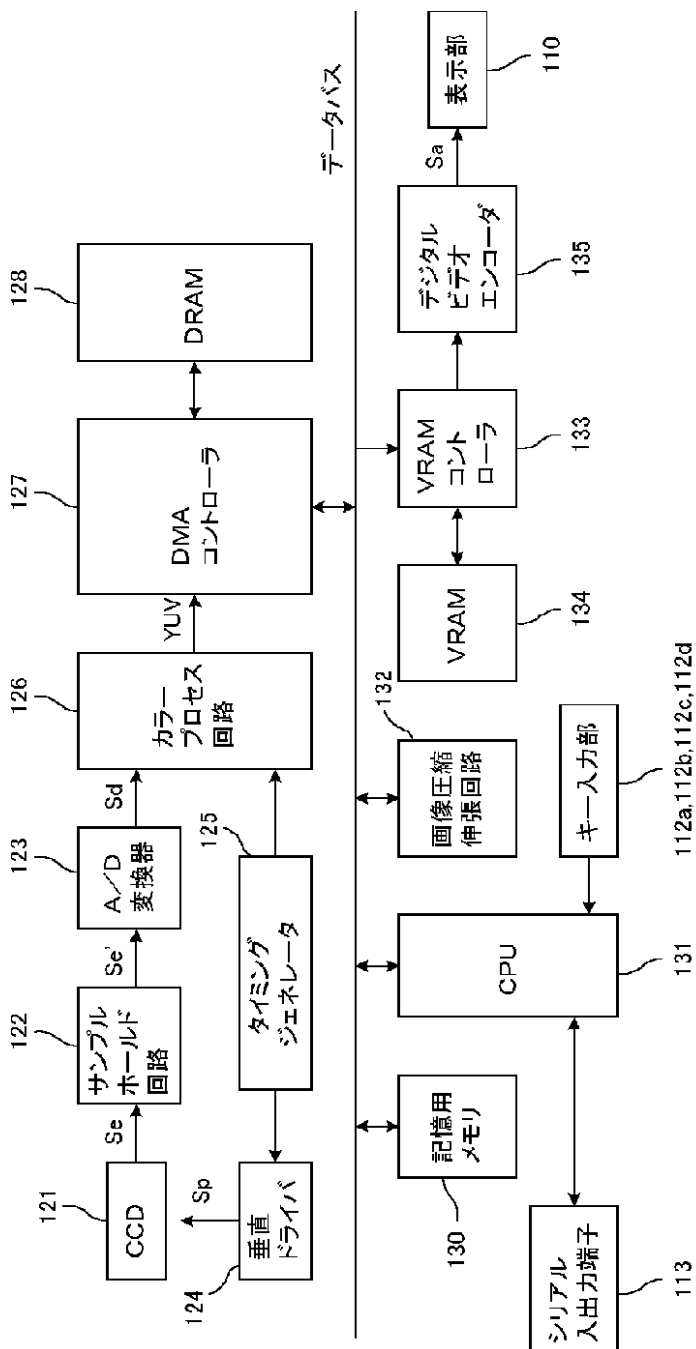
【図13】



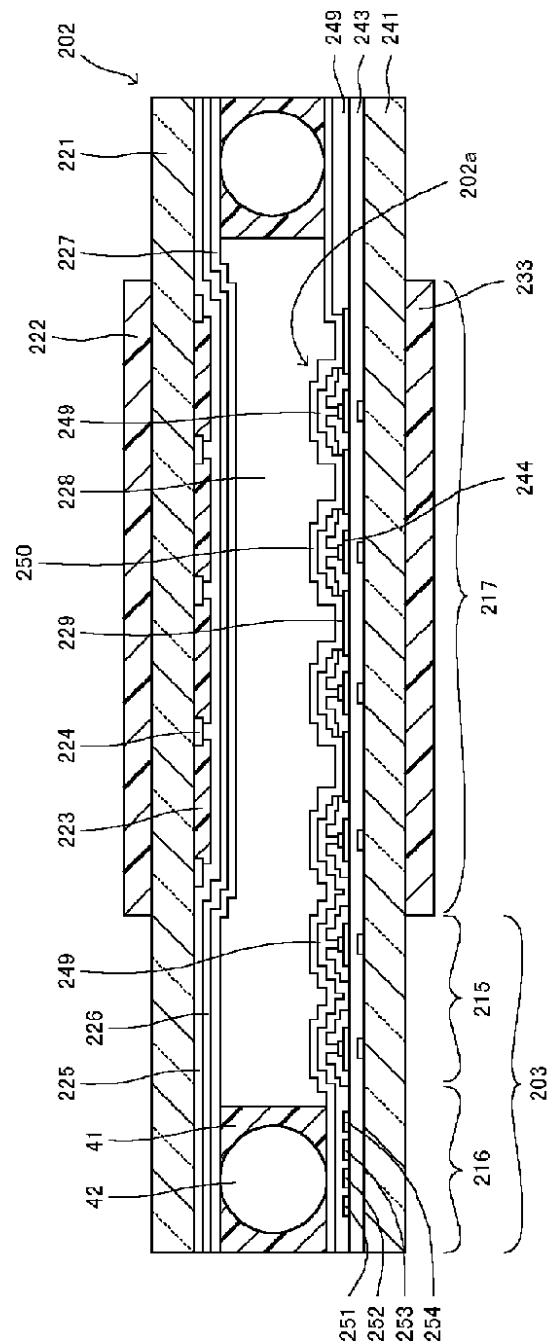
【図12】



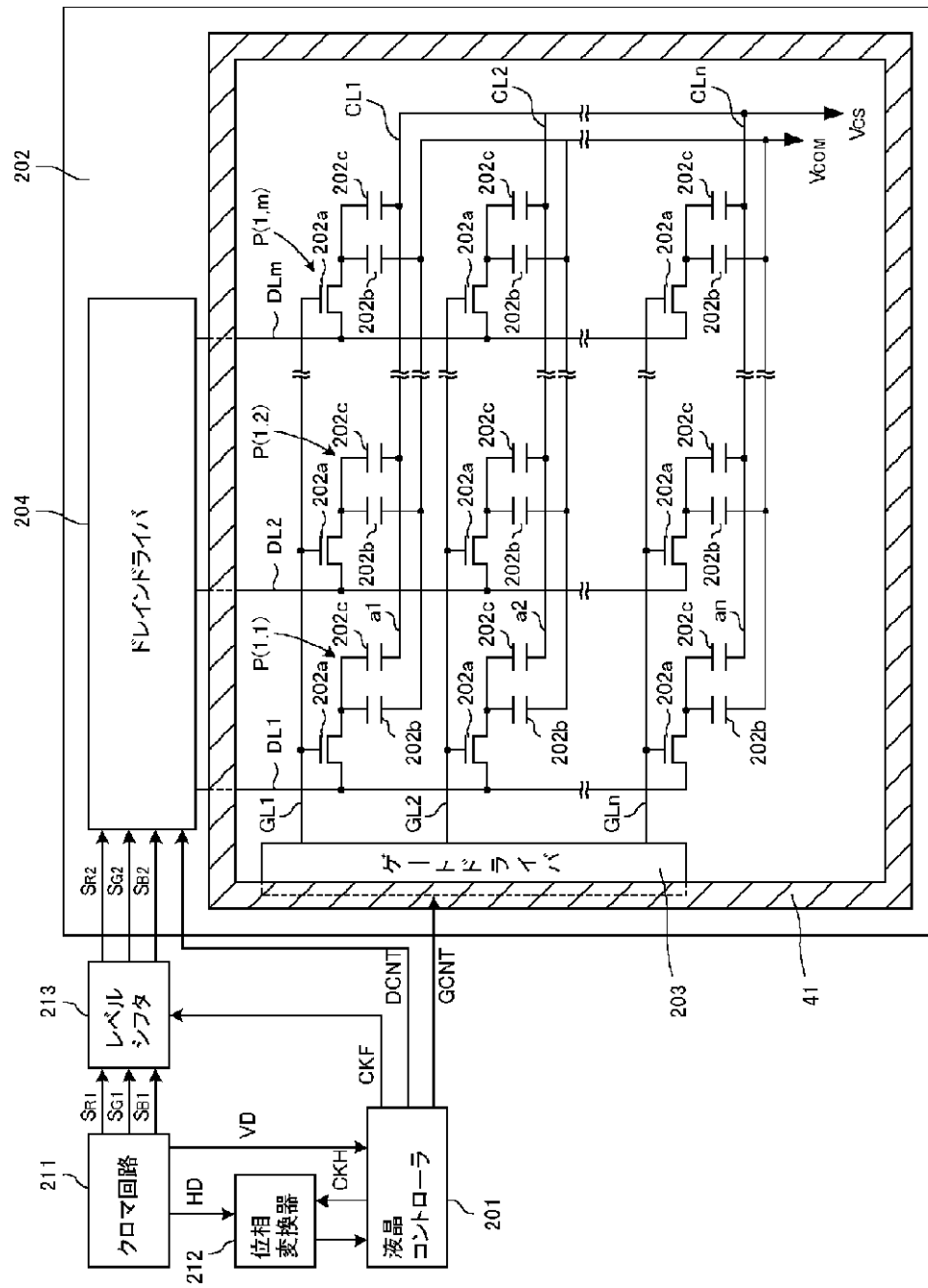
【図5】



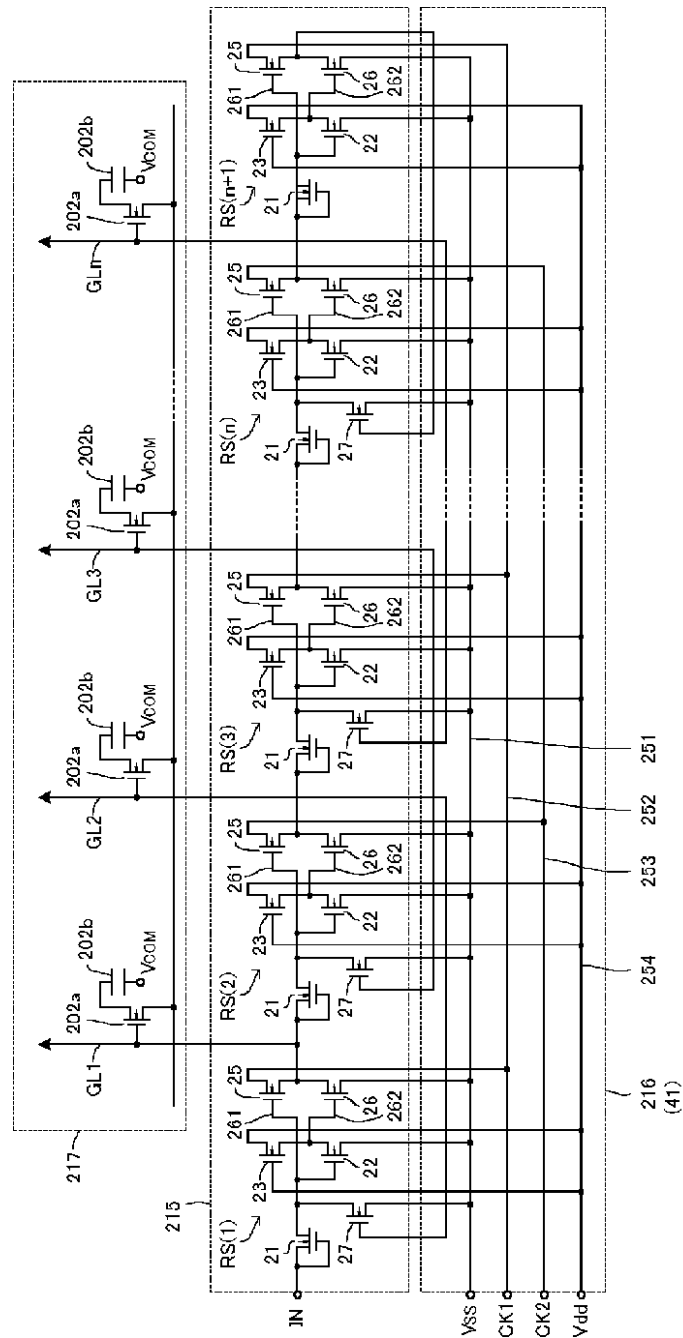
【図7】



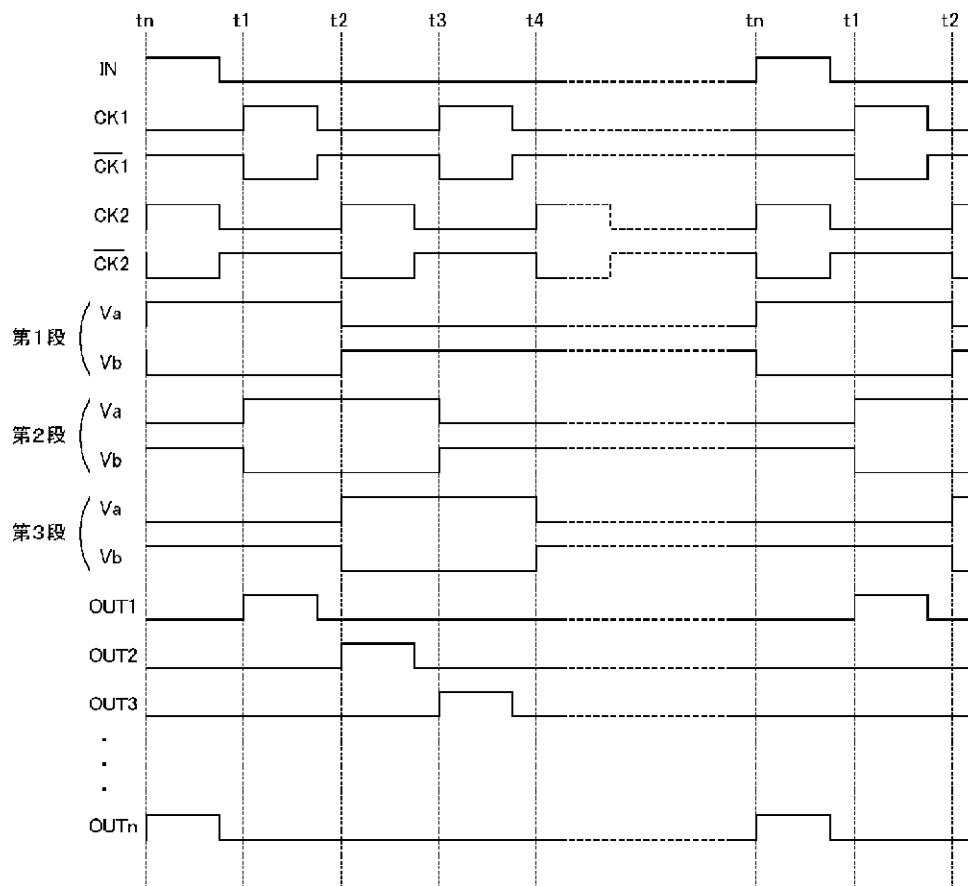
【図6】



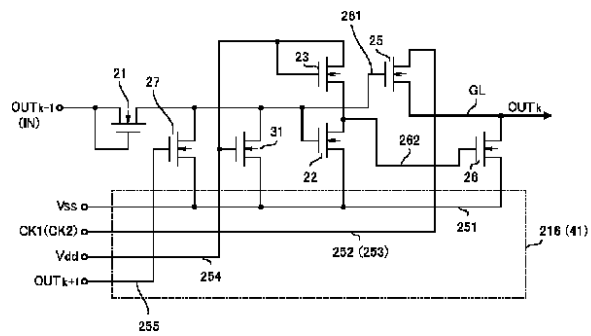
【図 1 1】



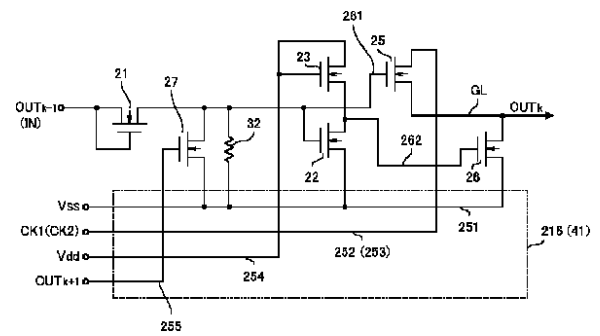
【図14】



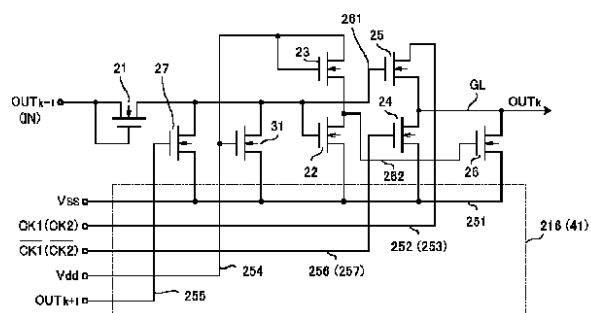
【図15】



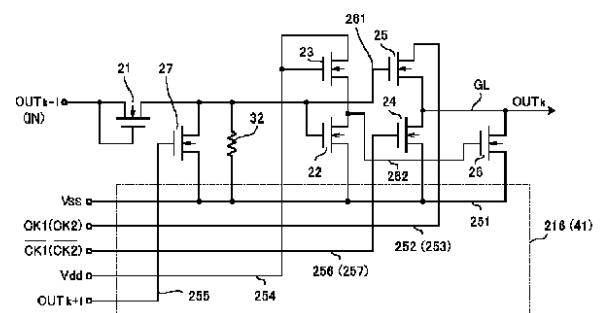
【図16】



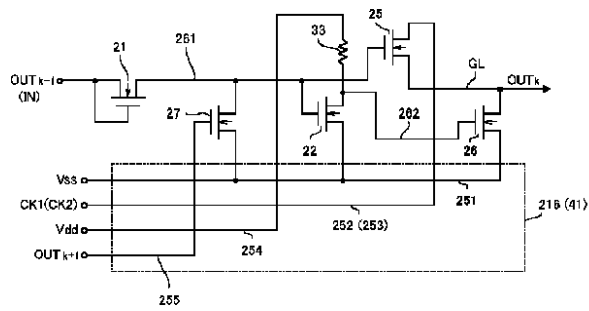
【図17】



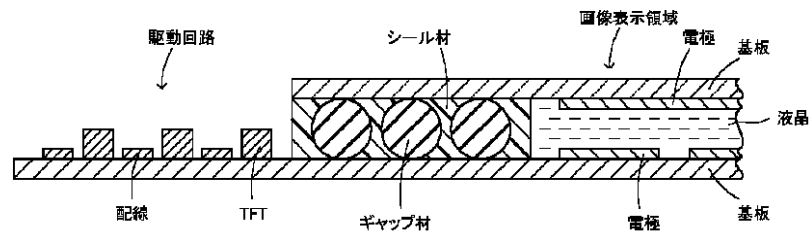
【図18】



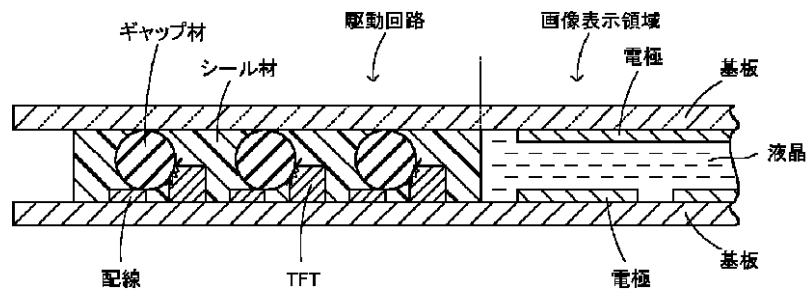
【図19】



【図20】



【図21】



フロントページの続き

(51)Int.Cl.⁷
G 0 9 F 9/00

識別記号
3 4 8

F I
G 0 9 F 9/00

テーマコード^{*} (参考)
3 4 8 C

Fターム(参考) 2H089 LA15 NA48 QA02 QA12 TA09
TA12
2H092 GA59 JA24 JB51 JB56 KB24
NA29 PA04 PA06 PA08
5C094 AA15 AA42 AA43 AA47 AA48
BA03 BA43 CA19 DA09 DA12
DA13 DB01 DB04 EA04 EA07
EB02 EC02 FA01 FB12 FB14
FB15 GA10 GB10
5G435 AA17 AA18 BB12 CC09 EE37
KK05

专利名称(译)	显示面板和基板粘合方法		
公开(公告)号	JP2002196697A	公开(公告)日	2002-07-12
申请号	JP2000396131	申请日	2000-12-26
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	豊島剛 佐々木和広 両澤克彦		
发明人	豊島 剛 佐々木 和広 両澤 克彦		
IPC分类号	G02F1/1339 G02F1/1368 G09F9/00 G09F9/30		
FI分类号	G09F9/30.309 G09F9/30.338 G02F1/1339.505 G02F1/1368 G09F9/00.343 G09F9/00.348.C G09F9/00.343.Z G09F9/00.348.Z G11C19/00 G11C19/00.J G11C19/00.K G11C19/28.D G11C19/28.230		
F-TERM分类号	2H089/LA15 2H089/NA48 2H089/QA02 2H089/QA12 2H089/TA09 2H089/TA12 2H092/GA59 2H092/JA24 2H092/JB51 2H092/JB56 2H092/KB24 2H092/NA29 2H092/PA04 2H092/PA06 2H092/PA08 5C094/AA15 5C094/AA42 5C094/AA43 5C094/AA47 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA12 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EB02 5C094/EC02 5C094/FA01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GA10 5C094/GB10 5G435/AA17 5G435/AA18 5G435/BB12 5G435/CC09 5G435/EE37 5G435/KK05 2H189/AA15 2H189/CA35 2H189/DA03 2H189/DA34 2H189/DA85 2H189/FA52 2H189/FA56 2H189/FA65 2H189/GA51 2H189/HA11 2H189/HA12 2H189/LA08 2H189/LA10 2H192/AA24 2H192/CB05 2H192/DA12 2H192/EA22 2H192/EA43 2H192/FA81 2H192/FB03 2H192/FB27 2H192/FB33 2H192/GA43 2H192/GD22 2H192/GD25 5B074/AA03 5B074/CA01 5B074/DA01 5B074/DB01		
其他公开文献	JP4396031B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示面板，该显示面板的结构不会发生元件破坏。图像显示单元包括：液晶，包围在TFT基板和其对置基板之间；公共电极，用于向液晶施加电压；以及像素电极，用于显示图像。提供。栅极驱动器2和漏极驱动器3形成在TFT基板5和对置基板6之间，并向像素电极12提供电压。密封部4由密封材料41形成，该密封材料41包括使TFT基板5和对置基板6之间的距离保持恒定的间隙材料42，并且TFT基板5和对置基板6彼此接合以包围液晶54。此外，栅极驱动器2具有其中形成具有多层结构的多层元件的多层区域和其中形成除多层元件以外的元件的非多层区域。它形成在图像显示单元1，栅极驱动器2和漏极驱动器3周围。

