

(19)日本国特許庁（J P）

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002－41006

(P2002－41006A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
		611 A	
		611 C	
	622	622 E	

審査請求 未請求 請求項の数 20 O L (全 13数) 最終頁に続く

(21)出願番号 特願2001－90095(P2001－90095)

(22)出願日 平成13年3月27日(2001.3.27)

(31)優先権主張番号 2000P40942

(32)優先日 平成12年7月18日(2000.7.18)

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 朴 鎮浩

大韓民国京畿道水原市勸善区勸善洞1267番

地 碧山漢城アパート812棟306号

(72)発明者 朴 東園

大韓民国京畿道城南市盆唐区金谷洞133番地

チョンソル住公アパート905棟1104号

(72)発明者 權 五宗

大韓民国京畿道水原市八達区池洞367－2

(74)代理人 100095957

弁理士 亀谷 美明 (外2名)

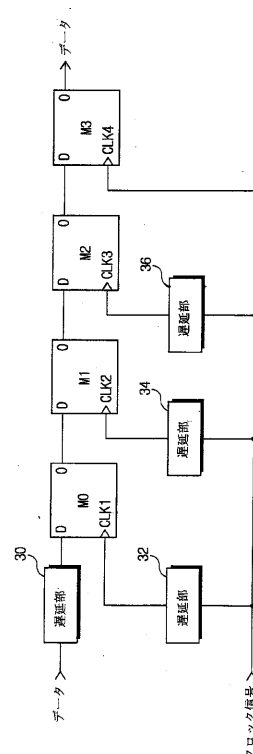
最終頁に続く

(54)【発明の名称】 シフトレジスタを有する液晶表示装置の駆動回路

(57)【要約】

【課題】 電力の瞬間的な過剰供給を回避でき、電磁波障害現象を防止できるシフトレジスタを有する液晶表示装置の駆動回路を提供すること。

【解決手段】 DフリップフロップM0、M1、M2、M3は一列で連結してデータが順次伝達されるように構成し、M0、M1、M2の各クロック信号入力端には遅延部32、34、36を各々連結する。DフリップフロップM3に印加されるクロック信号を基準に、“t”，“2t”，“3t”時間ずつ遅延し、メモリ素子の各Dフリップフロップは互いに時差をおいて動作する。



【特許請求の範囲】

【請求項 1】 m 行 $\times$ n 列のマトリックス状で構成され、データをクロック信号に同期してシフトさせるメモリ素子；前記メモリ素子に印加される前記クロック信号を、データが出力される m 行のメモリ素子から順次遅延させ、前記データが入力される方の行に順次遅延させて印加するクロック信号遅延手段；及び前記データが入力されるメモリ素子に適用されるクロック信号の遅延時間と同様に遅延させて出力するデータ遅延手段を備えることを特徴とするシフトレジスタ。

【請求項 2】 前記クロック信号遅延手段は、 $m-1$ 行、 $m-2$ 行、 $\dots$ 1 行のメモリ素子に前記クロック信号を遅延する遅延部が一对で構成され、前記遅延部は $m-1$ 行、 $m-2$ 行、 $\dots$ 1 行の順に遅延時間を段々大きくして前記クロック信号を出力することを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 3】 前記クロック信号遅延手段の各遅延部は、前記遅延時間を“ t ”，“ $2t$ ”， $\dots$ “($m-1$) t ”の比例関係で段々大きくして出力するように設定されることを特徴とする請求項 2 に記載のシフトレジスタ。

【請求項 4】 m 行 $\times$ n 列のマトリックス状で構成され、データをクロック信号に同期してシフトさせるメモリ素子； n ビットのデータが入力されれば、第 1 スイッチング制御信号によって選択的に反転して、前記メモリ素子をなす第 1 行の各列別メモリ素子に入力する第 1 スイッチング手段；前記メモリ素子にシフトされて第 m 行の各列別に出力される n ビットのデータを、第 2 スイッチング制御信号によって選択的に反転して出力する第 2 スイッチング手段；前記第 1 スイッチング手段に入力される n ビットのデータと前記メモリ素子に含まれた第 1 行の出力データとして、前記第 1 行に含まれた一定数以上のメモリ素子のデータ格納状態変換が発生すれば、それによる第 1 スイッチング制御信号を前記第 1 スイッチング手段に出力しながらフラグ信号を出力する遷移比較部；及び m 個のメモリ素子が一列で構成され、前記遷移比較部から出力されるフラグ信号を前記メモリ素子と同様に同期してシフトさせた後、前記第 2 スイッチング手段に第 2 スイッチング制御信号に出力する遷移比較シフトレジスタを備えることを特徴とするシフトレジスタ。

【請求項 5】 前記第 1 スイッチング手段と前記第 2 スイッチング手段は、前記メモリ素子の各列に一对で対応されるスイッチングロジックが構成され、前記スイッチングロジックは、入力されるデータとそれに対して反転されたデータを前記第 1 スイッチング制御信号と前記第 2 スイッチング制御信号の状態により選択的に出力するように構成されることを特徴とする請求項 4 に記載のシフトレジスタ。

【請求項 6】 前記遷移比較部は、前記第 1 スイッチング手段に入力される n ビットのデータと前記メモリ素子

に含まれた第 1 行の出力データを各列別でエクスクルーシブオア組合わせて出力するエクスクルーシブオアゲート；及び前記エクスクルーシブオアゲートの出力を論理組合わせて、前記メモリ素子に含まれた第 1 行の出力データと入力データの互いに異なる一对が所定数以上であれば、論理的ハイレベルの出力を前記第 1 スイッチング制御信号と前記遷移比較シフトレジスタに印加されるフラグ信号として出力する論理組合わせ部を備えることを特徴とする請求項 4 に記載のシフトレジスタ。

10 【請求項 7】 前記論理組合わせ部で判断される所定数は、前記メモリ素子に含まれた第 1 行をなす数の $1/2$ より大きいことを特徴とする請求項 6 に記載のシフトレジスタ。

【請求項 8】 所定画像供給源から入力される電源と画像信号としてデータ、階調電圧、ゲート電圧及びコラム／スキャン制御信号を生成して液晶パネルを駆動する液晶表示装置の駆動回路において、前記データを処理する各部にシフトレジスタが適用され、前記シフトレジスタは、 m 行 $\times$ n 列のマトリックス状で構成され、前記データをクロック信号に同期してシフトさせるメモリ素子；前記メモリ素子に印加される前記クロック信号を、前記データが出力される m 行のメモリ素子から順次遅延させて、前記データが入力される方の行に順次遅延させて印加するクロック信号遅延手段；及び前記データが入力されるメモリ素子に適用されるクロック信号の遅延時間と同様に遅延させて前記データを出力するデータ遅延手段を備えることを特徴とする液晶表示装置の駆動回路。

20 【請求項 9】 前記クロック信号遅延手段は、 $m-1$ 行、 $m-2$ 行、 $\dots$ 1 行のメモリ素子に前記クロック信号を遅延させる遅延部が一对で構成され、前記遅延部は $m-1$ 行、 $m-2$ 行、 $\dots$ 1 行の順に遅延時間を段々大きくして前記クロック信号を出力することを特徴とする請求項 8 に記載の液晶表示装置の駆動回路。

【請求項 10】 前記クロック信号遅延手段の各遅延部は、前記遅延時間を“ t ”，“ $2t$ ”， $\dots$ “($m-1$) t ”の比例関係で段々大きくして出力するように設定されることを特徴とする請求項 9 に記載の液晶表示装置の駆動回路。

【請求項 11】 前記シフトレジスタはコントローラに構成されることを特徴とする請求項 8 または 9 に記載の液晶表示装置の駆動回路。

【請求項 12】 前記シフトレジスタはコラムドライブ集積回路に構成されることを特徴とする請求項 8 または 9 に記載の液晶表示装置の駆動回路。

【請求項 13】 前記シフトレジスタはスキャンドライブ集積回路に構成されることを特徴とする請求項 8 または 9 に記載の液晶表示装置の駆動回路。

【請求項 14】 所定画像供給源から入力される電源と画像信号としてデータ、階調電圧、ゲート電圧及びコラム／スキャン制御信号を生成して液晶パネルを駆動する

液晶表示装置の駆動回路において、前記データを処理する各部にシフトレジスタが適用され、 m 行 $\times$ n 列のマトリックス状で構成され、前記データをクロック信号に同期してシフトさせるメモリ素子； n ビットのデータが入力されれば、第1スイッチング制御信号によって選択的に反転して、前記メモリ素子をなす第1行の各列別メモリ素子に入力する第1スイッチング手段；前記メモリ素子にシフトされて第 m 行の各列別に出力される n ビットのデータを、第2スイッチング制御信号によって選択的に反転して出力する第2スイッチング手段；前記第1スイッチング手段に入力される n ビットのデータと前記メモリ素子に含まれた第1行の出力データとして、前記第1行に含まれた一定数以上のメモリ素子のデータ格納状態変換が発生すれば、それによる第1スイッチング制御信号を前記第1スイッチング手段として出力しながらフラグ信号を出力する遷移比較部；及び m 個のメモリ素子が一列で構成されて、前記遷移比較部から出力されるフラグ信号を前記メモリ素子と同様に同期してシフトさせた後、前記第2スイッチング手段に第2スイッチング制御信号として出力する遷移比較シフトレジスタを備えることを特徴とするシフトレジスタ。

【請求項15】 前記第1スイッチング手段と前記第2スイッチング手段は、前記メモリ素子の各列に一对一で対応されるスイッチングロジックが構成され、前記スイッチングロジックは、入力されるデータとそれに対して反転されたデータを、前記第1スイッチング制御信号と前記第2スイッチング制御信号の状態によって選択的に出力するように構成されることを特徴とする請求項14に記載のシフトレジスタ。

【請求項16】 前記遷移比較部は、前記第1スイッチング手段に入力される n ビットのデータと前記メモリ素子に含まれた第1行の出力データの各列別でエクスクルーシブオア組合わせて出力するエクスクルーシブオアゲート；及び前記エクスクルーシブオアゲートの出力を論理組合わせて、前記メモリ素子に含まれた第1行の出力データと入力データの互いに異なる一対が所定数以上であれば、論理的ハイレベルの出力を前記第1スイッチング制御信号と前記遷移比較シフトレジスタに印加されるフラグ信号として出力する論理組合わせ部を備えることを特徴とする請求項14または15に記載のシフトレジスタ。

【請求項17】 前記論理組合わせ部で判断される所定数は、前記メモリ素子に含まれた第1行をなす数の $1/2$ より大きいことを特徴とする請求項16に記載のシフトレジスタ。

【請求項18】 前記シフトレジスタはコントローラに構成されることを特徴とする請求項14または15に記載の液晶表示装置の駆動回路。

【請求項19】 前記シフトレジスタはコラムドライブ集積回路に構成されることを特徴とする請求項14また

は15に記載の液晶表示装置の駆動回路。

【請求項20】 前記シフトレジスタはスキンドライブ集積回路に構成されることを特徴とする請求項14または15に記載の液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はシフトレジスタを有する液晶表示装置の駆動回路にかかり、特にメモリ素子別シフト動作の遅延方式またはデータ格納状態の変換予測を通したデータ変換制御方式により、シフトレジスタを構成して瞬間的に電力変化する量を減らすシフトレジスタと、これを採用して瞬間的な電力変化を減らしながら電磁波発生を抑制させる液晶表示装置の駆動回路に関する。

【0002】

【従来の技術】 通常、シフトレジスタはフリップフロップやラッチなどのようなメモリ素子を一列で構成して、入力されたデータを順次メモリ素子間にシフトさせながら一定量のデータを格納する論理回路である。

【0003】 このようなシフトレジスタは、多様な分野でデジタルデータを処理するデジタル回路に多く利用されている。特に、平板ディスプレイ装置として注目される液晶表示装置の電氣的な駆動のために構成されるタイミングコントローラと駆動ドライブ集積回路にシフトレジスタが構成される。この場合、シフトレジスタは同期信号で制御信号を生成したり、データを一定時間遅延させる等の用途に利用される。

【0004】 従来のシフトレジスタは、クロックに同期されてクロックの立ち上がり時点に全体レジスタに格納されたデータが一定の方向に同時に移動し、データは先入先出の原則によってシフトレジスタに対する入力と出力が決定される。

【0005】 具体的には、4ビットのデータを処理するシフトレジスタの場合、データD0、D1、D2、D3が最初入力のものから順次に各メモリ素子別にシフトされながら一方向に移動し、これらのデータシフトはクロックに同期される。そして、出力はD0、D1、D2、D3のように入力順に出力される。

【0006】

【発明が解決しようとする課題】 このような動作においてシフトレジスタは、クロックに同期されると同時に各メモリ素子が動作するため、瞬間的に多量の電流がシフトレジスタを駆動させる論理回路に供給されなければならない。よって、瞬間的な電力消耗が激しく、それによる電磁波が発生して障害要因として作用するという問題点があった。

【0007】 このような現象は、シフトレジスタに格納されたデータの状態変化が激しい場合に特に深刻に発生する。具体的にはメモリ素子がクロック信号に同期したシフト動作を行うため、論理的に“0”または“1”の

状態が変化する時、電力が多く消耗され、このような格納された状態が変化されるべきであるレジスタが多いほど上述した電力消耗とそれによる電磁波障害問題点が深刻になる。

【0008】本発明は、このような問題点に鑑みてなされたもので、その目的とするところは、電力の瞬間的な過剰供給を回避でき、電磁波障害現象を防止できるシフトレジスタを有する液晶表示装置の駆動回路を提供することである。

【0009】

【課題を解決するための手段】前述した課題を達成するために本発明は、 m 行 $\times$ n 列のマトリックス状で構成され、データをクロック信号に同期してシフトさせるメモリ素子；このメモリ素子に印加されるクロック信号を、データが出力される m 行のメモリ素子から順次遅延させ、データが入力される方の行に順次遅延させて印加するクロック信号遅延手段；及び、データが入力されるメモリ素子に適用されるクロック信号の遅延時間と同様に遅延させて出力するデータ遅延手段を備えることを特徴とするシフトレジスタである。

【0010】ここでクロック信号遅延手段は、 $m-1$ 行、 $m-2$ 行、 $\dots$ 1行のメモリ素子にクロック信号を遅延する遅延部が一对一で構成され、遅延部は $m-1$ 行、 $m-2$ 行、 $\dots$ 1行の順に遅延時間を“ t ”、“ $2t$ ”、“ $(m-1)t$ ”の比例関係で段々大きくしてクロック信号を出力することが望ましい。

【0011】また、本発明は m 行 $\times$ n 列のマトリックス状で構成され、データをクロック信号に同期してシフトさせるメモリ素子； n ビットのデータが入力されれば、第1スイッチング制御信号によって選択的に反転して、メモリ素子をなす第1行の各列別メモリ素子に入力する第1スイッチング手段；メモリ素子にシフトされて第 m 行の各列別に出力される n ビットのデータを、第2スイッチング制御信号によって選択的に反転して出力する第2スイッチング手段；第1スイッチング手段に入力される n ビットのデータとメモリ素子に含まれた第1行の出力データとして、第1行に含まれた一定数以上のメモリ素子のデータ格納状態変換が発生すれば、それによる第1スイッチング制御信号を第1スイッチング手段に出力しながらフラグ信号を出力する遷移比較部；及び、 m 個のメモリ素子が一列で構成され、遷移比較部から出力されるフラグ信号をメモリ素子と同様に同期してシフトさせた後、第2スイッチング手段に第2スイッチング制御信号に出力する遷移比較シフトレジスタを備えることを特徴とするシフトレジスタである。

【0012】ここで、第1スイッチング手段と第2スイッチング手段は、メモリ素子の各列に一对一で対応されるスイッチングロジックが構成され、スイッチングロジックは、入力されるデータとそれに対して反転されたデータを第1スイッチング制御信号と第2スイッチング制

御信号の状態により選択的に出力するように構成されるのが望ましい。

【0013】また、遷移比較部は、第1スイッチング手段に入力される n ビットのデータとメモリ素子に含まれた第1行の出力データを各列別でエクスクルーシブオア組合わせて出力するエクスクルーシブオアゲート；及び、エクスクルーシブオアゲートの出力を論理組合わせて、メモリ素子に含まれた第1行の出力データと入力データの互いに異なる一対が所定数以上であれば、論理的ハイレベルの出力を第1スイッチング制御信号と遷移比較シフトレジスタに印加されるフラグ信号として出力する論理組合わせ部を備える。

【0014】この論理組合わせ部で判断される所定数は、メモリ素子に含まれた第1行をなす数の $1/2$ より大きいのがよい。

【0015】また本発明は、所定画像供給源から入力される電源と画像信号としてデータ、階調電圧、ゲート電圧及びコラム／スキャン制御信号を生成して液晶パネルを駆動する液晶表示装置の駆動回路において、データを処理する各部にシフトレジスタが適用され、シフトレジスタは、 m 行 $\times$ n 列のマトリックス状で構成され、データをクロック信号に同期してシフトさせるメモリ素子；メモリ素子に印加されるクロック信号を、データが出力される m 行のメモリ素子から順次遅延させて、データが入力される方の行に順次遅延させて印加するクロック信号遅延手段；及び、データが入力されるメモリ素子に適用されるクロック信号の遅延時間と同様に遅延させてデータを出力するデータ遅延手段を備えることを特徴とする液晶表示装置の駆動回路である。

【0016】ここでクロック信号遅延手段は、 $m-1$ 行、 $m-2$ 行、 $\dots$ 1行のメモリ素子にクロック信号を遅延させる遅延部が一对一で構成され、遅延部は $m-1$ 行、 $m-2$ 行、 $\dots$ 1行の順に遅延時間を“ t ”、“ $2t$ ”、“ $(m-1)t$ ”の比例関係で段々大きくしてクロック信号を出力することが望ましい。

【0017】このシフトレジスタはコントローラ、コラムドライブ集積回路またはスキャンドライブ集積回路の何れか一つ以上に構成されることができる。

【0018】さらに本発明は、所定画像供給源から入力される電源と画像信号としてデータ、階調電圧、ゲート電圧及びコラム／スキャン制御信号を生成して液晶パネルを駆動する液晶表示装置の駆動回路において、データを処理する各部にシフトレジスタが適用され、 m 行 $\times$ n 列のマトリックス状で構成され、データをクロック信号に同期してシフトさせるメモリ素子； n ビットのデータが入力されれば、第1スイッチング制御信号によって選択的に反転して、メモリ素子をなす第1行の各列別メモリ素子に入力する第1スイッチング手段；メモリ素子にシフトされて第 m 行の各列別に出力される n ビットのデータを、第2スイッチング制御信号によって選択的に反

転して出力する第2スイッチング手段；第1スイッチング手段に入力される n ビットのデータとメモリ素子に含まれた第1行の出力データとして、第1行に含まれた一定数以上のメモリ素子のデータ格納状態変換が発生すれば、それによる第1スイッチング制御信号を第1スイッチング手段として出力しながらフラグ信号を出力する遷移比較部；及び m 個のメモリ素子が一列で構成されて、遷移比較部から出力されるフラグ信号をメモリ素子と同様に同期してシフトさせた後、第2スイッチング手段に第2スイッチング制御信号として出力する遷移比較シフトレジスタを備えることを特徴とするシフトレジスタである。

【0019】ここで第1スイッチング手段と第2スイッチング手段は、メモリ素子の各列に一对一で対応されるスイッチングロジックが構成され、スイッチングロジックは、入力されるデータとそれに対して反転されたデータを、第1スイッチング制御信号と第2スイッチング制御信号の状態によって選択的に出力するように構成されるのが望ましい。

【0020】また、この遷移比較部は、第1スイッチング手段に入力される n ビットのデータとメモリ素子に含まれた第1行の出力データの各列別でエクスクルーシブオア組合わせて出力するエクスクルーシブオアゲート；及び、エクスクルーシブオアゲートの出力を論理組合わせて、メモリ素子に含まれた第1行の出力データと入力データの互いに異なる一対が所定数以上であれば、論理的ハイレベルの出力を第1スイッチング制御信号と遷移比較シフトレジスタに印加されるフラグ信号として出力する論理組合わせ部を備える。

【0021】この論理組合わせ部で判断される所定数は、メモリ素子に含まれた第1行をなす数の $1/2$ より大きいのがよい。

【0022】そしてこのシフトレジスタはコントローラ、コラムドライブ集積回路またはスキャンドライブ集積回路の何れか一つ以上に構成されることができる。

【0023】

【発明の実施の形態】以下、添付図面に基づいて、本発明の実施の形態を詳細に説明する。図1は、本発明の一実施例によるシフトレジスタを有する液晶表示装置の駆動回路を示すブロック図である。

【0024】図1の液晶表示装置の駆動回路にはコントローラ10、コラムドライブ集積回路20及びスキャンドライブ集積回路18に各々シフトレジスタが採用される。

【0025】まず、液晶表示装置の駆動回路の構成を見れば、次の通りである。

【0026】複数のビット数を持つカラーデータとコントロール信号は、コンピュータ本体または画像転送装置のような所定画像供給源から転送されてコントローラ10に入力され、直流電源は電源供給部12に提供され

る。

【0027】電源供給部12はコントローラ10、階調発生部14及びゲート電圧発生部16の動作に必要な静電圧を供給するように構成され、ゲート電圧発生部16はスキャンドライブ集積回路18にターンオン／ターンオフ電圧発生のための電圧を供給するように構成され、階調発生部14はコラムドライブ集積回路20に階調電圧を供給するように構成される。

【0028】そして、コントローラ10は内部にロジックで設計されたシフトレジスタを利用してコントロール信号を生成し、データを遅延させながらタイミングフォーマットを決定する。それにより、コントローラ10で出力されるコラムコントロール信号とデータがコラムドライブ集積回路20に分配され出力され、スキャンコントロール信号がスキャンドライブ集積回路18に分配され出力される。

【0029】そして、コラムドライブ集積回路20はデータ、コラムコントロール信号及び階調電圧として、コラム信号を生成して液晶パネル22に印加し、スキャンドライブ集積回路18はスキャンコントロール信号とゲート電圧発生部16で印加される電圧として、スキャン信号を生成して液晶パネル22に印加する。このようにして、液晶パネル22は光学的シャッタ作用を行いながら画像を形成する。

【0030】上述したような構成において、コントローラ10、コラムドライブ集積回路20及びスキャンドライブ集積回路18にはシフトレジスタが内部に含まれて構成され、これに適用されるシフトレジスタ構成の一例は図2のようである。

【0031】図2の実施例は、直列で入力される4ビット分量のデータを格納するためのもので、メモリ素子でDフリップフロップが構成される。

【0032】具体的に、DフリップフロップM0、M1、M2、M3は一列で連結してデータが順次伝達されるように構成され、DフリップフロップM0の入力端には遅延部30が構成され、各DフリップフロップM0、M1、M2のクロック信号入力端CLK1、CLK2、CLK3には互いに異なる遅延時間を持つ遅延部32、34、36が各々連結する。

【0033】ここで、遅延部36は“ t ”の遅延時間が設定され、遅延部34は“ $2t$ ”の遅延時間が設定され、遅延部32は“ $3t$ ”の遅延時間が設定される。

【0034】それにより、クロック信号は、DフリップフロップM3には時間遅延なしにクロック信号入力端CLK4に印加され、DフリップフロップM2には“ t ”時間の間に遅延された後クロック信号入力端CLK3に印加され、DフリップフロップM1には“ $2t$ ”時間の間に遅延された後クロック信号入力端CLK2に印加され、DフリップフロップM0には“ $3t$ ”時間の間に遅

延された後クロック信号入力端CLK1に印加される。そして、データは遅延部30によって“3t”時間の間に遅延された後DフリップフロップM0の入力端に印加される。

【0035】したがって、クロック信号にDフリップフロップM3が最初にクロック信号に同期されてデータを出力し、その後、DフリップフロップM2が“t”時間だけ遅延され同期されて出力するデータがDフリップフロップM3に格納される。

【0036】そして、“t”時間だけ遅延され動作されるDフリップフロップM2は、データが出力された後“t”時間後に同期されて出力されるDフリップフロップM1のデータを格納し、“2t”時間だけ遅延され動作されるDフリップフロップM1は、データが出力された後“t”時間後に同期され出力されるDフリップフロップM0のデータを格納する。最後に、DフリップフロップM0は、遅延部30で3t時間だけ遅延され出力されるクロック信号として、遅延部30を経て“3t”時間遅延されて印加される1ビットのデータを格納する。

【0037】このように、出力側Dフリップフロップから動作されるように設定したことは、Dフリップフロップのデータをまず安定的に出力した後、シフトされ入力されるデータを安全に格納するためである。

【0038】上述したように、各Dフリップフロップに対するクロック信号は、図3のように、DフリップフロップM3に印加されるクロック信号を基準にして、“t”、“2t”、“3t”時間ずつ遅延されてDフリップフロップM2、M1、M0に印加され、DフリップフロップM0に印加されるデータはクロック信号の印加時点と合せるために“3t”時間遅延される。

【0039】それにより、メモリ素子の各Dフリップフロップは互いに時差をおいて動作し、動作に必要な電源を要求する時点が互いに異なるので、シフトレジスタを構成するメモリ素子が同時に動作して多量の電流供給を要求することが発生しない。

【0040】したがって、瞬間的な電力消費量が低減されて瞬間的に多くの電流の供給により発生する電磁波障害現象を低減できる。

【0041】上述した図2及び図3に適用された遅延部を利用したシフトレジスタの構造は、 $m \times n$ 構造にも適用することができる。

【0042】そして、これとは異なり、 $m \times n$ マトリクス構造のシフトレジスタは、図4及び図5のようにシフトされるデータの状態をチェックして遷移場合を最小化させることで、瞬間的な電力消費量を低減しながら電磁波障害現象を低減できる。

【0043】 $m \times n$ 構造の一例として 4×4 構造のシフトレジスタを図4に示す。シフトレジスタをなすメモリ素子としてDフリップフロップM00、M01～M15がマトリクス状で構成される。

【0044】マトリクスの第1列はDフリップフロップM00、M01～M15からなり、第2列はDフリップフロップM04、M05、M06、M07からなり、第3列はDフリップフロップM08、M09、M10、M11からなり、第4列はDフリップフロップM12、M13、M14、M15からなる。

【0045】そして、第1行をなすDフリップフロップM00、M04、M08、M12の入力端にはスイッチングロジック40、42、44、46が各々構成され、スイッチングロジック40、42、44、46は入力されるデータD00、D10、D20、D30をポジティブとネガティブに区分して第1スイッチング制御信号によって選択的に該当Dフリップフロップに出力する。

【0046】そして、第4行をなすDフリップフロップM03、M07、M11、M15の出力端にはスイッチングロジック50、52、54、56が各々構成され、スイッチングロジック50、52、54、56はDフリップフロップM03、M07、M11、M15から出力されるデータをポジティブとネガティブに区分して第2スイッチング制御信号によって選択的に出力データD01、D11、D21、D31に出力する。

【0047】そして、データD00、D10、D20、D30が分周されたデータすなわちデータD02、D12、D22、D32と、第1行をなす各DフリップフロップM00、M04、M08、M12の出力D03、D13、D23、D33とが遷移比較部60に入力されるように構成される。遷移比較部60は入力されたデータを図5のように構成されるロジックプロセスで得た結果を第1スイッチング制御信号として各スイッチングロジック40、42、44、46に印加し、これと同時にフラグ信号としてDフリップフロップMF0の入力端に入力するように構成される。

【0048】そして、フラグ信号のシフトのために、マトリクスの列と同数のDフリップフロップMF0、MF1、MF2、MF3が一つの列で構成される。これらDフリップフロップMF0、MF1、MF2、MF3は遷移比較シフトレジスタである。フラグ信号がこれらDフリップフロップMF0、MF1、MF2、MF3を経てシフトされた後、スイッチングロジック50、52、54、56の第2スイッチング制御信号に入力されるように構成される。

【0049】そして、各DフリップフロップM00、M01～M15、MF0、MF1、MF2、MF3には動作のためのクロック信号CLKが印加されるように構成される。

【0050】上述したように、遷移比較部60は、図5のようにエクスクルーシブオアゲート70、72、74、76と論理組合わせ部80で構成されることができ

【0051】具体的に、エクスクルーシブオアゲート7

0 はデータ D02, D03 の排他的論理和 S0 を求め、
 エクスクルーシブオアゲート 72 はデータ D12, D13
 の排他的論理和 S1 を求め、エクスクルーシブオアゲ
 ート 74 はデータ D22, D23 の排他的論理和 S2 を
 求め、エクスクルーシブオアゲート 76 はデータ D3
 2, D33 の排他的論理和 S3 を求める。

【0052】 論理組合わせ部 80 は、四つのアンドゲ
 ート 82, 84, 86, 88 とこれら出力を論理和するた
 めのオアゲート 90 で構成され、アンドゲート 82 は排
 他的論理和 S0, S1, S2 の積を求め、アンドゲート 84
 は排他的論理和 S0, S1, S3 の積を求め、アンドゲ
 ート 86 は排他的論理和 S0, S2, S3 の積を求
 め、アンドゲート 88 は排他的論理和 S1, S2, S3
 の積を求める。

【0053】 そして、各アンドゲート 82, 84, 8
 6, 88 の出力は、オアゲート 90 で論理和した後、第
 1 スイッチ制御信号とフラグ信号として各スイッチング
 ロジック 40, 42, 44, 46 と D フリップフロップ
 MF0 に各々入力される。

【0054】 上述したように、第 1 行の D フリップフロ
 ップ M00, M04, M08, M12 にデータ “000
 0” が各々格納され、入力されるデータ D00, D1
 0, D20, D30 が “1111” であると仮定する。

【0055】 すれば、クロック信号 CLK が入力されれ
 ば、第 1 行の D フリップフロップ M00, M04, M0
 8, M12 は格納されたデータ “0000” を第 2 行の

D フリップフロップ M01, M05, M09, M13 に
 シフトさせて新しいデータ “1111” を格納すべきで
 ある。しかし、この場合、第 1 行の D フリップフロップ
 M00, M04, M08, M12 は論理的に “0” 状態
 から “1” 状態に変化するのための電流の供給が共に要
 求されることになり、マトリックスをなす D フリップフ
 ロップ全体にこのようなデータ変換がなされれば、相当
 な量の瞬間的な電力供給が要求される。

【0056】 しかし、本発明に係る実施例によって第 1
 行に入力されるデータが分周されたデータ D02, D1
 2, D22, D32 と、第 1 行をなす D フリップフロ
 ップから出力されるデータ D03, D13, D23, D3
 3 とが遷移比較部 60 で比較されて、多量の電力供給が
 要求されるデータ変換が第 1 行で発生されることを抑制
 する。

【0057】 すなわち、エクスクルーシブオアゲート 7
 0 は D フリップフロップ M00 で出力されるデータと入
 力されるデータを比較して、同一であれば論理的に
 “0” を出力し、同一でなければ論理的に “1” を出力
 する。他のエクスクルーシブオアゲート 72, 74, 7
 6 も D フリップフロップ M04, M08, M12 で出力
 されるデータと入力されるデータを比較して、それに従
 う論理的な結果である “0” または “1” を出力する。

【0058】

【表 1】

S 0	S 1	S 2	S 3	アンド ゲート 8 2	アンド ゲート 8 4	アンド ゲート 8 6	アンド ゲート 8 8	アンド ゲート 9 0
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0
0	0	1	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0
0	1	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0
0	1	1	0	0	0	0	0	0
0	1	1	1	0	0	0	1	1
1	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0
1	0	1	0	0	0	0	0	0
1	0	1	1	0	0	1	0	1
1	1	0	0	0	0	0	0	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	0	0	0	1
1	1	1	1	1	1	1	1	1

【0059】このように各エクスクルーシブオアゲート70, 72, 74, 76は、上述した〈表1〉のS0, S1, S2, S3のような出力を持ち、それによるアンドゲート82, 84, 86, 88も〈表1〉による出力を持つ。すなわち、第1列のDフリップフロップD00, D04, D08, D12に入力されるデータと出力されるデータを比較して、三つ以上状態の変化が発生すれば、アンドゲート82, 84, 86, 88は論理的“1”を出力し、それによってオアゲート90は第1スイッチング制御信号とフラグ信号を論理的“1”に出力 10 する。

【0060】スイッチングロジック40, 42, 44, 46は遷移比較部60から第1スイッチング制御信号が、論理的“1”が提供されれば、入力されるデータの状態を反転してDフリップフロップM00, M04, M08, M12に入力する。そして、該当熱に対するデータが変換されたことを認識するためのフラグ信号が遷移比較シフトレジスタをなすDフリップフロップMF0に 20 入力される。MF0に格納されるフラグ信号は第1列のDフリップフロップD00, D04, D08, D12に格納されるデータのようにクロックCLKに同期されシフトされる。

【0061】したがって、列別に三つ以上のDフリップフロップでデータ状態変化が予測されると、入力されるデータを変換させて該当Dフリップフロップに格納さ

せ、それに対するフラグを格納する。よって、フリップフロップのデータ変換の発生は最小限に抑えられ、それに従う瞬間的な電力供給量も低減させて電磁波障害現象が発生するのが抑制される。

【0062】一方、上述したように、格納されたデータとフラグがシフトされると、最後の列のDフリップフロップM03, M07, M11, M15でデータが出力され、フラグ信号は遷移比較シフトレジスタの最後のDフリップフロップMF3で出力される。

【0063】DフリップフロップMF3で出力されたフラグ信号は、第2スイッチング制御信号として各スイッチングロジック50, 52, 54, 56に入力される。

【0064】したがって、スイッチングロジック50, 52, 54, 56は第2スイッチング制御信号のフラグ信号が論理的“1”に印加されると、シフトレジスタの最後の列をなすDフリップフロップM03, M07, M11, M15で出力されるデータを反転してデータD01, D11, D21, D31に出力する。

【0065】結局、前述した場合のように、第1行のDフリップフロップM00, M04, M08, M12にデータが“0000”に格納された状態でデータD00, D10, D20, D30が“1111”に入力されれば、スイッチングロジック40, 42, 44, 46はこれらデータD00, D10, D20, D30の状態を反転して“0000”の状態各DフリップフロップM0

0, M04, M08, M12に入力する。このとき、スイッチングロジック40, 42, 44, 46に印加される第1スイッチング制御信号と共に発生したフラグ信号は遷移比較シフトレジスタのDフリップフロップMF0に格納される。

【0066】これらデータとフラグ信号は、クロック信号に同期されて順次シフトされた後、最後の行のDフリップフロップM03, M07, M11, M15で出力されてスイッチングロジック50, 52, 54, 56に入力されれば、遷移比較シフトレジスタのDフリップフロップMF3で出力される第2スイッチング制御信号により“0000”のデータが元状態のまま“1111”に反転される。

【0067】上述したシフトレジスタが図1のように構成される液晶表示装置のコントローラとコラムドライブ集積回路及びスキन्दライブ集積回路に適用されることができ、それにより遅延または入力データとシフトされるデータをチェックして予測する方法によってコントローラ、コラムドライブ直接回路またはスキन्दライブ集積回路の内部に構成されるシフトレジスタに瞬間的に多量の電力が供給される現象を防止できる。よって、それに従う電磁波障害現象が防止できる。

【0068】以上、添付図面を参照しながら本発明にかかるシフトレジスタを有する液晶表示装置の駆動回路の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかでありそれについても当然に本発明の技術的範囲に属するものと了解される。

【0069】

【発明の効果】以上、詳細に説明したように本発明によれば、電力の瞬間的な過剰供給を回避でき、電磁波障害現象を防止できるシフトレジスタを有する液晶表示装置の駆動回路を提供することができる。

【0070】シフトレジスタに一列で構成される各メモリ素子の動作時点を異に調節することにより、シフトレジスタ動作時に発生する瞬間的な電力変化とそれによる

電磁波障害を低減することができる。所定ビット数のデータを処理するためにマトリクス状で構成される場合にも、シフトレジスタに印加されるデータの遷移状態を予めチェックし、シフトレジスタの動作を低減することで、多数のレジスタが動作して発生する電力消耗と電磁波障害を低減することができる。

【0071】また、平板ディスプレイ装置（例えば液晶表示装置など）に駆動のために実装される部品に構成されるシフトレジスタを改善して、多数のレジスタが同時に動作することを低減することで、それによる電力消耗と電磁波障害問題を低減することができる。

【図面の簡単な説明】

【図1】 本発明による液晶表示装置の駆動回路の好適な実施例を示すブロック図である。

【図2】 本発明による第1実施例としてシフトレジスタを示すブロック図である。

【図3】 図2の動作のためのタイミングチャートである。

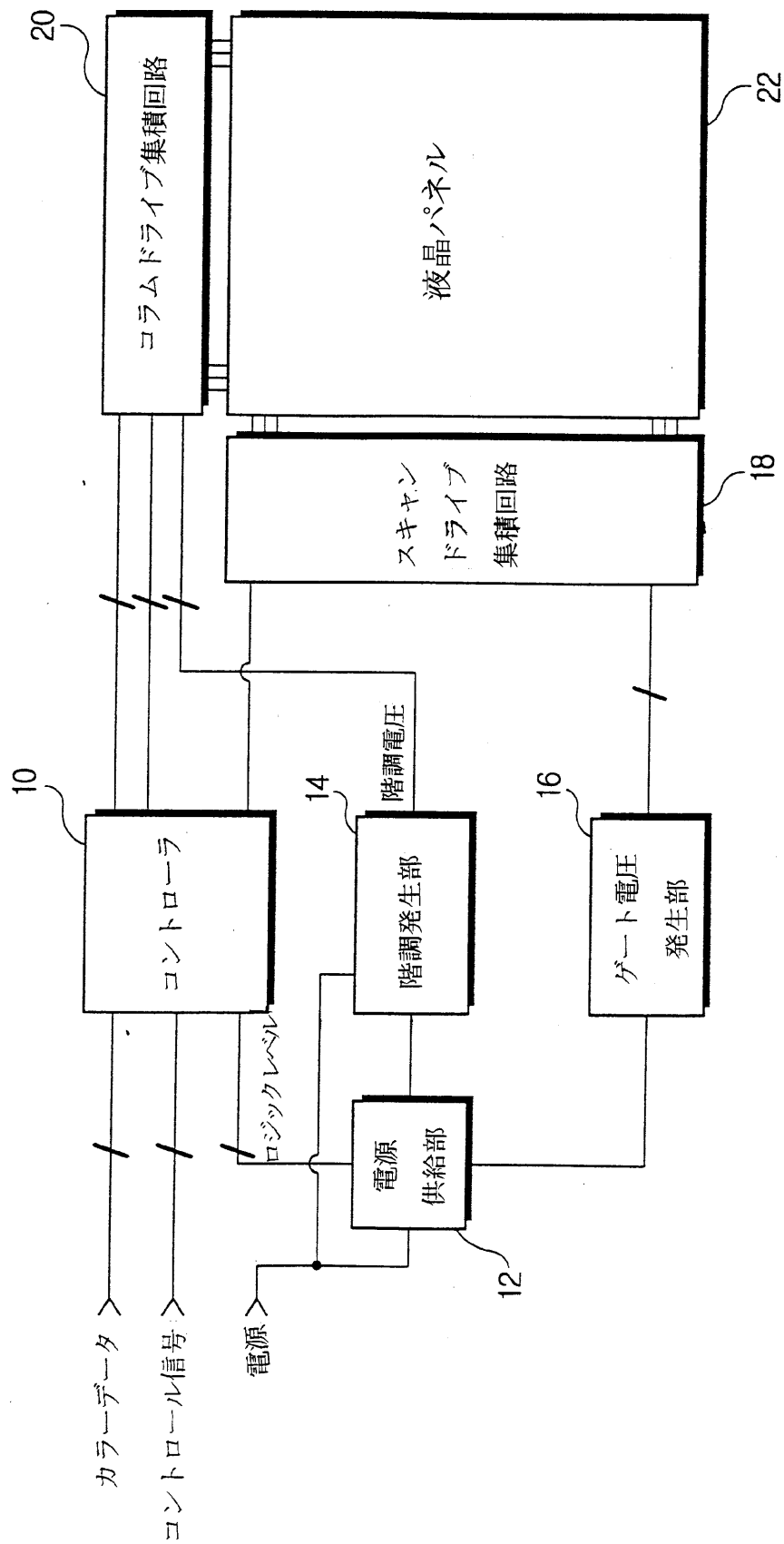
【図4】 本発明による第2実施例としてシフトレジスタを示すブロック図である。

【図5】 図4の遷移比較部の詳細回路図である。

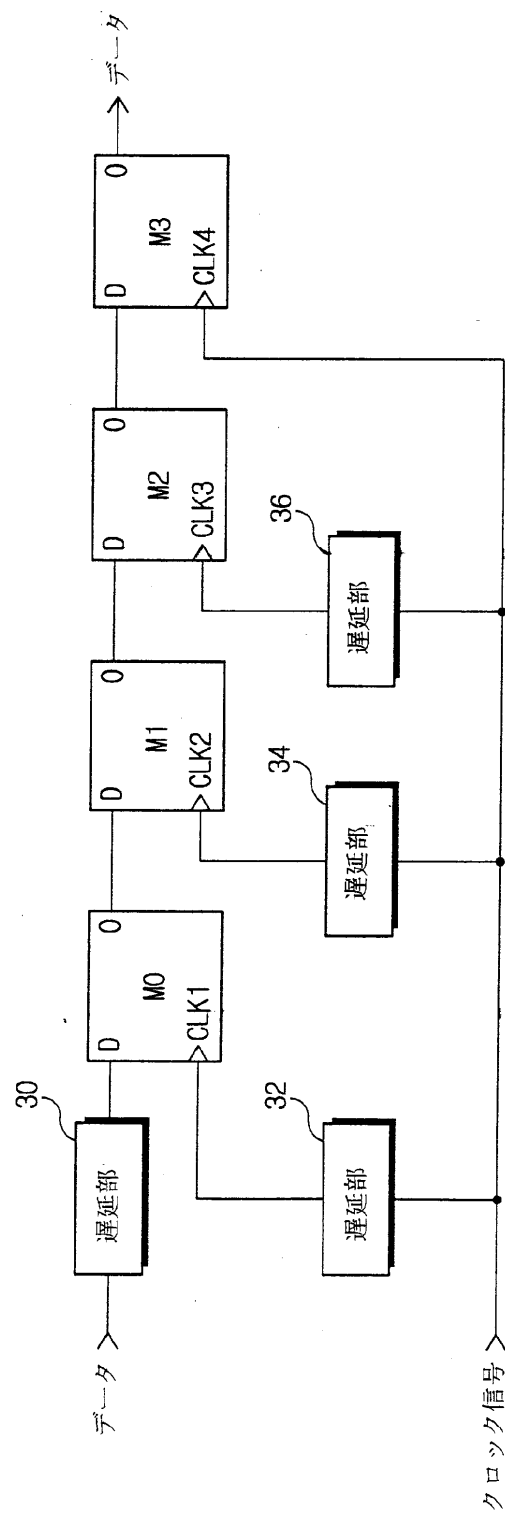
【符号の説明】

- 10 コントローラ
- 12 電源供給部
- 14 階調発生部
- 16 ゲート電圧発生部
- 18 スキन्दライブ集積回路
- 20 コラムドライブ集積回路
- 22 液晶パネル
- 30, 34, 36 遅延部
- 40, 42, 44, 46, 50, 52, 54, 56 スイッチングロジック
- 60 遷移比較部
- 70, 72, 74, 76 エクスクルーシブオアゲート
- 80 論理組合わせ部
- 82, 84, 86, 88 アンドゲート
- 90 オアゲート

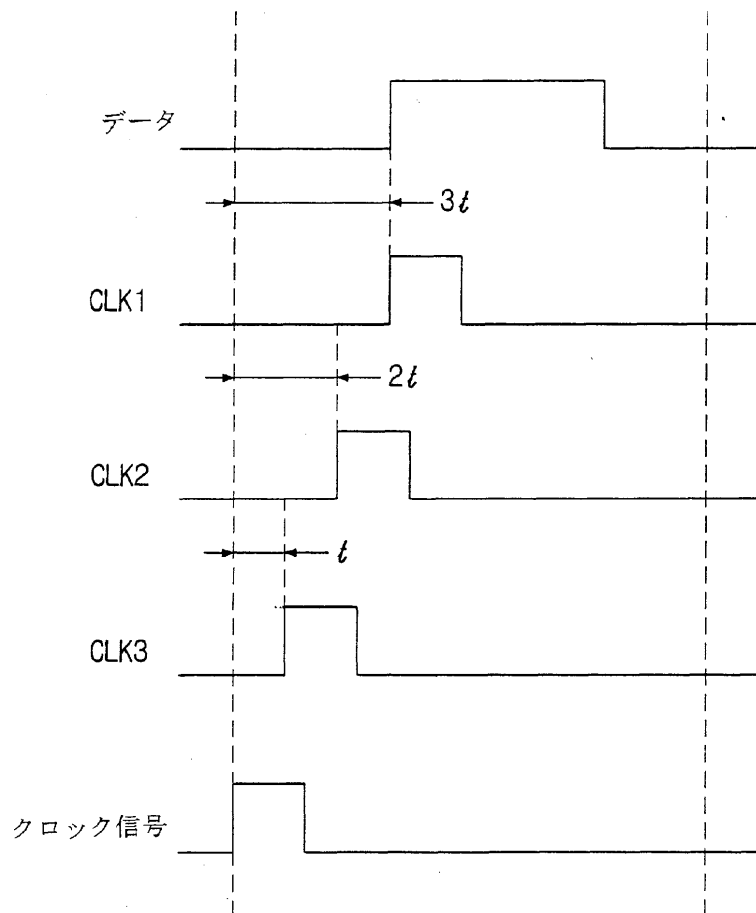
【図1】



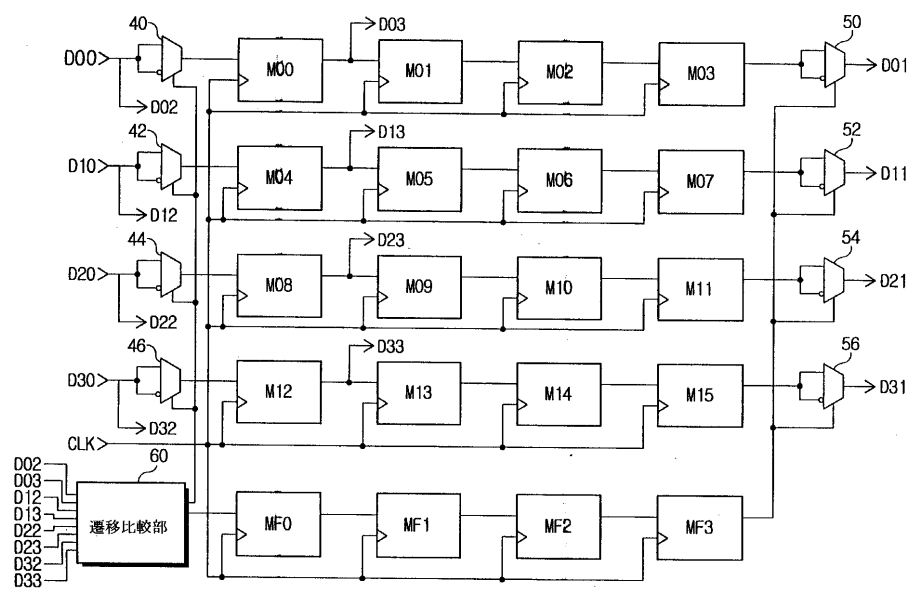
【図2】



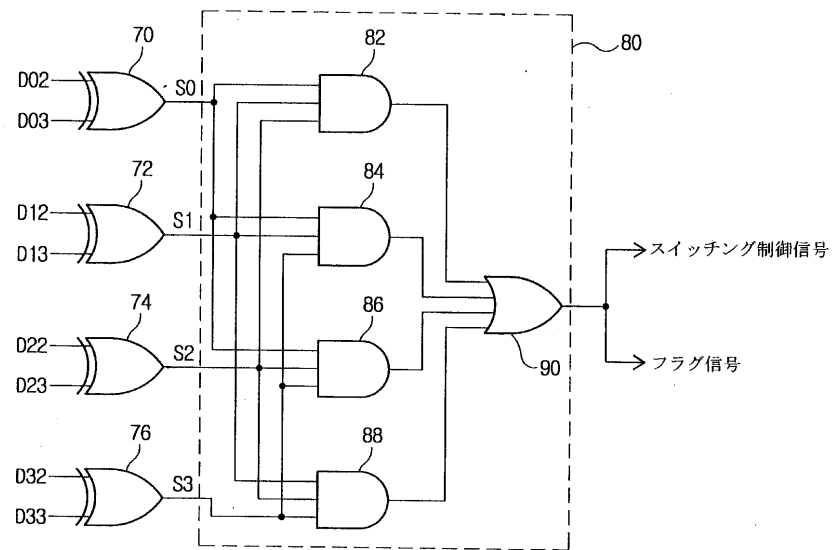
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 H
G 1 1 C 19/00		G 1 1 C 19/00	J

F ターム(参考) 2H093 NC22 NC28 NC90 ND60 NE10
 5C006 AC24 AF69 AF72 BB11 BC16
 BF03 BF26 FA32 FA47
 5C080 AA10 BB05 DD26 DD30 FF07
 JJ02 JJ03 JJ04

专利名称(译)	具有移位寄存器的液晶显示装置的驱动电路		
公开(公告)号	JP2002041006A	公开(公告)日	2002-02-08
申请号	JP2001090095	申请日	2001-03-27
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	朴鎮浩 朴東園 權五宗		
发明人	朴 鎮浩 朴 東園 權 五宗		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G11C19/00		
CPC分类号	G09G3/3685 G09G3/3674 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.A G09G3/20.611.C G09G3/20.622.E G09G3/20.623.H G11C19/00.J G11C19/00 G11C19/00.K		
F-TERM分类号	2H093/NC22 2H093/NC28 2H093/NC90 2H093/ND60 2H093/NE10 5C006/AC24 5C006/AF69 5C006/AF72 5C006/BB11 5C006/BC16 5C006/BF03 5C006/BF26 5C006/FA32 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/DD30 5C080/FF07 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZP20 5B074/AA10 5B074/CA01 5B074/DA01		
优先权	2000P40942 2000-07-18 KR		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种具有移位寄存器的液晶显示装置的驱动电路，该移位寄存器能够避免瞬时的过量电力供应并防止电磁干扰现象。 解决方案：D个触发器M0，M1，M2，M3配置为串联连接，以便顺序传输数据，并且在M0，M1，M2的相应时钟信号输入端提供延迟单元32、34、34。每个连接36个。通过延迟“t”，“2t”，“3t”时间，存储设备的每个D触发器相对于施加到D触发器M3的时钟信号具有时间滞后。

