

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 174850

(P2001 - 174850A)

(43)公開日 平成13年6月29日(2001.6.29)

(51) Int. Cl ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1333 500	2 H 0 9 0
1/1333	500	G 0 9 F 9/30 338	2 H 0 9 2
G 0 9 F 9/30	338	349 C	5 C 0 9 4
	349	G 0 2 F 1/136 500	5 F 0 3 3
H 0 1 L 21/768		H 0 1 L 21/90 A	
審査請求 未請求 請求項の数 24 O L (全 11数)			

(21)出願番号 特願2000 - 234287(P2000 - 234287)

(22)出願日 平成12年8月2日(2000.8.2)

(31)優先権主張番号 09/458726

(32)優先日 平成11年12月13日(1999.12.13)

(33)優先権主張国 米国(US)

(71)出願人 599093591

チャータード・セミコンダクター・マニュ
ファクチャリング・リミテッド
シンガポール国 738406, ストリート 2, ウ
ッドランズ・インダストリアル・パーク
60

(72)発明者 シク・オン・cong

シンガポール国 680215 コア・チュウ・
カン・セントラル, ビーエルケイ 215, ナン
パー 11 - 188

(74)代理人 100089705

弁理士 社本 一夫 (外 5 名)

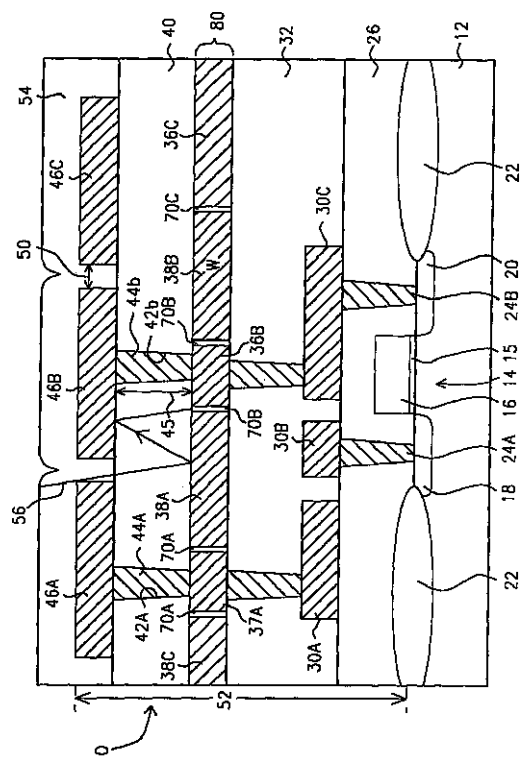
最終頁に続く

(54)【発明の名称】 L C D - オン - シリコンデバイスにおける光の漏洩を低減する方法

(57)【要約】

【課題】 明るい像を提供できる L C D - オン - シリ
コンデバイスを提供する。

【解決手段】 ソースとドレインを有する制御トランジ
スタを有する半導体構造物を準備し; 構造物上に I L D
層を準備し; ソースとドレインに接触する S / D プラグ
を準備し; I L D 層上にあって S / D プラグに接続する
M 1 ラインを形成し; M 1 ライン上に I M D 層を堆積
し、パターニングして M 1 コンタクト開口を形成し; M
1 コンタクト開口内に M 1 メタルプラグを形成し、また
露出した側壁を有し M 1 メタルプラグに接続する M 2
メタルアイランドを形成し; M 2 メタルアイランドの側壁
に側壁スペーサーを形成し; M 2 メタルアイランド上に
M 2 メタライゼーション層を堆積し、平坦化して遮蔽層
を形成し; M 2 メタルアイランド、側壁スペーサー、及
び遮蔽層は遮光層を形成し; 遮光層と I M D 層の上に追
加の誘電体及び導電体の層を形成し; そして L C D ピク
セルをその上に形成する。



【特許請求の範囲】

【請求項1】 a) ソース及びドレインを有する制御トランジスタを内部に有する半導体構造物を準備し；
 b) 上記半導体構造物上にインターレベル誘電体（ILD）層を準備し；
 c) 上記ILD層中のコンタクト開口を通じて上記ソース及びドレインに接触するS/Dプラグを準備し；
 d) 上記ILD層上にあって、少なくとも上記S/Dプラグに接続するM1ラインを形成し；
 e) 上記M1ライン上にM1インターメタル誘電体（IMD）層を堆積し、そしてパターニングして、上記M1メタルラインの少なくともいくつかを露出させるM1コンタクト開口を形成し；
 f) 上記M1コンタクト開口内にM1メタルプラグを形成し、また露出した側壁を有し、少なくとも上記M1メタルプラグに接続するM2メタルアイランドを形成し；
 g) 上記露出したM2メタルアイランドの側壁に側壁スペーサーを形成し；
 h) 上記M2メタルアイランド上にM2メタライゼーション層を堆積し、そして平坦化して、上記側壁スペーサーに隣接し、そして接触する遮蔽層を形成し；上記M2メタルアイランド、側壁スペーサー、及び遮蔽層は遮光層を形成し；
 i) 上記遮光層及び上記M1インターメタル誘電体（IMD）層の上に少なくとも1つの追加の誘電体及び導電体の層を形成し；そして
 j) LCDピクセルをその上に形成する工程を含むLCD-オン-シリコンデバイスの製造方法。

【請求項2】 上記LCDピクセル上にオプティカルインターフェース層を形成する工程を更に含む請求項1の方法。

【請求項3】 上記遮光層は光の大部分が上記制御トランジスタまで上記遮光層を通過することを防止する請求項1の方法。

【請求項4】 上記S/Dメタルプラグ、M1メタルライン、追加の誘電体層はアルミニウム、チタン、タングステン、及びアルミニウム銅合金の群から選ばれた第1メタルから構成され、そして上記M1メタルプラグ、M2メタルアイランド、及びM2メタライゼーション層はチタン、窒化チタン、及びタングステンの群から選ばれた第2メタルから構成される請求項1の方法。

【請求項5】 上記側壁スペーサーの基部は約0.05～0.2μmの幅を有する請求項1の方法。

【請求項6】 上記側壁スペーサーの基部は約0.1μmの幅を有する請求項1の方法。

【請求項7】 上記ILD層及びIMD層は約0.3～2μmの厚さを有する請求項1の方法。

【請求項8】 上記LCDピクセル上にオプティカルインターフェース層を形成する工程を更に含み、上記オプ

ティカルインターフェース層はSiO₂及びSi₃N₄からなる群から選ばれた物質から形成された少なくとも1つのパッシベーション層から成る請求項1の方法。

【請求項9】 上記側壁スペーサーは黒色誘電体及びSiO₂を含む群から選ばれた物質から成る請求項1の方法。

【請求項10】 上記M1IMD層の少なくとも1つ及び上記少なくとも1つの追加のIMD層は黒色誘電体、Si₃N₄、SiO₂、有機重合体、及び光を吸収する染料を添加されるか、或いは添加されない低い誘電率（K）の物質を含む群から選ばれた物質から成る請求項1の方法。

【請求項11】 a) ソース及びドレインを有する制御トランジスタを内部に有する半導体構造物を準備し；
 b) 上記半導体構造物上にインターレベル誘電体（ILD）層を堆積し、そしてパターニングして、上記制御トランジスタのソース及びドレインをそれぞれ露出するS/Dコンタクト開口を形成し；
 c) 上記S/Dコンタクト開口内にS/Dプラグを形成し；
 d) 上記ILD層上にあって、少なくとも上記S/DAlCuプラグに接続するM1AlCuラインを形成し；
 e) 上記M1ライン上にM1インターメタル誘電体（IMD）層を堆積し、そしてパターニングして、上記M1AlCuラインの少なくともいくつかを露出させるM1コンタクト開口を形成し；
 f) 上記M1IMD層上に第1のM2Wメタライゼーション層を堆積し、エッチングし、そして平坦化し、上記M1コンタクト開口を充填し、そして上記M1コンタクト開口内にM1Wプラグを形成し；
 g) 少なくとも上記M1Wプラグに接続するM2Wアイランドを形成し；上記M2Wアイランドは露出した側壁を有しており；
 h) 上記露出したM2Wアイランド側壁上に側壁スペーサーを形成し；
 i) 上記M2Wアイランド上にM2Wメタライゼーション層を堆積し、そして平坦化して、上記側壁スペーサーに隣接し、そして接触するM2Wラインを形成し；上記M2Wアイランド、側壁スペーサー、及びM2Wラインは遮光層を形成し；
 j) 上記遮光層上に少なくとも1つの追加のIMD層を堆積し、そしてパターニングして、上記遮光層メタルアイランド及びラインの少なくともいくつかを露出させる遮光層コンタクト開口を形成し；
 k) 上記遮光層コンタクト開口中に遮光層AlCuプラグを形成し；
 l) 上記遮光層AlCuプラグに接続する上記少なくとも1つの追加のIMD層上にAlCuピクセル電極を形成し；そして
 m) 上記ピクセル電極上にオプティカルインターフェー

ス層を形成する工程を含む LCD - オン - シリコンデバイスの製造方法。

【請求項 12】 上記遮光層は光の大部分が上記制御トランジスタまで上記遮光層を通過することを防止する請求項 11 の方法。

【請求項 13】 上記側壁スペーサーの基部は約 0.05 ~ 0.2 μm の幅を有する請求項 11 の方法。

【請求項 14】 上記側壁スペーサーの基部は約 0.1 μm の幅を有する請求項 11 の方法。

【請求項 15】 上記 ILD 層及び IMD 層は約 0.3 ~ 2 μm の厚さを有する請求項 11 の方法。

【請求項 16】 上記オプティカルインターフェース層は SiO_2 及び Si_3N_4 を含む群から選ばれた物質から形成された少なくとも 1 つのパッシベーション層から成る請求項 11 の方法。

【請求項 17】 上記側壁スペーサーは黒色誘電体及び SiO_2 を含む群から選ばれた物質から成る請求項 11 の方法。

【請求項 18】 上記 M1 IMD 層の少なくとも 1 つ及び上記少なくとも 1 つの追加の IMD 層は黒色誘電体、 Si_3N_4 、 SiO_2 、有機重合体、及び光を吸収する染料を添加されるか、或いは添加されない低い誘電率 (K) の物質を含む群から選ばれた物質から成る請求項 11 の方法。

【請求項 19】 a) ソース及びドレインを有する制御トランジスタを内部に有する半導体構造物を準備し；

b) 上記半導体構造物上にインターレベル誘電体 (ILD) 層を堆積し、そしてパターンニングして、上記制御トランジスタのソース及びドレインをそれぞれ露出する S/D コンタクト開口を形成し；

c) 上記 S/D コンタクト開口内に S/D プラグを形成し；

d) 上記 ILD 層上にあって、少なくとも上記 S/D AlCu プラグに接続する M1 AlCu ラインを形成し；

e) 上記 M1 AlCu ライン上に M1 インターメタル誘電体 (IMD) 層を堆積し、そしてパターンニングして、上記 M1 AlCu ラインの少なくともいくつかを露出させる M1 コンタクト開口を形成し；

f) 上記 M1 IMD 層上に第 1 の M2 W メタライゼーション層を堆積し、エッチングし、そして平坦化し、上記 M1 コンタクト開口を充填し、そして上記 M1 コンタクト開口内に M1 W プラグを形成し；

g) 上記 M1 IMD 層及び上記 M1 W プラグ上に第 2 の M2 W メタライゼーション層を堆積し、エッチングし、そして平坦化して、少なくとも上記 M1 W プラグに接続する M2 W アイランドを形成し；上記 M2 W アイランドは露出した側壁を有しており；

h) 上記露出した M2 W アイランド側壁上に側壁スペーサーを形成し；ここで上記側壁スペーサーの基部は約 0.05 ~ 0.2 μm であり；

* i) 上記 M2 W アイランド上に M2 W メタライゼーション層を堆積し、そして平坦化して、上記側壁スペーサーに隣接し、そして接触する M2 W ラインを形成し；上記 M2 W アイランド、側壁スペーサー、及び M2 W ラインは遮光層を形成し；

j) 上記遮光層上に少なくとも 1 つの追加の IMD 層を堆積し、そしてパターンニングして、上記遮光層メタルアイランド又はラインの少なくともいくつかを露出させる遮光層コンタクト開口を形成し；

k) 上記遮光層コンタクト開口中に遮光層 AlCu プラグを形成し；

l) 上記遮光層 AlCu プラグに接続する上記少なくとも 1 つの追加の IMD 層上に AlCu ピクセル電極を形成し；そして

m) 上記ピクセル電極上にオプティカルインターフェース層を形成し；ここで、上記遮光層は光の大部分が上記制御トランジスタまで上記遮光層を通過することを防止する；工程を含む LCD - オン - シリコンデバイスの製造方法。

【請求項 20】 上記側壁スペーサーの基部は約 0.1 μm の幅を有する請求項 19 の方法。

【請求項 21】 上記 ILD 層及び IMD 層は約 0.3 ~ 2 μm の厚さを有する請求項 19 の方法。

【請求項 22】 上記オプティカルインターフェース層は SiO_2 及び Si_3N_4 を含む群から選ばれた物質から形成された少なくとも 1 つのパッシベーション層から成る請求項 19 の方法。

【請求項 23】 上記側壁スペーサーは黒色誘電体及び SiO_2 を含む群から選ばれた物質から成る請求項 19 の方法。

【請求項 24】 上記 M1 IMD 層の少なくとも 1 つ及び上記少なくとも 1 つの追加の IMD 層は黒色誘電体、 Si_3N_4 、 SiO_2 、有機重合体、及び光を吸収する染料を添加されるか、或いは添加されない低い誘電率 (K) の物質を含む群から選ばれた物質から成る請求項 19 の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LCD 半導体デバイス、特に反射型の LCD - オン - シリコンデバイスに関する。

【0002】

【従来の技術】LCD - オン - シリコンデバイス、又は反射型表示 LCD デバイスは高光度光で照される必要がある。メタルライン / ピクセルの間の隙間を通して漏洩する迷光は底部の、即ち制御のトランジスタを光電効果により機能不全にするであろう。この現象は映像の明るさを制限して、上記底部トランジスタに対する光電効果の危険 / 効果を少なくする。

*50 【0003】小林等の米国特許 No. 5,767,827 は反射

型のアクティブマトリックス LCD 表示パネルの製造に使用されるパッシベーションフィルム CMP 研磨法を記述する。

【0004】Thompson の米国特許 No. 4,203,792 はオプト - アイソレータ、即ち光学的に結合したアイソレータを内蔵するドーム形状の透明ポリマー物質を製造する方法を記述する。この方法は熱硬化が完了する間に所望のドーム形状を維持するように多成分ポリマー物質を初期ゲル化する。拡散反射光に適合するポリマーの不透明体を上記ドーム形状の透明ポリマー物質を包むために使用できる。

【0005】Kwon 等の米国特許 No. 5,926,702 は光の漏洩を防止するために LCD (液晶表示装置) の下方基板の TFT、データバスライン及びゲートバスラインを広く保護する黒色マトリックスを有する TFT (薄膜トランジスタ) アレー基板を製造する方法を記述する。透明な平坦化層が上記黒色マトリックスとピクセル電極 (上記透明平坦化層の上方の) との境界線の近傍の段差の高さを低減するために使用される。これは上記黒色マトリックスとピクセル電極との境界線の近傍に存在する摩擦の問題を低減する。

【0006】Oh 等の米国特許 No. 5,854,663 は液晶表示装置 (LCD) 及びその製造方法を記述し、そこで、黒色マトリックス領域が上記 TFT パネルの表面上に均一に形成される配向層上に形成される。この配向層は摩擦されて規則的な微小溝を形成し、これは光を選択的に透過するために液晶分子を配向させる。上記黒色マトリックスは次いで上記摩擦された配向層上に形成されて、上記黒色マトリックス領域の周囲 1 ~ 2 µm 内の液晶分子の配向が実質的に実施され、その結果、明度比が増大し、そして画質が向上する。

【0007】An 等の米国特許 No. 5,851,411 はそれぞれが内部遮光領域と端部遮光領域を有する第 1 及び第 2 基板を含む LCD 表示装置の製造方法を記述する。上記内部遮光領域と端部遮光領域は共に黒色マトリックスから形成される。

【0008】Kim 等の米国特許 No. 5,850,271 は LCD 装置用のカラーフィルター基板を記述し、これは透明基板上のカラーフィルターをパターニングし、上記基板上にオーバーコート層を選択的に被覆し、そして互いに接続する共通電極と黒色マトリックスを更なる工程を用いることなく形成することにより得られる。上記黒色マトリックスはアルミニウム (Al) 又はクロム (Cr) のような不透明金属から成る。

【0009】Kim 等の米国特許 No. 5,781,254 及び No. 5,784,133 は共に頂部プレート及び底部プレートを有する LCD 及びその製造方法を記述する。上記底部プレートは複数のゲートバスライン及びドレインバスラインを含み、これらは上記ゲート及びドレインバスラインの交点に形成された複数の TFT を有する基板表面上の

マトリックス中に配列される。非導電性黒色樹脂を含む黒色マトリックスパターンが上記ゲート及びドレインバスライン上に、そして上記表示装置の背面照明により生じる光を遮蔽する TFT の上に形成される。保護層がピクセル電極を対応の TFT のドレイン電極に接続するためのコンタクト開口を有する上記黒色マトリックスパターン上に形成される。

【0010】

【発明が解決しようとする課題】従って、本発明の目的は反射型の LCD - オン - シリコンデバイスに与えられる光の強さを増大させることのできる上記 LCD - オン - シリコンデバイス及びその製造方法を提供することである。

【0011】本発明の別の目的はより明るい像を提供できる反射型の LCD - オン - シリコンデバイス及びその製造方法を提供することである。本発明の更に別の目的は映像の最大寸法を増大させることのできる反射型の LCD - オン - シリコンデバイス及びその製造方法を提供することである。

【0012】本発明の更に別の目的は底部の、即ち制御の、トランジスタを迷光から保護する光及び信号の遮蔽層を含む反射型の LCD - オン - シリコンデバイス及びその製造方法を提供することである。

【0013】その他の目的は以下に明らかになるであろう。本発明の上記及びその他の目的は以下のようにして達成されてもよいことが発見された。

【0014】

【課題を解決するための手段】即ち、制御トランジスタを内部に有する半導体構造物を準備する。この制御トランジスタはソース及びドレインを有する。インターレベル誘電体 (ILD) 層を上記半導体構造物上に堆積し、そしてパターニングして上記制御トランジスタのソース及びドレインを露出する S/D コンタクト開口を形成する。S/D メタルプラグを上記 S/D コンタクト開口内に形成する。上記 S/D メタルプラグは第 1 メタルから構成される。M1 メタルラインが上記 ILD 層上に形成されて、少なくとも上記 S/D プラグに接続する。この M1 メタルラインは第 1 メタルから構成される。M1 インターメタル誘電体 (IMD) 層を上記 M1 メタルライン上に堆積し、そしてパターニングして、上記 M1 メタルラインの少なくともいくつかを露出させる M1 コンタクト開口を形成する。上記 M1 IMD 層上に第 1 の M2 W メタライゼーション層を堆積し、エッチングし、そして平坦化し、上記 M1 コンタクト開口を充填し、また上記 M1 コンタクト開口内に M1 W プラグを形成し、また少なくとも上記 M1 W プラグに接続し、そして一体化する M2 W アイランドを形成する。上記 M2 アイランドは露出した側壁を有する。上記露出した M2 メタルアイランド側壁上に側壁スペーサーを形成する。上記 M2 メタライゼーション層上に第 2 M2 メタライゼーション層を

堆積し、そして平坦化して、上記M2メタルアイランドの上記側壁スペーサーに隣接し、そして接触するM2Wラインを形成する。上記M2アイランド、M2メタルアイランド側壁スペーサー、及びM2メタルラインは遮光層を形成する。上記M1メタルプラグ、M2メタルアイランド、及びM2メタルラインは第2メタルから構成される。上記遮光層上に少なくとも1つの追加のIMD層を堆積し、そしてパターンニングして、上記遮光層メタルアイランド又はラインの少なくともいくつかを露出させる遮光層コンタクト開口を形成する。上記遮光層コンタクト開口中に遮光層メタルプラグを形成する。ピクセル電極を上記少なくとも1つの追加のIMD層上に形成し、そして上記遮光層メタルプラグに接続する。上記ピクセル電極上にオプティカルインターフェース層を形成する。上記M1IMD層及び少なくとも1つの追加のIMD層は黒色誘電体を含んでもよい。

【0015】本発明に従うLCD-オン-シリコンデバイスを形成する方法の特徴と利点は添付の図面と共に以下の記述からより明確に理解できるであろう。図面において、類似の参照番号は類似又は対応する要素、領域、及び部分を示す。

【0016】本発明者が知っている（従来技術としては知られておらず、そして本発明ではない）オリジナル構造のLCD-オン-シリコンデバイス110を図1に示す。半導体構造物112はその内部に形成された制御トランジスタ114を有する。制御トランジスタ114は下側のゲート酸化物115、ソース118及びドレイン120を有するゲート導体116を含む。浅いトレンチアイソレーション(STI)領域122は制御トランジスタ114を隣接する半導体デバイス(図示せず)から隔離する。

【0017】タングステン(W)S/Dプラグ124A, 124Bをインターレベル誘電体(ILD)層126の中のS/Dコンタクト開口128A, 124Bの中にそれぞれ形成して、制御トランジスタ114のソース118及びドレイン120にそれぞれ接続する。WS/Dプラグ124A, 124Bは、例えば、125で示すように約0.5µmの高さを有する。ILD層126はSiO₂、Si₃N₄、有機重合体、アルミニウム(Al)又はアルミニウム銅シリコン合金(AlCuSi)から構成されてもよい。

【0018】アルミニウム銅合金(AlCu)M1メタルライン130A, 130B, 及び130CをILD層126上に形成する。例えば、図1に示すように、M1メタルライン130BはソースWプラグ124Aに接触して、データ信号ラインとなり、またM1メタルライン130CはドレインWプラグ124Bに接触する。

【0019】M1メタルライン130A, 130B及び130Cは約0.5µmの厚さであり、そして例えば、131において約0.5µm離間する。M1インターメ

タル誘電体(IMD)層132がAlCuM1メタルライン130A, 130B, 130C上に形成され、そしてパターンニングされて、M1メタルライン130A及び130Cをそれぞれ露出させるM1コンタクト開口134A, 134Bを有する。M1Wプラグ136A, 136BがM1コンタクト開口134A, 134B内にそれぞれ形成されて、M1メタルライン130A及び130Cにそれぞれ接触する。M1Wプラグ136A, 136Bは例えば、135で示すように約0.5µmの高さを有する。

【0020】アルミニウム銅合金(AlCu)M2メタルライン138A, 138B, 138C, 及び130DがIMD層132上に形成され、例えば、M2メタルライン138A, 138CはM1Wプラグ136A, 136Bにそれぞれ接触する。M2メタルライン138A, 138B, 138C, 及び138Dは約0.4µmの厚さである。M2メタルライン138A, 138B, 138C, 及び138Dは、例えば148で示すように約0.5µm互いに離間する。

【0021】M2インターメタル誘電体(IMD)層140がAlCuM2メタルライン138A, 138B, 138C, 及び138D上に形成され、そしてパターンニングされて、M2メタルライン138A及び138Cをそれぞれ露出させるM2コンタクト開口142A, 142Bを有する。M2Wプラグ144A, 144BがM2コンタクト開口142A, 142B内にそれぞれ形成されて、M1メタルライン138A及び138Cにそれぞれ接触する。M2Wプラグ144A, 144Bは例えば、145で示すように約0.5µmの高さを有する。

【0022】アルミニウム銅合金(AlCu)M3メタルライン146A, 146B, 146CがIMD層140上に形成され、例えば、M3メタルライン146A, 146BはM2Wプラグ144A, 144Bにそれぞれ接触する。M3メタルライン146A, 146B, 146Cも又Al又はAlCuSi合金から構成されてもよい。M3メタルラインは約0.4µmの厚さであり、そして例えば150で示すように約0.6µm互いに離間する。M3メタルライン146A, 146B, 146Cはピクセル電極を含む。

【0023】IMD層132, 140はSiO₂、Si₃N₄、有機重合体、又は光を吸収する染料を添加されるか、或いは添加されない低い誘電率(K)の物質から構成されてもよい。

【0024】初めの構造のLCD-オン-シリコンデバイスの厚さの合計は152で示すように、半導体構造物112からM3メタルライン146A, 146B, 146Cの上面まで約3µmである。

【0025】オプティカルインターフェース(optical interface)層154は多重の透明層から構成されてもよく、そしてM3メタルライン146A, 146C及びピ

クセル電極 146B 上に形成されて、反射型 LCD - オン - シリコンデバイスを完成する。オプティカルインターフェース層 154 は M3 メタルライン / ピクセル電極 146A, 146B, 146C (M3 は鏡として働く) 上に (図示しない) 平坦なパッシベーション層を含むことができる。液晶層がオプティカルインターフェース層 154 の頂部上の配向膜 (polyimide) の頂部上に設置される。透明電極が上部液晶配向膜上に形成され、そしてガラス基板が上記透明電極上に形成される。

【0026】オリジナル構造の LCD - オン - シリコンデバイス 110 では、例えば 156 で示すように、迷光 (stray light) がオプティカルインターフェース層 154 を通って漏れる。迷光 156 は M3 メタルライン 146A とピクセル電極 146B との間を通して IMD 層 140 を通過し、M2 メタルライン 138B の頂部及びピクセル電極 146B の底部で反射し、M2 メタルライン 138B, 138C の隙間を通して、メタルライン 138C の側部で反射する。迷光 156 は次いで IMD 層 132 を通過し、そして M1 メタルライン 130B, 130C の隙間を通して、M1 メタルライン 130B の側部で反射する。迷光 156 は次いで ILD 層 126 を通過し、そして制御トランジスタ 114 に衝突して、これを光電効果により機能不全にする。

【0027】本発明者等は上記ピクセル電極を有する制御トランジスタに影響を与える迷光を防止し、これにより LCD - オン - シリコンデバイスに与えられる光の強度を増大させて、映像の輝度又は映像の最大寸法を増大できる LCD - オン - シリコン反射型デバイス構造物及びその製造方法を発見した。

【0028】従って、図 2 に示すように、出発の半導体構造物 12 はシリコン (Si) の上層を有しており、半導体ウエハ又は基板、このウエハ内に形成された能動及び受動素子を含むものとして理解される。用語の“半導体構造物”は半導体ウエハ内に形成されたデバイス及び上記ウエハ上の層を含むことを意味する。特に断らない限り、全ての構造物、層、等は従来技術で公知の方法により形成又は完成されてもよい。

【0029】制御トランジスタ 14 を半導体構造物 12 中に形成する。制御トランジスタ 14 は下側のゲート酸化物 15 を有するゲート導体 16、ソース 18 及びドレイン 20 を含む。フィールド酸化物 (FOX) 領域 22 は隣接する半導体デバイス (図示せず) から制御トランジスタ 14 を隔離する。

【0030】インターレベル誘電体 (ILD) 層 26 が半導体構造物 12 及び制御トランジスタ 14 上に形成されて、パターニングされ、S/D コンタクト開口 28A, 28B がそれぞれ形成される。ILD 層 26 は SiO₂、Si₃N₄、有機重合体、又は光を吸収する染料を添加されるか、或いは添加されない低い K の物質から構成されてもよい。

【0031】アルミニウム (Al)、銅 (Cu)、又はアルミニウム銅合金 (AlCu) そして最も好ましくはタングステン (W) のような金属の層が ILD 層 26 上に堆積され、そして平坦化され、S/D コンタクト開口 28A, 28B が充填され、そして WS/D プラグ 24A, 24B がそれぞれ形成される。WS/D プラグ 24A, 24B は約 0.5 μm の高さを有し、そしてそれぞれ制御トランジスタ 14 のソース 18 及びドレイン 20 に接触する。類似の W プラグ (図示せず) が制御トランジスタ 14 のゲート 16 に接触するために使用される。

【0032】銅、タングステン、アルミニウム、又はチタン (Ti)、そして最も好ましくはアルミニウム銅合金 (AlCu) のようなその他の金属の層が ILD 層 26 上に堆積され、そして平坦化されて、M1 メタルライン 30A, 30B, 及び 30C が形成される。例えば、図 2 に示すように、M1 メタルライン 30B は W ソースプラグに接触してデータ信号ラインとなり、そして M1 メタルライン 30C は W ドレインプラグ 24B に接触する。

【0033】M1 メタルライン 30A, 30B, 及び 30C は約 0.4 μm の厚さであり、そして例えば 31 で示すように約 0.5 μm 互いに離間する。図 3 に示すように、インターメタル誘電体 (IMD) 層 32 が AlCu M1 メタルライン 30A, 30B, 30C 上に形成され、そしてパターニングされて、M1 メタルライン 30A 及び 30C をそれぞれ露出させる M1 コンタクト開口 34A, 34B を有する。

【0034】M1 IMD 層 32 は SiO₂ 又は黑色染料を添加された SiO₂ である黑色誘電体から構成されてもよい。Al、Ti、Cu、又は窒化チタン (TiN) そして最も好ましくはタングステン (W) のような金属の層が M1 IMD 層 32 上に堆積され、パターニングされ、そして平坦化され、M1 コンタクト開口 34A, 34B が充填され、そして W プラグ 33A, 33B がそれぞれ形成される。別の W の層が誘電体層 32 上に堆積され、(例えば) フォトマスクされ、そしてエッチングされて、M2 アイランド (例えば、ライン) 37A, 37B (そして任意に、(図示しない) 下方のデバイスに同様に電氣的に接続する M2 アイランド 37C) を形成する。W プラグ 33A, 33B は M1 メタルライン 30A 及び 30C にそれぞれ接触する。

【0035】W プラグ 33A, 33B は例えば、35 で示すように約 0.5 μm の高さを有し、また M2 W メタルアイランド 37A, 37B (そして任意に 37C) は約 0.7 μm の厚さを有する。同時に、W メタルプラグ 33A, 33B 及び W メタルアイランド 37A, 37B (37C) はそれぞれ構造物 36A, 36B, (37B (完全には示されない)) を形成する。

【0036】WM2 メタルアイランド 37A, 37B (37C) はそれぞれ側壁 37A', 37B', (37

C')を露出する。図4に示すように、好ましくは黒色の誘電体層(図示せず)をILD層32及びM2メタルライン37A, 37B上に形成する。この黒色(例えば、不透明)誘電体層をエッチングして、M2メタルアイランド37A, 37Bの露出した側壁37A', 37B'上に黒色誘電体層側壁スペーサー70A, 70Bをそれぞれ形成する。黒色誘電体層側壁スペーサー70A, 70Bは好ましくは約0.05~0.2μmの幅、より好ましくは約0.1μmの幅を有する。また側壁スペーサー70A, 70Bは例えば、SiO₂のような透

明な物質から形成されてもよい。
【0037】図5及び図7(図5の平面図)に示すように、重要な工程において、“別のメタル遮蔽層”80をスペーサー70A, 70B(38Aにおいて)の間に、またスペーサー70A, 70B(38C, 38Bにおいて、それぞれ)の外側に形成する。部分38Bを図5の右側(図示せず)に拡張するか、又は図示のように、部分38BとM2アイランド36Cを分離する側壁スペーサー70Cを形成してもよい。メタル層80は、好ましくはWから形成され、M1IMD層32上に堆積され

る。このメタル層は単一のシートであってもよく、またTi、TiNそして最も好ましくはWから形成できる。単一シートメタル層80は接地できる。或いは、メタル遮蔽層80は種々の電位で接続した分離領域から構成されてもよい。
【0038】上記メタル層は化学的機械研磨されて、デュアルダマシン構造36A, 36Bの上方M2メタルライン37A, 37B間の黒色誘電体側壁スペーサー70A, 70Bに隣接する別のM2部分38Aを形成し、また上方M2メタルライン37B上の別の黒色誘電体ス

ペーサー70Bに隣接する別のM2部分38Bを形成する。これは、以下に述べるように、迷光がゲート電極16に衝突することを防止する光及び信号遮蔽層80を形成する。
【0039】上方M2メタルライン37A, 37Bは隣接する別のM2メタルライン38A, 38Bから、約0.05~0.2μm、より好ましくは約0.1μm、即ち黒色側壁スペーサー70A, 70Bの幅だけ離間する。

【0040】図6に示すように、インターメタル誘電体(IMD)層40をWM2メタル構造物37A, 38A, 37B, 38B上に形成し、パターンニングして、M2メタルアイランド37A, 37Bを露出するM2コンタクト開口42A, 42Bを形成する。

【0041】M2IMD層40は好ましくは黒色誘電体から成る。Al、アルミニウムシリコン合金(AlSi)又はTi、そして最も好ましくはWのような金属の層をM2IMD層40上に堆積し、そして平坦化し、M2コンタクト開口42A, 42Bを充填し、そしてM2Wプラグ44A, 44Bをそれぞれ形成する。M2Wプ

ラグ44A, 44Bは例えば45において約0.5μmの高さを有する。

【0042】Al、又はAlCuSi、そして最も好ましくはアルミニウム銅合金(AlCu)のような別の金属層をM2IMD層40上に堆積し、そしてパターンニングして、M3メタルピクセル46A, 46B, 46Cを形成する。M3メタルピクセル46A, 46B, 46Cは例えば50において約0.5~0.7μm、より好ましくは約0.6μm離間する。M3メタルピクセル46Aは、例えば、M2Wプラグ44Aに接続する。M3メタルピクセル46Bは、例えば、M2Wプラグ44Bに接続する。ピクセル46A, 46B, 46CはLCD電極及び鏡として働く。

【0043】黒色誘電体から構成されない場合、IMD層32, 40は二酸化ケイ素、窒化ケイ素、又はポリイミドから構成されてもよい。LCD-オン-シリコンデバイスの厚さの合計は、52で示すように、半導体構造物12からM3メタルピクセル46A, 46B, 46Cの頂部まで、約1~5μm、より好ましくは約2~3μmである。

【0044】オプティカルインターフェース層54はM3メタルピクセル46A, 46B, 46C上に形成されて、反射型LCD-オン-シリコンデバイスを完成する。オプティカルインターフェース層54はSiO₂、Si₃N₄、等からなる(図示しない)単一又は複数の透明なパッシベーション層をM3メタルピクセル46A, 46B, 146上に含むことができ、そしてM3ピクセル46A, 46B, 46Cの反射の増大を助ける。

【0045】ポリイミド配向層(図示せず)をオプティカルインターフェース層54上に形成する。透明電極(図示せず)を上記ポリイミド配向層の上方に離間して形成する。液晶層(図示せず)を上記透明電極と上記ポリイミド配向層との間に設置する。ガラスカバー(図示せず)を上記透明電極上に設置する。

【0046】本発明で述べられる配線、メタルライン、及びプラグはどのような手段でも形成可能であり、そして上述のものに限定されない。例えば、上記ライン/プラグはデュアルダマシン技術、即ちボーダレスコンタクトプロセスを用いて、(そして上記ラインの側壁を露出させるために誘電体層のエッチバックを用いて)形成することもできる。その他の方法も技術の進歩に応じて使用できる。また側壁スペーサー(例えば、70A)及び光遮断層(例えば、38A)はどのようなラインレベルにも形成でき、そして第2メタルラインレベルに限定されない。

【0047】1又はそれ以上の遮光層(ライン、スペーサー、及びシールド層)を形成できる。また本発明は3導電性(例えば、メタル)層に限定されない。本発明の反射型のLCD-オン-シリコンデバイス10は、例えば56で示すように、迷光がオプティカルインターフェ

ース層 54 から制御トランジスタ 14 まで漏れることを許容しない。IMD 層 32, 40 が黒色誘電体から形成される場合、迷光 56 の大部分は IMD 層 40 の黒色誘電体により吸収される。

【0048】IMD 層 32, 40 が黒色誘電体から形成されない場合、迷光 56 は例えば、M3 メタルライン 46A, 46B の間を通過して IMD 層 40 に入り、M2 メタルライン 38A の頂部で反射し、次いで M3 メタルライン 46B の底で反射する。しかしながら、大部分の迷光 56 は、M2 メタルライン間の狭い隙間（約 0.1 μm ）ばかりでなく、M2 メタルライン間の黒色誘電体側壁スペーサー 70B のために、M2 メタルライン 38A, 37B 間の隙間を通過できない。

【0049】制御トランジスタ 14 は側壁スペーサー 70A, 70B が例えば、 SiO_2 のような透明な物質で形成される場合であっても、光電効果から保護される。なぜならば、黒色誘電体層 40 は迷光 56 の強度を大きく低下させ、またそれぞれ M2 構造物 36A, 38A; 38A, 37B; 及び 37B, 38B の間の隙間は進歩した光リソグラフィを用いることなく、従来の構造物 / 方法の場合よりも更に狭くなり、その結果、迷光 56 が制御トランジスタ 14 に到達することを低減させる。より狭い隙間の形成は単一シート W 層のアイランド 37A, 37B 及びメタル部分 38A, 38B を形成する W フィルムの二重堆積に基づく。

*

*【0050】制御トランジスタ 14 に対する迷光の衝突は本発明の新規な方法によって最小化されるか、又は除去されるため、制御トランジスタ 14 は光電効果による機能不全にはならない。また LCD - オン - シリコンデバイス 10 に与えられる光の強さが増大するため、映像の輝度又は映像の最大寸法が増大する。

【0051】本発明の特に好ましい態様を説明したが、これは特許請求の範囲を除いて、本発明を限定するものではない。

【図面の簡単な説明】

【図 1】本発明者等が知見した従来の LCD - オン - シリコン半導体デバイスを概略的に示す断面図である。

【図 2】本発明の方法の好ましい態様を概略的に示す断面図である。

【図 3】本発明の方法の好ましい態様を概略的に示す断面図である。

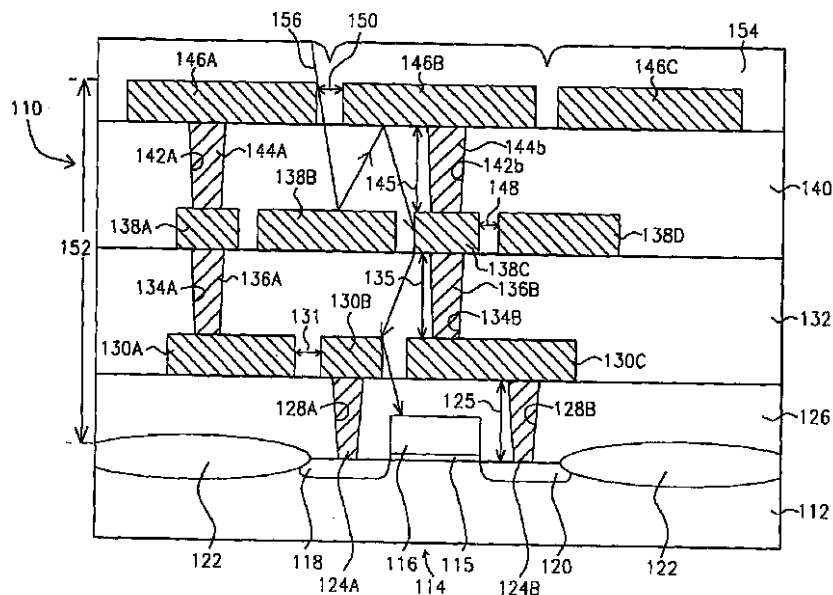
【図 4】本発明の方法の好ましい態様を概略的に示す断面図である。

【図 5】図 7 の 5 - 5 線に沿う断面図であり、本発明の方法の好ましい態様を概略的に示す。

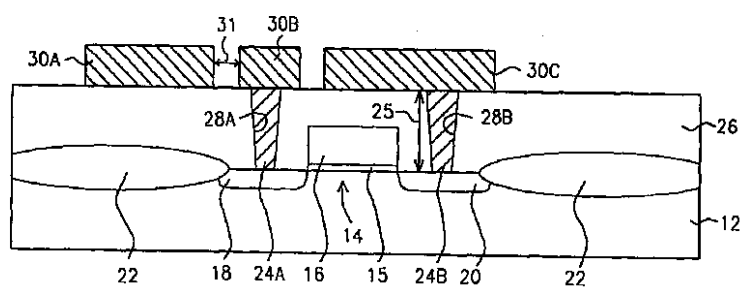
【図 6】本発明の方法の好ましい態様を概略的に示す断面図である。

【図 7】図 5 の上面図であり、本発明の方法の好ましい態様を概略的に示す。

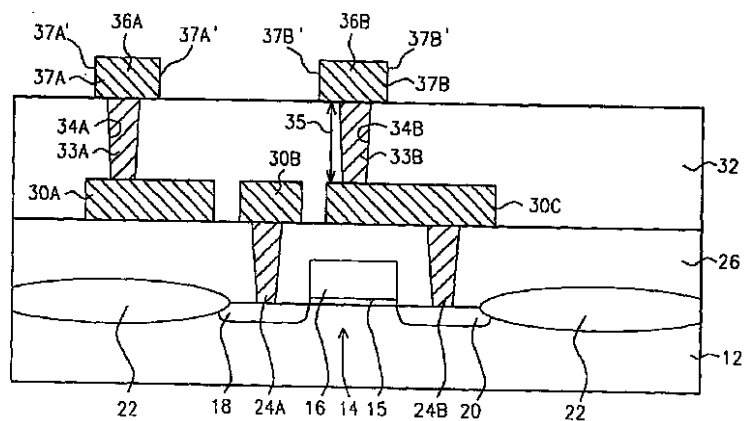
【図 1】



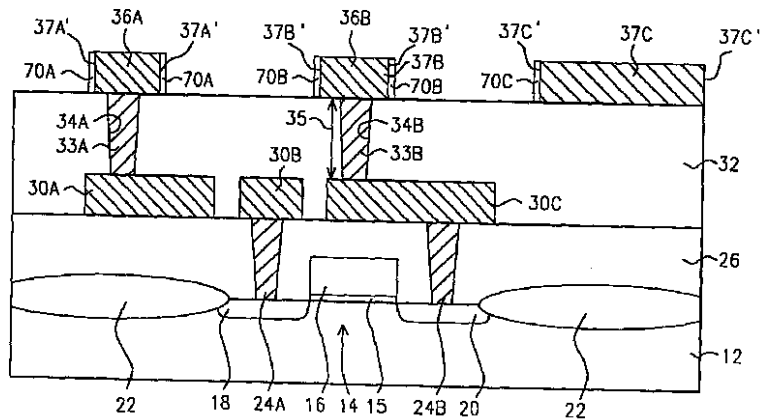
【図2】



【図3】



【図4】



A detailed cross-sectional diagram of a semiconductor device. The top layer consists of several rectangular regions labeled 38C, 70A, 36A, 70A, 38A, 70B, 36B, 70B, 38B, 70C, and 36C. These are collectively grouped by a bracket on the right as part of layer 80. Below this is a thin layer 32. Underneath layer 32 are three larger rectangular blocks labeled 30A, 30B, and 30C. Layer 26 is situated below these blocks. At the bottom is a substrate 12. Within the substrate 12, there are two large oval-shaped regions labeled 22. Between these ovals and under the blocks 30A, 30B, and 30C, there are various smaller features and labels: 18, 24A, 16, 14, 15, 24B, and 20. An upward-pointing arrow is shown near label 14.

[illegible]

フロントページの続き

(72)発明者	ダイ・フェン	F ターム(参考)	2H090 JA16 JB02 JB04 LA04
	シンガポール国 680411 コア・チュウ・		2H092 GA12 HA04 HA05 JA24 JA46
	カン, アベニュー 3, ビーエルケイ		JA48 JB07 JB31 JB51 JB54
	411, ナンバー 03 - 35		JB58 KA03 KA18 KB04 KB25
(72)発明者	ユン - タオ・リン		NA25 PA01
	シンガポール国 738292 パインウッド・	5C094	AA16 BA03 BA43 CA19 DA13
	グローヴ 38		EA04 EA07
(72)発明者	ロバート・チン・フ・ツァイ	5F033	HH08 HH09 HH11 HH18 HH19
	シンガポール国 738406 コロナヴィル,		HH33 JJ01 JJ08 JJ09 JJ11
	ジャラン・ハシ・アリアス 35, ナンバー		JJ19 JJ33 KK01 KK08 KK09
	03 - 08		KK11 KK19 MM02 RR04 VV15
			XX00

专利名称(译)	减少硅上液晶显示器中光泄漏的方法		
公开(公告)号	JP2001174850A	公开(公告)日	2001-06-29
申请号	JP2000234287	申请日	2000-08-02
[标]申请(专利权)人(译)	特许半导体制造有限公司		
申请(专利权)人(译)	特许半导体制造有限公司		
[标]发明人	シクオンコング ダイフェン ユンタオリン ロバートチンフツアイ		
发明人	シク・オン・コング ダイ・フェン ユン・タオ・リン ロバート・チン・フ・ツアイ		
IPC分类号	G02F1/1333 G02F1/1335 G02F1/136 G02F1/1368 G09F9/30 H01L21/768		
CPC分类号	G02F1/133512 G02F1/136		
FI分类号	G02F1/1333.500 G09F9/30.338 G09F9/30.349.C G02F1/136.500 H01L21/90.A G02F1/1368		
F-TERM分类号	2H090/JA16 2H090/JB02 2H090/JB04 2H090/LA04 2H092/GA12 2H092/HA04 2H092/HA05 2H092/JA24 2H092/JA46 2H092/JA48 2H092/JB07 2H092/JB31 2H092/JB51 2H092/JB54 2H092/JB58 2H092/KA03 2H092/KA18 2H092/KB04 2H092/KB25 2H092/NA25 2H092/PA01 5C094/AA16 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA04 5C094/EA07 5F033/HH08 5F033/HH09 5F033/HH11 5F033/HH18 5F033/HH19 5F033/HH33 5F033/JJ01 5F033/JJ08 5F033/JJ09 5F033/JJ11 5F033/JJ19 5F033/JJ33 5F033/KK01 5F033/KK08 5F033/KK09 5F033/KK11 5F033/KK19 5F033/MM02 5F033/RR04 5F033/VV15 5F033/XX00 2H190/JA16 2H190/JB02 2H190/JB04 2H190/LA04 2H192/AA24 2H192/BC33 2H192/BC42 2H192/BC72 2H192/BC75 2H192/CB02 2H192/EA13 2H192/EA62 2H192/EA67 2H192/EA72 2H192/GD03 2H192/HA88		
优先权	09/458726 1999-12-13 US		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够提供明亮图像的硅上LCD设备。制备具有控制晶体管的半导体结构，该控制晶体管具有源极和漏极；在该结构上设置ILD层；提供与源极和漏极接触的S / D插塞；以及将S / D插塞与源极和漏极接触。形成连接到S / D插头的M1线；在M1线上沉积IMD层并构图以形成M1触点开口；在M1触点开口中形成M1金属插头，并露出裸露的侧壁。形成连接到M1金属塞的M2金属岛；在M2金属岛的侧壁上形成侧壁间隔物；在M2金属岛上沉积M2金属化层并平坦化以形成屏蔽层；M2金属岛，侧壁间隔物和屏蔽层形成光阻挡层；在光阻挡层和IMD层上形成附加的介电层和导电层；并且在其上形成LCD像素。

