

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2001 - 159877

(P2001 - 159877A)

(43)公開日 平成13年6月12日(2001.6.12)

(51) Int.Cl ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/20	622	G 0 9 G 3/20	622 E 2 H 0 9 3
	611		611 A 5 C 0 0 6
	623		623 H 5 C 0 8 0
	670		670 D
G 0 2 F 1/133	550	G 0 2 F 1/133	550

審査請求 未請求 請求項の数 30 O L (全 46数) 最終頁に続く

(21)出願番号 特願2000 - 233549(P2000 - 233549)

(22)出願日 平成12年8月1日(2000.8.1)

(31)優先権主張番号 特願平11 - 266235

(32)優先日 平成11年9月20日(1999.9.20)

(33)優先権主張国 日本(JP)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 鷲尾 一

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

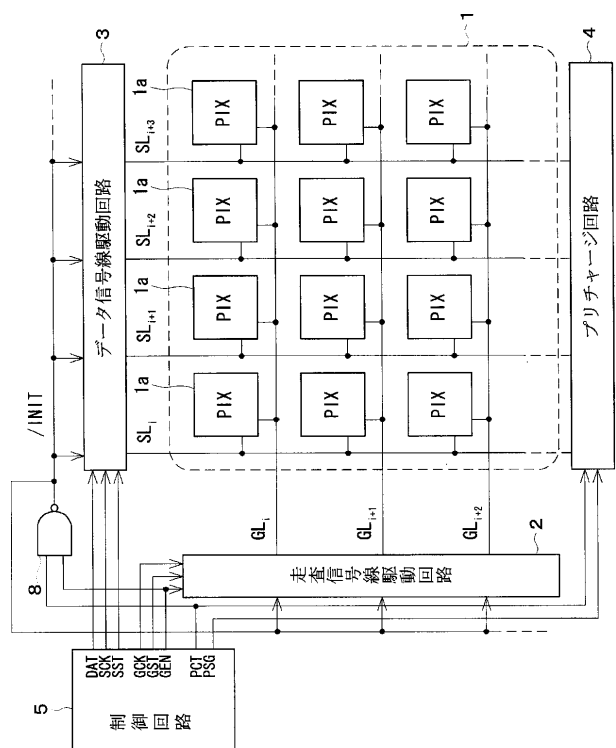
最終頁に続く

(54)【発明の名称】 マトリクス型画像表示装置

(57)【要約】

【課題】 画像表示装置の駆動回路を構成するシフトレジスタにおいて、電源投入時等の不定状態を解消するとともに消費電力の削減を図る。

【解決手段】 制御回路5からの表示画像に影響しない信号の組み合わせでNANDゲート8によって生成した初期化信号 / I N I T を用いて、走査信号線駆動回路2およびデータ信号線駆動回路3における全てのシフトレジスタの内部状態(シフトレジスタに含まれる各フリップフロップの出力)を非アクティブにする。これにより、電源投入時等にシフトレジスタが初期化されるので、シフトレジスタを制御する信号(クロック信号等)を選択入力している場合には、信号線負荷が必要以上に大きくなることが防がれる結果、画像表示装置の動作が安定する。また、制御回路5を内蔵する外部ICの駆動能力および電源回路の供給能力を増大させる必要がないので、外部ICの低コスト化や低消費電力化が図られる。



【特許請求の範囲】

【請求項 1】マトリクス状に設けられた複数の画素と、
該画素に書き込む映像データを供給する複数のデータ信
号線と、映像データの上記画素への書き込みを制御する
複数の走査信号線と、上記データ信号線を駆動するた
めのデータ信号線駆動回路と、上記走査信号線を駆動す
るための走査信号線駆動回路と、上記データ信号線駆動
回路および上記走査信号線駆動回路の少なくとも一方の
内部状態をリセットするリセット手段とを備え、上記デ
ータ信号線駆動回路および走査信号線駆動回路の一部とし
てシフトレジスタを備えたマトリクス型画像表示装置に
おいて、

上記リセット手段が、通常駆動時には使用しない複数の
信号の組み合わせを基に、上記データ信号線駆動回路お
よび走査信号線駆動回路の少なくとも一方を構成するシ
フトレジスタの内部状態をリセットするためのリセット
信号を生成することを特徴とするマトリクス型画像表示
装置。

【請求項 2】マトリクス状に設けられた複数の画素と、
該画素に書き込む映像データを供給する複数のデータ信
号線と、映像データの上記画素への書き込みを制御する
複数の走査信号線と、上記データ信号線を駆動するた
めのデータ信号線駆動回路と、上記走査信号線を駆動す
るための走査信号線駆動回路と、上記データ信号線駆動
回路および上記走査信号線駆動回路の少なくとも一方の
内部状態をリセットするリセット手段とを備え、上記デ
ータ信号線駆動回路および走査信号線駆動回路の一部とし
てシフトレジスタを備えたマトリクス型画像表示装置に
おいて、

上記リセット手段が、表示画像に影響しない複数の信号
の組み合わせを基に、上記データ信号線駆動回路および
走査信号線駆動回路の少なくとも一方を構成するシフト
レジスタの内部状態をリセットするためのリセット信号
を生成することを特徴とするマトリクス型画像表示装
置。

【請求項 3】上記データ信号線駆動回路および上記走査
信号線駆動回路の少なくとも一方が、上記画素が形成さ
れる基板上に形成されていることを特徴とする請求項 1
または 2 に記載のマトリクス型画像表示装置。

【請求項 4】同一基板上にマトリクス状に形成された複
数の画素と、該画素に書き込む映像データを供給する複
数のデータ信号線と、映像データの上記画素への書き込
みを制御する複数の走査信号線と、基板外部から入力さ
れた信号を基に上記データ信号線を駆動するためのデー
タ信号線駆動回路と、基板外部から入力された信号を基
に上記走査信号線を駆動するための走査信号線駆動回路
と、基板外部から入力された信号を基に、上記データ信
号線を駆動に先立って予備充電するプリチャージ回路
と、上記データ信号線駆動回路および走査信号線駆動回
路の少なくとも一方の内部状態をリセットするリセット

手段とを備え、上記データ信号線駆動回路および走査信
号線駆動回路の一部としてシフトレジスタを備えたマト
リクス型画像表示装置において、

上記データ信号線駆動回路、走査信号線駆動回路、およ
びプリチャージ回路の少なくとも一つが、上記画素が形
成される基板上に形成されており、

上記リセット手段が、上記基板上に形成されているデー
タ信号線駆動回路、走査信号線駆動回路、およびプリチ
ャージ回路の少なくとも一つに対して基板外部から入力
される複数の信号の組み合わせを基に、上記データ信号
線駆動回路および走査信号線駆動回路の少なくとも一方
を構成するシフトレジスタの内部状態をリセットするた
めのリセット信号を生成することを特徴とするマトリク
ス型画像表示装置。

【請求項 5】同一基板上にマトリクス状に形成された複
数の画素と、該画素に書き込む映像データを供給する複
数のデータ信号線と、映像データの上記画素への書き込
みを制御する複数の走査信号線と、基板外部から入力さ
れた信号を基に上記データ信号線を駆動するためのデー
タ信号線駆動回路と、基板外部から入力された信号を基
に上記走査信号線を駆動するための走査信号線駆動回路
と、上記データ信号線駆動回路および上記走査信号線駆
動回路の少なくとも一方の内部状態をリセットするリセ
ット手段とを備え、上記データ信号線駆動回路および走
査信号線駆動回路の一部としてシフトレジスタを備えた
マトリクス型画像表示装置において、
上記データ信号線駆動回路および上記走査信号線駆動回
路の少なくとも一方が、上記画素が形成される基板上に
形成されており、

上記リセット手段が、上記基板上に形成されているデー
タ信号線駆動回路および走査信号線駆動回路の少なくと
も一方に対して基板外部から入力される複数の信号の組
み合わせを基に、上記データ信号線駆動回路および走査
信号線駆動回路の少なくとも一方を構成するシフトレジ
スタの内部状態をリセットするためのリセット信号を生
成することを特徴とするマトリクス型画像表示装置。

【請求項 6】上記リセット手段が、上記データ信号線を
駆動に先立って予備充電するプリチャージ回路の動作を
制御するプリチャージ制御信号および上記走査信号線駆
動回路が上記走査信号線を駆動するための駆動信号の出
力を有効にするイネーブル信号を基に上記リセット信号
を生成することを特徴とする請求項 1 ないし 4 のいずれ
かに記載のマトリクス型画像表示装置。

【請求項 7】上記リセット手段が、上記データ信号線を
駆動に先立って予備充電するプリチャージ回路の動作を
制御するプリチャージ制御信号および上記走査信号線駆
動回路の動作を開始させるスタート信号を基に上記リセ
ット信号を生成することを特徴とする請求項 1 ないし 4
のいずれかに記載のマトリクス型画像表示装置。

【請求項 8】上記リセット手段が、上記データ信号線を

駆動に先立って予備充電するプリチャージ回路の動作を制御するプリチャージ制御信号および上記データ信号線駆動回路の動作を開始させるスタート信号を基に上記リセット信号を生成することを特徴とする請求項 1 ないし 4 のいずれかに記載のマトリクス型画像表示装置。

【請求項 9】上記リセット手段が、上記走査信号線駆動回路の動作を開始させる第 1 スタート信号および上記データ信号線駆動回路の動作を開始させる第 2 スタート信号を基に上記リセット信号を生成することを特徴とする請求項 1 ないし 5 のいずれかに記載のマトリクス型画像表示装置。

【請求項 10】電源投入時から正規の駆動が開始されるまでの間、上記リセット信号を生成する基になる信号が上記リセット手段に入力されることを特徴とする請求項 1 ないし 9 のいずれかに記載のマトリクス型画像表示装置。

【請求項 11】電源投入後に表示を中断する期間、上記リセット信号を生成する基になる信号が上記リセット手段に入力されることを特徴とする請求項 1 ないし 9 のいずれかに記載のマトリクス型画像表示装置。

【請求項 12】上記リセット信号を生成する基になる信号が入力される期間が、1 μ sec 以上かつ 100 msec 以下であることを特徴とする請求項 1 ないし 11 のいずれかに記載のマトリクス型画像表示装置。

【請求項 13】マトリクス状に設けられた複数の画素と、該画素に書き込む映像データを供給する複数のデータ信号線と、映像データの上記画素への書き込みを制御する複数の走査信号線と、上記データ信号線を駆動するためのデータ信号線駆動回路と、上記走査信号線を駆動するための走査信号線駆動回路と、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方の内部状態をリセットするリセット手段とを備え、上記データ信号線駆動回路および走査信号線駆動回路の一部としてシフトレジスタを備えたマトリクス型画像表示装置において、

上記リセット手段が、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部ノードをリセットするために、上記内部ノードに付加された容量であることを特徴とするマトリクス型画像表示装置。

【請求項 14】上記容量が、電源電位にリセットすべき上記内部ノードと電源線との間に接続されていることを特徴とする請求項 13 に記載のマトリクス型画像表示装置。

【請求項 15】上記容量が、接地電位にリセットすべき上記内部ノードと接地線との間に接続されていることを特徴とする請求項 13 に記載のマトリクス型画像表示装置。

【請求項 16】マトリクス状に設けられた複数の画素と、該画素に書き込む映像データを供給する複数のデー

タ信号線と、映像データの上記画素への書き込みを制御する複数の走査信号線と、上記データ信号線を駆動するためのデータ信号線駆動回路と、上記走査信号線を駆動するための走査信号線駆動回路と、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方の内部状態をリセットするリセット手段とを備え、上記データ信号線駆動回路および走査信号線駆動回路の一部としてシフトレジスタを備えたマトリクス型画像表示装置において、

上記リセット手段が、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部ノードをリセットするために、上記内部ノードに付加された抵抗であることを特徴とするマトリクス型画像表示装置。

【請求項 17】上記抵抗が、電源電位にリセットすべき上記内部ノードと電源線との間に付加されていることを特徴とする請求項 16 に記載のマトリクス型画像表示装置。

【請求項 18】上記抵抗が、接地電位にリセットすべき上記内部ノードと接地線との間に付加されていることを特徴とする請求項 16 に記載のマトリクス型画像表示装置。

【請求項 19】上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する複数の D 型フリップフロップの内部ノードをリセットすることを特徴とする請求項 1 ないし 18 のいずれかに記載のマトリクス型画像表示装置。

【請求項 20】上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する複数のセット・リセット型フリップフロップの内部ノードをリセットすることを特徴とする請求項 1 ないし 18 のいずれかに記載のマトリクス型画像表示装置。

【請求項 21】上記リセット手段が、上記セット・リセット型フリップフロップのセット信号を非アクティブにし、リセット信号をアクティブにすることを特徴とする請求項 20 に記載のマトリクス型画像表示装置。

【請求項 22】上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する全てのフリップフロップの内部ノードをリセットすることを特徴とする請求項 1 ないし 21 のいずれかに記載のマトリクス型画像表示装置。

【請求項 23】上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成するフリップフロップの半分の内部ノードをリセットすることを特徴とする請求項 1 ないし 21 のいずれかに記載のマトリクス型画像表示装置。

【請求項 24】上記データ信号線駆動回路または上記走査信号線駆動回路を構成する複数のフリップフロップにクロック信号を入力し、クロック信号を入力すべきフリップフロップの少なくとも前段を含む 1 つまたは複数の

段のフリップフロップの出力信号によってクロック信号の入力が制御される転送ゲートをさらに備えていることを特徴とする請求項1ないし23のいずれかに記載のマトリクス型画像表示装置。

【請求項25】上記転送ゲートの後段で、上記データ信号線駆動回路または上記走査信号線駆動回路の駆動電圧の振幅よりも小さい上記クロック信号の振幅を上記駆動電圧まで昇圧し、上記転送ゲートを制御する信号により動作が制御される昇圧回路をさらに備えていることを特徴とする請求項24に記載のマトリクス型画像表示装置。

【請求項26】上記転送ゲートが遮断されている期間に、上記昇圧回路に電流が流れないようなレベルの信号が上記昇圧回路に入力されることを特徴とする請求項25に記載のマトリクス型画像表示装置。

【請求項27】上記転送ゲートが遮断されている期間に、上記昇圧回路が電源線および接地線の少なくとも一方から切り離されることを特徴とする請求項25または26に記載のマトリクス型画像表示装置。

【請求項28】上記データ信号線によって供給された映像データを上記走査信号線による制御の下で上記画素へ書き込むためのアクティブスイッチング素子をさらに備えることを特徴とする請求項1ないし27のいずれかに記載のマトリクス型画像表示装置。

【請求項29】上記データ信号線駆動回路、走査信号線駆動回路、およびアクティブスイッチング素子の少なくとも一つを構成する能動素子が、多結晶シリコン薄膜トランジスタであることを特徴とする請求項28に記載のマトリクス型画像表示装置。

【請求項30】上記能動素子が、600以下の温度で形成されることを特徴とする請求項29に記載のマトリクス型画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック信号等に同期してデジタル信号を転送するシフトレジスタの動作を安定させる構成、特に、電源投入時等に内部状態が不定になることによって動作異常を来すことを防ぐための構成を備えたマトリクス型画像表示装置に関するものである。

【0002】

【従来の技術】本発明は、種々の画像表示装置を対象とするが、ここでは、特に、アクティブマトリクス型の液晶表示装置を例にとって説明する。ただし、本発明は、これに限らず、同様な目的に対しては他の分野の装置やシステムにおいても適用することができる。

【0003】従来の画像表示装置の一つとして、アクティブマトリクス駆動方式の液晶表示装置が知られている。この液晶表示装置は、図43に示すように、画素アレイ101、走査信号線駆動回路102、データ信号線

駆動回路103、プリチャージ回路104、制御回路105等からなっている。

【0004】画素アレイ101には、互いに交差する多数の走査信号線 $GL \dots (GL_j, GL_{j+1}, \dots)$ および多数のデータ信号線 $SL \dots (SL_i, SL_{i+1}, \dots)$ と、マトリクス状に配置された画素(図中、PIX)101a...とが設けられている。画素101aは、図5に示すように、スイッチング素子である画素トランジスタSWと、液晶容量 C_L を含む画素容量 C_p 。(必要に応じて補助容量 C_s が付加される)とによって構成される。

【0005】データ信号線駆動回路103は、クロック信号 CLK 等の制御信号に同期して、入力された映像信号DAT(データ)をサンプリングし、必要に応じて増幅して、各データ信号線 SL に出力する。走査信号線駆動回路102は、クロック信号 GCK 等の制御信号に同期して、走査信号線 GL を順次選択し、画素101a内の画素トランジスタSWの開閉を制御することにより、各データ信号線 SL に出力された映像信号DATを、各画素101aに書き込むとともに、各画素101aに保持させる。プリチャージ回路104は、データ信号線 SL への映像信号の出力を補助するために必要に応じて設けられる回路であって、データ信号線駆動回路103からデータ信号線 SL へ映像信号DATを出力する前に、データ信号線 SL を予備充電する。

【0006】ところで、上記のような従来のアクティブマトリクス型液晶表示装置においては、ガラス等の透明基板上に形成された非晶質シリコン薄膜が、画素トランジスタSWの材料として用いられていた。また、走査信号線駆動回路102やデータ信号線駆動回路103は、それぞれ外付けの集積回路(IC)で構成されていた。

【0007】これに対して、近年、大画面化に伴う画素トランジスタSWの駆動力向上、駆動ICの実装コストの低減、実装における信頼性等の要求から、画素アレイ101と駆動回路102・103を多結晶シリコン薄膜を用いてモノリシックに形成する技術が開発され、報告されている。また、さらなる大画面化および低コスト化を目指して、ガラスの歪み点(約600)以下のプロセス温度で、画素アレイ101と駆動回路102・103をガラス基板上の多結晶シリコン薄膜で形成することも試みられている。

【0008】例えば、図44に示す液晶表示装置は、ガラス基板107上に、画素アレイ101、走査信号線駆動回路102およびデータ信号線駆動回路103が搭載され、さらに、これらに制御回路105および電源回路106が接続される構成を採っている。

【0009】次に、データ信号線駆動回路103の構成について述べる。データ信号線駆動回路103としては、入力される映像信号の違いから点順次駆動方式と線順次駆動方式とが知られている。一般に、駆動回路と画素とが一体化された多結晶シリコンTFTパネルにおい

ては、その回路構成の簡易性から、点順次駆動方式の駆動回路が用いられることが多い。したがって、ここでは点順次駆動方式の走査信号線駆動回路102およびデータ信号線駆動回路103について述べる。

【0010】点順次駆動方式のデータ信号線駆動回路103では、例えば、図45に示すように、クロック信号SCKおよび反転クロック信号/SCK(SCKの反転信号)のタイミングでスタート信号SSTを順次転送するシフトレジスタ111を備えている。このデータ信号線駆動回路103では、シフトレジスタ111において隣接する2つのフリップフロップ111a・111aの出力パルスの論理演算結果を例えばNANDゲート111cによって得て、バッファ回路112を経たNANDゲート111cの出力パルスをサンプリングスイッチ113の制御信号として与えている。サンプリングスイッチ113は、制御信号によってONすることで、入力された映像信号DATを取り込んでデータ信号線SL_n(n=1, 2, 3, 4, ...)に出力する。

【0011】ただし、NANDゲート111cのような論理演算回路は必要に応じて設けられる。したがって、論理演算が不要である場合は、フリップフロップ111aの出力パルスに基づいて映像信号DATがサンプリングされる。

【0012】走査信号線駆動回路102は、図46に示すように、クロック信号GCKおよび反転クロック信号/GCK(GCKの反転信号)のタイミングでスタート信号GSTを順次転送するシフトレジスタ111を備えている。この走査信号線駆動回路102では、シフトレジスタ111において隣接する2つのフリップフロップ111a・111aの出力信号の論理演算結果を例えばNANDゲート111cによって得て走査信号を得ている。具体的には、このNANDゲート111cの出力パルスと、制御回路105から供給されるイネーブル信号GENの反転信号/GENとの論理演算結果を例えばNORゲート114によって得て、その結果をバッファ回路115を経て走査信号として走査信号線GL_n(n=1, 2, 3, 4, ...)に出力する。

【0013】ただし、論理演算が不要である場合は、フリップフロップ111aの出力が走査信号として利用される。

【0014】以上のように、データ信号線駆動回路103および走査信号線駆動回路102のいずれにおいても、パルス信号を順次転送するシフトレジスタ111が用いられている。このシフトレジスタ111は、複数のフリップフロップ111aが直列に接続されて成る構成を採っており、例えば、図45および図46に示すように、それぞれクロック信号SCKおよび反転クロック信号/SCKならびにクロック信号GCKおよび反転クロック信号/GCKによって駆動される。

【0015】図47に示すフリップフロップは、1個の

インバータ121および2個のクロックインバータ22・123から成っている。2個のクロックインバータ122・123に入力されるクロック信号CKおよび反転クロック信号/CKは、それぞれ逆位相の関係になっている。そして、隣接するフリップフロップにおいても、入力されるクロック信号は、それぞれ逆位相の関係になっている。このタイプのフリップフロップは、一般にD型フリップフロップと称される。

【0016】他のデータ信号線駆動回路103は、例えば、図48に示すように、内部をアクティブ状態にするセット信号および非アクティブ状態にするリセット信号によって駆動されるSR型のフリップフロップ111bによって構成されている。

【0017】SR型のフリップフロップ111bは、図48および図49に示すように、前段のフリップフロップ111bの出力信号Gによる制御で入力される反転クロック信号/CK(/SCK)がセット信号として用いられ、後段のフリップフロップ111bの出力信号がリセット信号RESとして用いられる。そして、隣接するフリップフロップ111b・111bには、それぞれ逆位相のクロック信号が入力される。このフリップフロップ111bにおいては、反転クロック信号/SCKが反転クロック信号/CKとして用いられている。

【0018】このフリップフロップ111bでは、アクティブの反転クロック信号/CKが出力信号Gによって導通したNチャネルトランジスタ131を介して入力されると、Pチャネルトランジスタ132がONする一方、Nチャネルトランジスタ133・134がOFFする。したがって、この場合は、電源レベルの信号がインバータ135・136を介して出力される。また、セット信号が非アクティブになり、かつリセット信号RESがアクティブになると、Nチャネルトランジスタ133・137がONする一方、Pチャネルトランジスタ138がOFFするので、接地レベルの信号がインバータ135・136を介して出力される。

【0019】

【発明が解決しようとする課題】ところで、前述のデータ信号線駆動回路103に用いられているシフトレジスタ111(図45および図48参照)においては、クロック信号SCKおよび反転クロック信号/SCKが全てのフリップフロップ111a...・111b...に入力されているため、クロック信号線の負荷容量が極めて大きくなる。そのため、クロック信号線を駆動するための制御回路105を内蔵するコントローラICのような外部ICとして、駆動能力の大きなICを使用する必要がある。コストアップだけでなく、消費電力の増加をも招来してしまう。

【0020】これに対して、クロック信号線の負荷容量を小さくするために、シフトレジスタにおける各段(フリップフロップ)の出力が有意(アクティブ状態)であ

るときのみ、そのフリップフロップにクロック信号を入力するような構成が特開平 3 - 147598 号公報に開示されている。具体的には、このシフトレジスタにおいては、クロック信号線と各フリップフロップとを接続するか切り離すが、各フリップフロップの出力信号、または複数の隣接するフリップフロップの出力信号の論理合成信号によって制御される。

【0021】しかし、このような構成において、電源投入時には、シフトレジスタの内部ノードの状態（電圧レベル）がどのような状態にもなりうる不定状態であるため、最悪の場合、電源投入時等に、シフトレジスタの全ての内部ノードがアクティブ状態になることもある。この状態は、シフトレジスタを初期化するように、非アクティブ状態に対応する信号がシフトレジスタ全体を走査するまで続くことになる。

【0022】この状態においては、クロック信号がすべてのフリップフロップに入力されているので、クロック信号線の負荷容量は、通常状態（クロック信号が入力されるフリップフロップの数が 1 個ないし数個に制限されるようなシフトレジスタに 1 個のパルス信号が走査される状態）に比べて極めて大きくなっている。そのため、外部 IC が、小さい負荷容量に対して最適化されているような充分な駆動能力を備えていない場合には、クロック信号線を所定の時間内に駆動することができず、シフトレジスタが動作できなくなる虞がある。

【0023】前述のように、画素アレイと駆動回路とを同一のガラス基板上にモノリシックに形成する構成（図 44 参照）では、駆動回路において、近年の IC と同様、消費電力低減、高速動作等を目的とした入力の高電圧化（小振幅化）が進められている。また、入力インターフェースの簡素化を図るためにも、入力電圧を小振幅化する必要性が高まっている。しかしながら、駆動回路内では、所定の駆動能力を得るために、入力電圧より高い電圧を使用する必要がある。このため、シフトレジスタを構成する各フリップフロップに昇圧回路（レベルシフト回路）を内蔵させることによって、入力電圧を昇圧している。

【0024】ここで、レベルシフト回路の動作マージンを大きくするために、電流駆動型レベルシフト回路を用いる場合には、動作時に入力段のトランジスタが常に導通しているため、定常電流が流れる。このため、シフトレジスタ内の多数のノードがアクティブとなったときには、消費電流が非常に大きくなるだけでなく、電圧降下が発生することによって以降の動作に支障が生ずることが懸念される。

【0025】したがって、電源投入時等に、シフトレジスタの内部ノード（各フリップフロップの出力）をリセットすることが必要となる。しかしながら、リセット信号を外部から供給しようとする、それを駆動回路を実装する液晶表示素子に入力するための入力端子数が増加

するだけでなく、制御回路（コントローラ）の負荷も大きくなってしまう。

【0026】本発明は、このような従来技術の課題を解決すべくなされたものであり、上記のリセット信号を外部から入力せずともシフトレジスタの内部ノードをリセットすることができ、低消費電力化および低コスト化を実現できる、シフトレジスタを駆動回路の一部として備えたマトリクス型画像表示装置を提供することを目的としている。

【0027】

【課題を解決するための手段】本発明の第 1 の画像表示装置は、マトリクス状に設けられた複数の画素と、該画素に書き込む映像データを供給する複数のデータ信号線と、映像データの上記画素への書き込みを制御する複数の走査信号線と、上記データ信号線を駆動するためのデータ信号線駆動回路と、上記走査信号線を駆動するための走査信号線駆動回路と、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方の内部状態をリセットするリセット手段とを備え、上記データ信号線駆動回路および走査信号線駆動回路の一部としてシフトレジスタを備えたマトリクス型画像表示装置において、上記の課題を解決するために、上記リセット手段が、通常駆動時には使用しない信号の組み合わせを基に、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部状態をリセットするためのリセット信号を生成することを特徴としている。

【0028】上記の構成では、リセット手段が、上記のような信号の特定の組み合わせを基にリセット信号を生成することにより、このリセット信号を用いてデータ信号線駆動回路および走査信号線駆動回路に設けられるシフトレジスタがリセットされる（内部ノードが非アクティブ状態になる）。これにより、電源投入時等の不定状態を回避することができる。また、リセット信号を生成するために、コントローラ等の外部制御回路で発生する既存の信号を利用できる。これにより、これらを入力するための入力端子の後段にリセット手段を設ければ、リセット信号用の入力端子を別途設ける必要がない。それゆえ、外部制御回路の規模の増大を抑えることができる。とともに、端子数の増加も抑えることができる。

【0029】本発明の第 2 の画像表示装置は、上記の課題を解決するために、マトリクス状に設けられた複数の画素と、該画素に書き込む映像データを供給する複数のデータ信号線と、映像データの上記画素への書き込みを制御する複数の走査信号線と、上記データ信号線を駆動するためのデータ信号線駆動回路と、上記走査信号線を駆動するための走査信号線駆動回路と、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方の内部状態をリセットするリセット手段とを備え、上記データ信号線駆動回路および走査信号線駆動回路の

一部としてシフトレジスタを備えたマトリクス型画像表示装置において、上記リセット手段が、表示画像に影響しない複数の信号の組み合わせを基に、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部状態をリセットするためのリセット信号を生成することを特徴としている。

【0030】この構成では、表示画像に影響しない組み合わせとして、例えば、帰線期間等画像表示期間以外で生ずる信号の組み合わせや、表示期間においても表示に使用しない回路に係る信号の組み合わせが挙げられる。10
このような組み合わせによって、画像表示に影響を与えることなく、シフトレジスタの内部状態をリセットすることが可能となり、電源投入時等の不定状態を回避することができる。

【0031】本発明の第3の画像表示装置は、上記の課題を解決するために、同一基板上にマトリクス状に形成された複数の画素と、該画素に書き込む映像データを供給する複数のデータ信号線と、映像データの上記画素への書き込みを制御する複数の走査信号線と、基板外部から入力された信号を基に上記データ信号線を駆動するためのデータ信号線駆動回路と、基板外部から入力された信号を基に上記走査信号線を駆動するための走査信号線駆動回路と、基板外部から入力された信号を基に、上記データ信号線を駆動に先立って予備充電するプリチャージ回路と、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方の内部状態をリセットするリセット手段とを備え、上記データ信号線駆動回路および走査信号線駆動回路の一部としてシフトレジスタを備えたマトリクス型画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路、およびプリチャージ回路の少なくとも一つが、上記画素が形成される基板上に形成されており、上記リセット手段が、上記基板上に形成されているデータ信号線駆動回路、走査信号線駆動回路、およびプリチャージ回路の少なくとも一つに対して基板外部から入力される複数の信号の組み合わせを基に、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部状態をリセットするためのリセット信号を生成することを特徴としている。

【0032】上記構成によれば、基板上に形成されているデータ信号線駆動回路、走査信号線駆動回路、およびプリチャージ回路の少なくとも一つに対して基板外部から入力される複数の信号の組み合わせを基に、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部状態をリセットするためのリセット信号が生成される。それゆえ、シフトレジスタの内部状態をリセットするために、基板外部から基板上の回路（データ信号線駆動回路、走査信号線駆動回路、およびプリチャージ回路）に入力される信号と独立して、リセット信号を基板外部から基板上の回路

に供給することが不要となる。したがって、基板外部から基板上の回路に供給する信号数を低減することができる。

【0033】その結果、基板外部から基板上の回路に信号を供給するための信号線の本数を低減することができる。また、基板外部から基板上の回路に信号を供給する外部ICの駆動能力および電源回路の供給能力を増大させる必要がないので、外部ICの低コスト化や低消費電力化を図ることができる。

【0034】さらに、第3の画像表示装置では、データ信号線駆動回路、走査信号線駆動回路、およびプリチャージ回路の少なくとも一つが、上記画素が形成される基板上に形成されているので、データ信号線駆動回路、走査信号線駆動回路、およびプリチャージ回路の少なくとも一つを、画素と同一基板上に同一プロセスで形成することが可能になる。

【0035】本発明の第4の画像表示装置は、上記の課題を解決するために、同一基板上にマトリクス状に形成された複数の画素と、該画素に書き込む映像データを供給する複数のデータ信号線と、映像データの上記画素への書き込みを制御する複数の走査信号線と、基板外部から入力された信号を基に上記データ信号線を駆動するためのデータ信号線駆動回路と、基板外部から入力された信号を基に上記走査信号線を駆動するための走査信号線駆動回路と、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方の内部状態をリセットするリセット手段とを備え、上記データ信号線駆動回路および走査信号線駆動回路の一部としてシフトレジスタを備えたマトリクス型画像表示装置において、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方が、上記画素が形成される基板上に形成されており、上記リセット手段が、上記基板上に形成されているデータ信号線駆動回路および走査信号線駆動回路の少なくとも一方に対して基板外部から入力される複数の信号の組み合わせを基に、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部状態をリセットするためのリセット信号を生成することを特徴としている。

【0036】上記構成によれば、基板上に形成されているデータ信号線駆動回路および走査信号線駆動回路の少なくとも一方に対して基板外部から入力される複数の信号の組み合わせを基に、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部状態をリセットするためのリセット信号が生成される。それゆえ、シフトレジスタの内部状態をリセットするために、基板外部から基板上の回路（データ信号線駆動回路および走査信号線駆動回路）に入力される信号と独立して、リセット信号を基板外部から基板上の回路に供給することが不要となる。したがって、

基板外部から基板上の回路に供給する信号数を低減することができる。

【0037】その結果、基板外部から基板上の回路に信号を供給するための信号線の本数を低減することができる。また、基板外部から基板上の回路に信号を供給する外部 IC の駆動能力および電源回路の供給能力を増大させる必要がないので、外部 IC の低コスト化や低消費電力化を図ることができる。

【0038】さらに、第 4 の画像表示装置では、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方が、上記画素が形成される基板上に形成されているので、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を、画素と同一基板上に同一プロセスで形成することが可能になる。

【0039】なお、上記の第 1 ないし第 4 の画像表示装置におけるリセット手段は、複数の信号の極性をデータ信号線駆動回路または走査信号線駆動回路に適応するように変換する演算素子であって、複数の信号に基づいてリセット信号を生成する演算素子、一定レベルにバイアスする抵抗や容量等によって構成することができる。

【0040】上記の第 1 ないし第 3 の画像表示装置において、上記リセット手段が、上記データ信号線を駆動に先立って予備充電するプリチャージ回路の動作を制御するプリチャージ制御信号および上記走査信号線駆動回路が上記走査信号線を駆動するための駆動信号の出力を有効にするイネーブル信号を基に上記リセット信号を生成することが好ましい。プリチャージ制御信号およびイネーブル信号は、通常の画像表示モードにおいては同時にアクティブにならない信号であるので、これらの信号を元にシフトレジスタの初期化（リセット）を行う際に、画像表示に影響を与える虞はない。

【0041】上記の第 1 ないし第 3 の画像表示装置において、上記リセット手段が、上記データ信号線を駆動に先立って予備充電するプリチャージ回路の動作を制御するプリチャージ制御信号および上記走査信号線駆動回路の動作を開始させるスタート信号を基に上記リセット信号を生成することが好ましい。この構成では、プリチャージ制御信号および走査信号線駆動回路のスタート信号を、通常の画像表示期間においては同時にアクティブにならない信号として用いることができる。このためには、例えば、走査線信号回路を構成するシフトレジスタにダミーのフリップフロップを追加して画像表示期間をシフトさせることによって、それらの信号が同時にアクティブになる期間を画像表示期間と重ならないようにすればよい。したがって、それらの信号を基にシフトレジスタの初期化（リセット）を行う際に、画像表示に影響を与える虞はない。

【0042】上記の第 1 ないし第 3 の画像表示装置において、上記リセット手段が、上記データ信号線を駆動に

先立って予備充電するプリチャージ回路の動作を制御するプリチャージ制御信号および上記データ信号線駆動回路の動作を開始させるスタート信号を基に上記リセット信号を生成することが好ましい。プリチャージ制御信号およびデータ信号線駆動回路のスタート信号は、通常の画像表示期間においては同時にアクティブにならない信号であるので、これらの信号を元にシフトレジスタの初期化（リセット）を行う際に、画像表示に影響を与える虞はない。

【0043】上記の第 1 ないし第 4 の画像表示装置において、上記リセット手段が、上記走査信号線駆動回路の動作を開始させる第 1 スタート信号および上記データ信号線駆動回路の動作を開始させる第 2 スタート信号を基に上記リセット信号を生成することが好ましい。この構成では、走査信号線駆動回路のスタート信号およびデータ信号線駆動回路のスタート信号を、通常の画像表示期間においては同時にアクティブにはならない信号として用いることができる。このためには、例えば、走査線信号回路を構成するシフトレジスタにダミーのフリップフロップを追加して画像表示期間をシフトさせることによって、それらの信号が同時にアクティブになる期間を画像表示期間と重ならないようにすればよい。したがって、それらの信号を基にシフトレジスタの初期化（リセット）を行う際に、画像表示に影響を与える虞はない。

【0044】上記の全ての画像表示装置において、電源投入時から正規の駆動が開始されるまでの間、上記リセット信号を生成する基になる信号が上記リセット手段に入力されることが好ましい。電源投入時の一定期間、上記の組み合わせの信号を画像表示装置に入力することにより、シフトレジスタの初期化（リセット）が行われるので、その後、駆動回路を正常に駆動することができる。

【0045】あるいは、上記の全ての画像表示装置において、電源投入後に表示を中断する期間、上記リセット信号を生成する基になる信号が上記リセット手段に入力されることが好ましい。走査パルスがシフトレジスタ内部に存在するときに表示が中断された場合においても、表示を中断している期間内に、シフトレジスタの初期化（リセット）が行われるので、その後、駆動回路を正常に駆動することができる。

【0046】上記の全ての画像表示装置において、上記リセット信号を生成する基になる信号が入力される期間が、1 μ sec 以上かつ 100 msec 以下であることが好ましい。この期間であれば、シフトレジスタの初期化（リセット）を確実に行うことができるとともに、表示に大きな支障が現れない。

【0047】本発明の第 5 の画像表示装置は、上記の課題を解決するために、上記リセット手段が、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部ノードをリセット

するために、上記内部ノードに付加された容量（キャパシタ）であることを特徴としている。

【0048】この構成では、電源投入時に、容量を用いてシフトレジスタの初期化（リセット）を行うので、初期化のためのスイッチが不要であり、回路規模を小さくすることができる。また、初期化スイッチを駆動するための信号を生成する必要があるため、回路構成が単純になる。

【0049】上記の第5の画像表示装置において、上記容量が、電源電位にリセットすべき上記内部ノードと電源線との間に接続されていることが好ましい。電源投入時に、電源線の電位が上昇するのに伴い、容量カップリングにより、電源レベルにリセットすべき内部ノードの電位も上昇するので、内部状態をリセットすることが可能になる。

【0050】上記の第5の画像表示装置において、上記容量が、接地電位にリセットすべき上記内部ノードと接地線との間に接続されていることが好ましい。電源投入時に、電源線の電位が上昇する際にも、容量カップリングにより、接地レベルにリセットすべき内部ノードの電位は上昇しないので、内部状態のリセットをより確実に行うことが可能になる。

【0051】本発明の第6の画像表示装置は、上記の課題を解決するために、上記リセット手段が、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部ノードをリセットするために、上記内部ノードに付加された抵抗であることを特徴としている。

【0052】この構成では、電源投入時に、抵抗を用いてシフトレジスタの初期化（リセット）を行うので、初期化のためのスイッチが不要であり、回路規模を小さくすることができる。また、初期化スイッチを駆動するための信号を生成する必要があるため、回路構成が単純になる。

【0053】上記の第6の画像表示装置において、上記抵抗が、電源電位にリセットすべき上記内部ノードと電源線との間に付加されていることが好ましい。電源線からの微小電流により、内部ノードの電位は、電源レベルに近づく傾向があるので、内部状態をリセットすることが可能になる。

【0054】上記の第6の画像表示装置において、上記抵抗が、接地電位にリセットすべき上記内部ノードと接地線との間に付加されていることが好ましい。接地線からの微小電流により、上記内部ノードの電位は、接地レベルに近づく傾向があるので、内部状態をリセットすることが可能になる。

【0055】上記の全ての画像表示装置において、上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する複数のD型フリップフロップの内部ノードをリセットすることが好ましい。D型

フリップフロップを複数段シリアル接続することにより、シフトレジスタを構成することができる。このように構成したシフトレジスタでは、回路構成を変えなくても、スタート信号の幅を変えることにより、容易に走査パルスの幅を変えることができる。

【0056】あるいは、上記の全ての画像表示装置において、上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する複数のセット・リセット型フリップフロップの内部ノードをリセットすることが好ましい。セット・リセット型フリップフロップを複数段シリアル接続することにより、シフトレジスタを構成することができる。このように構成したシフトレジスタでは、入力されるクロック信号の負荷が軽くなるとともに、動作速度が速いという利点がある。

【0057】上記のセット・リセット型フリップフロップを有する画像表示装置において、上記リセット手段が、上記セット・リセット型フリップフロップのセット信号を非アクティブにし、リセット信号をアクティブにすることが好ましい。セット・リセット型フリップフロップのリセット信号をアクティブにするだけでなく、セット信号を非アクティブにすることにより、上記フリップフロップの初期化を確実に行うことができる。

【0058】上記の全ての画像表示装置において、上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する全てのフリップフロップの内部ノードをリセットすることが好ましい。シフトレジスタを構成するすべてのセット・リセット型フリップフロップを初期化する場合には、全段を同一回路で構成するので、信号のタイミングずれ等が生じにくい。

【0059】あるいは、上記の全ての画像表示装置において、上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成するフリップフロップの半分の内部ノードをリセットすることが好ましい。例えば、シフトレジスタを構成するフリップフロップを1段置きに初期化することにより、次段のフリップフロップも初期化できる構成をとることができる。この場合には、初期化のための付加素子の総数を削減することができる。

【0060】上記の全ての画像表示装置は、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する複数のフリップフロップにクロック信号を入力し、クロック信号を入力すべきフリップフロップの少なくとも前段を含む1つまたは複数の段のフリップフロップの出力信号によってクロック信号の入力が制御される転送ゲートをさらに備えていることが好ましい。この構成では、クロック信号の入力が必要な段にのみ、転送ゲートを介してクロック信号が入力されるので、クロック信号線の負荷容量が軽減される。

【0061】上記転送ゲートを有する画像表示装置は、上記転送ゲートの後段で、上記データ信号線駆動回路ま

たは上記走査信号線駆動回路の駆動電圧の振幅よりも小さい上記クロック信号の振幅を上記駆動電圧まで昇圧し、上記転送ゲートを制御する信号により動作が制御される昇圧回路をさらに備えていることが好ましい。この構成では、クロック信号が入力される期間のみ、昇圧回路が動作する。すなわち、大部分のフリップフロップに対応する昇圧回路は動作が停止している。したがって、昇圧回路が動作時に貫通電流が流れるタイプのものである場合には、消費電流の大幅な削減が可能になるとともに、過剰電流に伴う電圧降下による動作不良が生ずる虞

【0062】また、この画像表示装置においては、上記転送ゲートが遮断されている期間に、上記昇圧回路に電流が流れないようなレベルの信号が上記昇圧回路に入力されることが好ましい。この構成においても、クロック信号が入力されない大部分のフリップフロップに対応する昇圧回路で電流が流れないので、消費電流の大幅な削減が可能になるとともに、過剰電流に伴う電圧降下による動作不良が生ずる虞がなくなる。

【0063】また、上記の昇圧回路を有する2つの画像表示装置において、上記転送ゲートが遮断されている期間に、上記昇圧回路が電源線および接地線の少なくとも一方から切り離されることが好ましい。この構成においても、クロック信号が入力されない大部分のフリップフロップに対応する昇圧回路で電流が流れないので、消費電流の大幅な削減が可能になるとともに、過剰電流に伴う電圧降下による動作不良が生ずる虞がなくなる。

【0064】上記の全ての画像表示装置（ただし、第3および第4の画像表示装置を除く）において、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方が、上記画素が形成される基板上に形成されていることが好ましい。このような構成においては、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を、画素と同一基板上に同一プロセスで形成することが可能になる。

【0065】本発明の画像表示装置は、上記データ信号線によって供給された映像データを上記走査信号線による制御の下で上記画素へ書き込むためのアクティブスイッチング素子をさらに備えるマトリクス型画像表示装置、すなわち、アクティブマトリクス型画像表示装置に対して好適に適用することができる。

【0066】また、このアクティブマトリクス型画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路、およびアクティブスイッチング素子の少なくとも一つを構成する能動素子が、多結晶シリコン薄膜トランジスタであることが好ましい。このように多結晶シリコン薄膜を用いてトランジスタを形成すると、従来のアクティブマトリクス型液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタに較べて、極めて駆動力の高い特性が得られるので、上記の効果に加えて、

画素および上記信号線駆動回路を、容易に、同一基板上に形成することができるという利点がある。

【0067】さらに、能動素子が多結晶シリコン薄膜トランジスタである上記のアクティブマトリクス型画像表示装置において、上記能動素子が、600以下の温度で形成されることが好ましい。このように、600以下のプロセス温度で、多結晶シリコン薄膜トランジスタを形成する場合には、歪み点温度が低いが、安価でかつ大型化の容易なガラスを、基板として用いることができる。

【0068】

【発明の実施の形態】〔実施の形態1〕本発明の第1の実施の形態について図1ないし図8に基づいて説明すれば、以下の通りである。なお、本実施の形態において、従来の画像表示装置における要素と同等の機能を有する要素については、同一の符号を付記する。

【0069】本実施の形態に係る画像表示装置は、図1ないし図4に示すように、画素アレイ1と、走査信号線駆動回路（以降、走査線ドライバと称する）2と、データ信号線駆動回路（以降、データ線ドライバと称する）3と、プリチャージ回路4と、制御回路5とを備えている。

【0070】画素アレイ1は、互いに交差する多数の走査信号線 $GL \dots (GL_j, GL_{j+1}, \dots)$ および多数のデータ信号線 $SL \dots (SL_i, SL_{i+1}, \dots)$ と、マトリクス状に配置された画素（図中、PIX）1a...とを有している。画素1aは、隣接する2本の走査信号線 $GL \cdot GL$ と隣接する2本のデータ信号線 $SL \cdot SL$ とで包囲された領域に形成される。

【0071】本画像表示装置がアクティブマトリクス型液晶表示装置である場合、上記の画素1aは、図5に示すように、データ信号線 $SL \dots$ によって供給された映像信号DAT（映像データ）を走査信号線 $GL \dots$ による制御の下で画素容量 C_p （画素）へ書き込むためのアクティブスイッチング素子としての電界効果トランジスタから成る画素トランジスタSWと、液晶容量 C_L を含む画素容量 C_p （必要に応じて補助容量 C_s が付加される）とによって構成される。このような画素1aにおいて、画素トランジスタSWのドレインおよびソースを介してデータ信号線 SL と画素容量 C_p の一方の電極とが接続され、画素トランジスタSWのゲートが走査信号線 GL に接続され、画素容量 C_p の他方の電極が全画素に共通の共通電極線（図示せず）に接続されている。これによって、画素容量 C_p における液晶容量 C_L に電圧が印加されると、液晶の透過率または反射率が変調され、画素アレイ1に映像信号DATに応じた画像が表示される。

【0072】走査線ドライバ2は、制御回路5からのクロック信号GCK、イネーブル信号GENおよびスタート信号（スタートパルス）GSTに基づいて各行の画素に接続された走査信号線 GL_j, GL_{j+1}, \dots に与える走査

信号を順次発生するようになっている。イネーブル信号 $G E N$ は、走査線ドライバ2の動作を可能にする制御信号である。走査線ドライバ2は、例えば、図8に示すように、シフトレジスタ11を備えることによって、走査信号を得るように、スタート信号 $G S T$ (開始信号) をクロック信号 $G C K$ に同期してシフトさせる。走査信号は、シフトレジスタ11の各段の出力信号とイネーブル信号 $G E N$ とがともにアクティブになったときに得られる。

【0073】データ線ドライバ3は、制御回路5により与えられた映像信号 $D A T$ (映像データ) を制御回路5からのクロック信号 $S C K$ およびスタート信号 (スタートパルス) $S S T$ に基づいてサンプリングして各列の画素に接続されたデータ信号線 $S L_1, S L_{i+1}, \dots$ に出力するようになっている。このデータ線ドライバ3は、例えば、図7に示すように、シフトレジスタ11を備えることによって、映像信号 $D A T$ をサンプリングするための信号を得るように、スタート信号 $S S T$ (開始信号) をクロック信号 $S C K$ に同期してシフトさせる。

【0074】プリチャージ回路4は、データ信号線 $S L$ への映像信号の出力を補助するために、映像信号の出力に先立って、予めデータ信号線 $S L$ を予備充電する回路である。このプリチャージ回路4は、図6に示すように、インバータ4aと、複数のアナログスイッチ4b...とを有している。インバータ4aは、制御回路5から与えられるプリチャージ制御信号 $P C T$ を反転する。アナログスイッチ4bは、データ信号線 $S L$ 毎に設けられており、プリチャージ制御信号 $P C T$ およびその反転信号によって開閉する。プリチャージ制御信号 $P C T$ がアクティブである期間に、チャージレベル信号 $P S G$ が、アナログスイッチ4bに取り込まれて、データ信号線 $S L_n$ ($n = 1, 2, 3, 4, \dots$) に出力される。これによって、データ信号線 $S L_n$ は、チャージレベル信号 $P S G$ の電位に予備充電される。

【0075】なお、液晶表示装置の仕様 (画面サイズ、画素数、入力信号の周波数等) によっては予備充電が不要になる場合もあるので、そのような場合にはこのプリチャージ回路4も不要となる。

【0076】制御回路5は、走査線ドライバ2、データ線ドライバ3およびプリチャージ回路4の動作を制御するための各種の制御信号を生成する回路である。制御信号としては、クロック信号 $G C K \cdot S C K$ 、スタート信号 $G S T \cdot S S T$ 、イネーブル信号 $G E N$ 、映像信号 $D A T$ 、プリチャージ制御信号 $P C T$ 、チャージレベル信号 $P S G$ 等が用意されている。

【0077】各画像表示装置は、データ線ドライバ3内の後述するシフトレジスタ11 (図7参照) を初期化 (リセット) するための初期化信号 (リセット信号) / $I N I T$ を生成する $N A N D$ ゲート8をさらに備えている。ローアクティブの初期化信号 / $I N I T$ は、制御回

路5からの複数の異なる種類の信号の組み合わせによって生成される。このため、上記の $N A N D$ ゲート8は、制御回路5からの異なる2種類の信号が入力されており、これら信号の否定論理積 ($N A N D$) を初期化信号 / $I N I T$ として、走査線ドライバ2およびデータ線ドライバ3に出力する。

【0078】例えば、図1に示す画像表示装置では、イネーブル信号 $G E N$ とプリチャージ制御信号 $P C T$ とを基に初期化信号 / $I N I T$ が生成される。図2に示す画像表示装置では、スタート信号 $G S T$ とプリチャージ制御信号 $P C T$ とを基に初期化信号 / $I N I T$ が生成される。図3に示す画像表示装置では、スタート信号 $S S T$ とプリチャージ制御信号 $P C T$ とを基に初期化信号 / $I N I T$ が生成される。図4に示す画像表示装置では、スタート信号 $G S T \cdot S S T$ を基に初期化信号 / $I N I T$ が生成される。

【0079】初期化信号 / $I N I T$ (リセット信号) を生成する基になるこれらの制御信号の組み合わせは、リセット信号を生成する基になる信号として、通常の画像表示期間においては使用しないか、または表示画像に影響しないようにすることができる組み合わせであるので、シフトレジスタ11の初期化のみに用いることができる。

【0080】続いて、上記のデータ線ドライバ3および走査線ドライバ2について詳細に説明する。

【0081】図7に、点順次駆動方式のデータ線ドライバ3を示す。このデータ線ドライバ3は、シフトレジスタ11、バッファ回路12およびサンプリングスイッチ13を備えている。

【0082】シフトレジスタ11は、直列に接続された複数のD型のフリップフロップ (図中、 $D F F$) 11a...と、複数の $N A N D$ ゲート11c...とを備えている。フリップフロップ11aは、クロック信号 $C K$ ($S C K$) および反転クロック信号 / $C K$ ($/ S C K$) のタイミングに同期して、入力信号 $I N$ を順次転送して出力信号 $O U T$ ($N_1 \cdot N_2 \cdot N_3 \cdot N_4 \dots$) として出力する。

【0083】D型のフリップフロップ11aは、具体的には、図8に示すように、1個のインバータ21、2個のクロックトインバータ22・23およびPチャネルトランジスタ24から成っている。クロックトインバータ22とインバータ21とが直列に接続され、クロックトインバータ23がインバータ21と並列に、かつ入出力の向きを逆にして接続されている。Pチャネルトランジスタ24は、ドレインが電源線に接続され、ソースがクロックトインバータ22の出力とインバータ21の入力との間に接続され、ゲートに初期化信号 / $I N I T$ が入力される。2個のクロックトインバータ22・23に入力されるクロック信号は、それぞれ逆位相の関係となるように設定されている。また、隣接するフリップフロ

ブ11a・11aにおいては、クロックインバータ22・23に入力されるクロック信号が逆位相の関係となるように設定されている。上記のように構成される、フリップフロップ11aは、電源投入時等に、初期化信号/INITにより内部ノードが高電位に初期化される結果、各出力が非アクティブとなる。なお、初期化信号/INITは、ローレベルのときにアクティブになる。すなわち、初期化信号/INITがローレベルのときに、フリップフロップ11aの内部ノードが初期化される。

【0084】NANDゲート11cは、1つのフリップフロップ11aの入力信号INおよび出力信号OUTがともに一方の入力に与えられ、次段のフリップフロップ11aの出力信号OUTが他方の入力に与えられる。NANDゲート11cは、クロック信号CLKおよび反転クロック信号/CLKならびにスタート信号SSTの設計仕様、シフトレジスタ11の構成等によっては不要になる場合がある。その場合は、各フリップフロップ11aの出力信号OUTが直接バッファ回路12に与えられる。

【0085】バッファ回路12は、分岐する2つの信号経路を有しており、一方の信号経路に配される偶数個のインバータと、他方の信号経路に配される奇数個のインバータとを有している。このように構成されるバッファ回路12は、シフトレジスタ11の各出力段から出力される出力信号OUTを保持および増幅するとともに、奇数個のインバータが配された信号経路で出力信号OUTを反転させる。それぞれの信号経路におけるインバータの数は、図に示した数に限定されない。

【0086】サンプリングスイッチ13は、Pチャネルトランジスタ13aとNチャネルトランジスタ13bとが並列かつコンプリメンタリ接続された構成を成している。このようなサンプリングスイッチ13においては、バッファ回路12から出力される逆位相の関係にある2つの信号 $S_n \cdot / S_n$ ($n = 1, 2, 3, 4, \dots$)によってPチャネルトランジスタ13aおよびNチャネルトランジスタ13bが開閉する。サンプリングスイッチ13がONするタイミングで取り込まれた映像信号DATは、データ信号線 SL_n ($n = 1, 2, 3, 4, \dots$)に出力される。

【0087】図9に、走査線ドライバ2を示す。この走査線ドライバ2は、シフトレジスタ11、NORゲート14およびバッファ回路15を備えている。

【0088】NORゲート14は、シフトレジスタ11の各出力段から出力された信号とイネーブル信号GENの反転信号である反転イネーブル信号/GENとの論理和否定を出力する。これによって、走査線ドライバ2は、反転イネーブル信号/GENのパルス幅で規定された一定のパルス幅を有する走査信号を出力する。バッファ回路15は、1個以上のインバータを有しており、NORゲート14の出力信号を保持および増幅する。

【0089】図10に、本発明のシフトレジスタ11の他の構成例を示す。このシフトレジスタ11では、図9に示すシフトレジスタ11と同様、フリップフロップ11a...を有しているが、初期化信号/INITが1段置きにフリップフロップ11a...に入力される。1段置きにフリップフロップ11a...を初期化しても、クロック信号の条件次第で、初期化されたフリップフロップ11aの出力により次段のフリップフロップ11aも初期化できるので、動作に支障はない。

【0090】この具体例を、D型のフリップフロップ11aを備えるシフトレジスタ11について説明する。初期化スイッチ、例えば、図8に示すPチャネルトランジスタ24のように内部ノードを初期化するためのトランジスタを備えるフリップフロップ11aがクロック信号CK（反転クロック信号/CKではなく）に同期する段のみである場合、初期化期間においては、クロック信号CKを非アクティブにすることによって、初期化されたフリップフロップ11aの出力が次段に入力される。したがって、次段に初期化スイッチを備えていないフリップフロップ11aが配されていても、そのフリップフロップ11aの内部状態も初期化される。

【0091】このように、初期化すべきフリップフロップ11aの数を減らすことで、初期化用のスイッチの数が削減されるとともに、初期化信号ラインの負荷が軽減されるというメリットがある。

【0092】引き続き、本画像表示装置の動作を説明する。

【0093】図11のタイミングチャートに、制御回路5から出力される各制御信号を示す。ここで、ハッチング部分は、映像信号DATが有効である期間、すなわち表示に用いるデータが入力される期間を示し、それ以外の期間はブランキング期間（帰線期間）である。また、図11の下側のタイミングチャートは、時間軸が拡張して描かれたクロック信号GCKに基づく各制御信号を示している。

【0094】プリチャージ制御信号PCTがアクティブのときに、データ信号線SLがチャージレベル信号PSGのレベルに予備充電され、その後、データ信号線SLに映像信号DATが書き込まれる。そして、イネーブル信号GEN（図9の走査ドライバ2では反転イネーブル信号/GENを用いている）がアクティブのときに、映像信号DATがデータ信号線SLから画素1aに書き込まれる。このように、通常駆動時、すなわち、画像表示装置が通常に動作しているときには、このタイミングチャートから分かるように、イネーブル信号GENおよびプリチャージ制御信号PCTは、同時にアクティブにならない。したがって、図1に示すように、イネーブル信号GENとプリチャージ制御信号PCTとの否定論理積信号（初期化信号/INIT）を、走査線ドライバ2およびデータ線ドライバ3を構成するシフトレジスタ11

のリセット信号として用いることができる。

【0095】この場合、画像表示装置の電源投入時には、図12のタイミングチャートに示すようにリセット動作が行われる。具体的には、電源が投入された後、予め定められた期間（リセット期間 T_{RES} ）は、イネーブル信号 GEN およびプリチャージ制御信号 PCT がともにアクティブ（ハイレベル）であるので、 $NAND$ ゲート8からローレベルの初期化信号 $/INIT$ が出力されてリセット動作が行われる。リセット期間終了後は、イネーブル信号 GEN およびプリチャージ制御信号 PCT の少なくとも一方が非アクティブ（ローレベル）になり、初期化信号 $/INIT$ も非アクティブ（ハイレベル）となるため、通常動作に移行する。

【0096】また、図11に示すように、スタート信号 SST およびプリチャージ制御信号 PCT は、通常駆動時には、同時にアクティブにならない。したがって、図3に示すように、スタート信号 SST およびプリチャージ制御信号 PCT の否定論理積信号（初期化信号 $/INIT$ ）を、シフトレジスタ11のリセット信号として用いることができる。この場合も、画像表示装置の電源投入後、予め定められた期間（リセット期間 T_{RES} ）には、図13のタイミングチャートに示すように、スタート信号 SST およびプリチャージ制御信号 PCT がともにアクティブとなり、リセット動作が行われる。また、リセット期間終了後は、スタート信号 SST およびプリチャージ制御信号 PCT の少なくとも一方が非アクティブになり、通常動作に移行する。

【0097】また、図11に示すように、通常駆動時のほとんどの期間において、スタート信号 GST およびプリチャージ制御信号 PCT が同時にアクティブにないようにすることができる。具体的には、スタート信号 GST がアクティブの期間において、映像信号 DAT が有効ではないので、プリチャージ制御信号 PCT を非アクティブに保つようなタイミングを得ることが可能である。したがって、図2に示すように、スタート信号 GST およびプリチャージ制御信号 PCT の否定論理積信号である初期化信号 $/INIT$ を、シフトレジスタ11のリセット信号として用いることができる。この場合も、画像表示装置の電源投入時、予め定められた期間（リセット期間 T_{RES} ）には、図14のタイミングチャートに示すように、スタート信号 GST およびプリチャージ制御信号 PCT がともにアクティブとなり、リセット動作が行われる。なお、通常駆動時には、初期化信号 $/INIT$ が一時的にアクティブになるが、この期間は、映像信号 DAT が有効ではないので、このリセット動作は表示画像に影響しない。

【0098】ここで、スタート信号 GST がアクティブの期間において映像信号 DAT が有効でないようにするには、スタート信号 GST をそのまま走査信号を作成するために用いるのではなく、図9に示すように、スター

ト信号 GST を、まず初段のフリップフロップ11a（ダミーのフリップフロップ）でシフトさせればよい。これは、スタート信号 GST と他の信号とを組み合わせるような場合（例えば、図15のタイミングチャートに示す次の例）に共通している。

【0099】また、図11に示すように、スタート信号 GST およびスタート信号 SST が同時にアクティブにならない期間を選択することができる。具体的には、スタート信号 GST がアクティブの期間において、映像信号 DAT が有効ではないので、スタート信号 SST を非アクティブに保つようなタイミングを得ることが可能である。したがって、図4に示すように、スタート信号 GST およびスタート信号 SST の積信号である初期化信号 $/INIT$ を、シフトレジスタ11のリセット信号として用いることができる。この場合も、画像表示装置の電源投入時には、図15のタイミングチャートに示すように、スタート信号 GST およびスタート信号 SST がともにアクティブの期間でリセット動作が行われる。

【0100】また、図11に示すように、通常駆動時のほとんどの期間において、スタート信号 GST およびスタート信号 SST が同時にアクティブにならないようにすることができる。具体的には、スタート信号 GST がアクティブの期間において、映像信号 DAT が有効ではないので、スタート信号 SST を非アクティブに保つようなタイミングを得ることが可能である。したがって、図4に示すように、スタート信号 GST およびスタート信号 SST の否定論理積信号である初期化信号 $/INIT$ を、シフトレジスタ11のリセット信号として用いることができる。この場合も、画像表示装置の電源投入時、予め定められた期間（リセット期間 T_{RES} ）には、図15のタイミングチャートに示すように、スタート信号 GST およびスタート信号 SST がともにアクティブとなり、リセット動作が行われる。なお、通常駆動時には、初期化信号 $/INIT$ が一時的にアクティブになるが、この期間は、映像信号 DAT が有効ではないので、このリセット動作は表示画像に影響しない。

【0101】上記の例は、いずれも電源投入時の初期化についての例であるが、シフトレジスタ11の初期化については、電源投入時に限らず、通常動作期間中に表示動作を中断させる場合にも、同様にシフトレジスタ11の初期化を行うことができる。この場合は、図16のタイミングチャートに示すように、例えば、表示期間（通常動作）において、表示動作を中断させている期間（映像信号 DAT を無効にしている期間）に、イネーブル信号 GEN およびプリチャージ制御信号 PCT を強制的にアクティブに変化させることによって、初期化信号 $/INIT$ をアクティブに変化させることができる。これにより、通常駆動時でない表示中断期間にリセット動作が行われる。

【0102】また、この場合、シフトレジスタ11内の

いずれかのフリップフロップ11aがアクティブになったままになっている可能性がある。このとき、後に述べるように、一部の回路（例えば、レベルシフト回路等）が動作していると、消費電流増加の原因になるか、または駆動回路を構成する一部のトランジスタのみ経時劣化が大きくなって動作が不安定になる虞がある。これに対して、表示動作を中断させたときにもシフトレジスタ11を初期化することによって、このような問題を回避することができる。

【0103】また、リセット期間については、シフトレジスタ11の全段を確実に初期化するだけの期間が最低限必要であるとともに、画像表示に影響を及ぼさない、例えば、電源投入後、画像が表示されるまでの時間が長くなりすぎないように期間に抑える必要がある。本実施の形態では、シフトレジスタ11の全段を確実に初期化するために、図12ないし図15に示すリセット期間 T_{RES} を1 μ sec以上必要とし、かつ画像表示に悪影響を与えないために、リセット期間 T_{RES} を100msec以下に制限している。

【0104】以上に述べたように、本画像表示装置においては、通常の表示動作においては使用しない信号の組み合わせに基づいてリセット信号を生成することが可能である。これによって、リセット信号を外部から入力する必要がなくなる。それゆえ、シフトレジスタ11を制御するための信号を制御回路5から走査線ドライバ2およびデータ線ドライバ3に供給するための信号線の負荷が必要以上に大きくなることを防ぐことができる。したがって、画像表示装置としての動作安定化が図られる。また、制御回路5を内蔵する外部ICの駆動能力および電源回路の供給能力を増大させる必要がないので、外部ICの低コスト化や低消費電力化が図られる。

【0105】ここで、表示形態の異なる表示モードについて説明する。この表示モードでは、図17に示すように、画面28における上側および下側の領域に所定幅のサイドブラック部28a・28aを表示する。この表示モードは、アスペクト比が4:3の画像表示装置において、16:9の画像を表示する場合等に相当する。このようなサイドブラック部28a・28aを表示する場合、プリチャージ回路4からデータ信号線SLにサイドブラック表示用の映像信号DATを出力することによって実現できる。具体的には、サイドブラック期間において、データ線ドライバ3は、映像信号をデータ信号線SL...へ出力しない停止状態にあり、黒表示のレベルに設定されたチャージレベル信号PSGを、プリチャージ回路4から全データ信号線SL...に一斉に出力する。

【0106】このとき、図18のタイミングチャートに示すように、イネーブル信号GENおよびプリチャージ制御信号PCTが同時にアクティブになる期間が存在する。したがって、イネーブル信号GENおよびプリチャージ制御信号PCTの否定論理積信号によって、シフト

レジスタ11の初期化を行おうとすると、シフトレジスタ11は、サイドブラック期間に初期化されるために動作を停止する。しかし、サイドブラック期間中は、データ線ドライバ3を動作させないので、データ線ドライバ3のシフトレジスタ11を初期化しても差し支えない。一方、走査線ドライバ2のシフトレジスタ11については、初期化によって動作が停止するとサイドブラック部28a・28aを表示できなくなるので、サイドブラック期間中の初期化は不適である。

【0107】したがって、サイドブラック部28a・28aを表示する表示モードを備えた画像表示装置では、この表示モードの動作時に、少なくとも走査線ドライバ2のシフトレジスタ11が初期化されないように構成される必要がある。例えば、上記の表示モードの動作時に、NANDゲート8からの初期化信号INITの供給路を遮断する手段、例えばスイッチを設けることが挙げられる。

【0108】あるいは、上記の表示モードの動作時に走査線ドライバ2のシフトレジスタ11が初期化されないようにするには、走査線ドライバ2が初期化機能を備えていなくてもよい。なぜなら、走査線ドライバ2は、データ線ドライバ3に比べて動作周波数が2~3桁小さいので、初期化による信号線負荷の低減を行わなくても誤動作が生じにくく、また、消費電力の増加も小さいからである。

【0109】このように、本実施の形態では、通常駆動時の信号の組み合わせとしては存在する（すなわち、通常駆動時に同時にアクティブになる）が、表示画像には影響を及ぼさないような組み合わせの信号に基づいてリセット信号を生成することも可能であり、その場合も、リセット信号を外部から入力する必要がなくなる。

【0110】〔実施の形態2〕本発明の第2の実施の形態について図19ないし図22に基づいて説明すれば、以下の通りである。なお、本実施の形態および以降の実施の形態において、前述の実施の形態1における要素と同等の機能を有する要素については、同一の符号を付記して、その説明を省略する。

【0111】本実施の形態に係る画像表示装置は、図19に示すように、前述の各画像表示装置（図1ないし図4参照）と同様、画素アレイ1、走査線ドライバ2、データ線ドライバ3、プリチャージ回路4、制御回路5およびNANDゲート8を備えている。また、本画像表示装置は、さらにインバータ9を備えている。このインバータ9は、NANDゲート8の出力信号を反転してハイアクティブの初期化信号INITを出力する。

【0112】なお、図19では、便宜上、図1の画像表示装置と同様、イネーブル信号GENとプリチャージ制御信号PCTとの組み合わせを用いた例についてのみ示している。しかしながら、これに限らず、図2ないし図4の画像表示装置で用いた信号の組み合わせについて

も、本画像表示装置に適用できる。また、走査線ドライバ2においても同様の構成を採ることができ、これは以降の実施の形態3および5についても同様である。

【0113】本画像表示装置のデータ線ドライバ3におけるシフトレジスタ11は、図20に示すように、D型のフリップフロップ11aの代わりに、SR（セット・リセット）型のフリップフロップ（図中、SRFF）11b...を有している。このシフトレジスタ11においては、隣接するフリップフロップ11b・11bについて、前段のフリップフロップ11bから当該段のフリップフロップ11bに入力される信号が活性化信号Gとして利用され、後段のフリップフロップ11bの出力信号OUTが当該段のフリップフロップ11bのリセット信号RESとして利用される。また、隣接するフリップフロップ11b・11bには、それぞれ逆位相のクロック信号が入力される。

【0114】なお、走査線ドライバ2におけるシフトレジスタ11も同様に構成される。

【0115】SR型のフリップフロップ11bは、具体的には、図21に示すように、Pチャネルトランジスタ31～33、Nチャネルトランジスタ34～39およびインバータ40・41から成っている。このフリップフロップ11bにおいては、クロック信号SCKまたは反転クロック信号/SCKがクロック信号/CKとして用いられている。

【0116】Pチャネルトランジスタ31およびNチャネルトランジスタ35・36は電源線と接地線との間に直列に接続され、Pチャネルトランジスタ32・33およびNチャネルトランジスタ37・38も、同様に電源線と接地線との間に直列に接続されている。トランジスタ31・35の接続点およびトランジスタ33・37の接続点は、Nチャネルトランジスタ39を介して接地線に接続されるとともに、インバータ40の入力端に接続されている。Pチャネルトランジスタ33およびNチャネルトランジスタ37のゲートは、インバータ40の出力端（インバータ41の入力端）に接続されている。

【0117】クロック信号/CKは、Nチャネルトランジスタ34を介してPチャネルトランジスタ31およびNチャネルトランジスタ36・38のゲートに入力される。リセット信号RESは、Pチャネルトランジスタ32およびNチャネルトランジスタ35のゲートに入力される。初期化信号INITは、Nチャネルトランジスタ39のゲートに入力される。

【0118】このように構成されるフリップフロップ11bは、活性化信号Gおよびクロック信号/CKが同時にアクティブの期間にセットされる結果、出力（OUT）がアクティブ状態となり、リセット信号RESがアクティブの期間にリセットされる結果、出力が非アクティブ状態となる。この動作を繰り返すことによって、スタート信号SST（GST）が後段に順次転送される。

また、電源投入時等に、各フリップフロップ11bの内部ノードが初期化信号INITによって低電位に初期化されると、出力がそれぞれ非アクティブとなる。

【0119】他のSR型のフリップフロップ11bは、図22に示すように、さらにPチャネルトランジスタ42を有している。このPチャネルトランジスタ42は、電源線とPチャネルトランジスタ31およびNチャネルトランジスタ36・38のゲートとの間に接続されている。また、前述の活性化信号Gは、Pチャネルトランジスタ42のゲートにも入力される。

【0120】このように構成されるフリップフロップ11bにおいては、活性化信号Gは、クロック信号/CKの入力を制御すると同時に、内部状態をリセットする機能を持っている。すなわち、活性化信号Gがアクティブであるときには、クロック信号/CKが入力されると、フリップフロップ11bがセットされ、活性化信号Gが非アクティブなときには、クロック信号/CKの入力が遮断されるとともに、セット信号（反転）のレベルをPチャネルトランジスタ42を介して高電位に変化させて内部状態を非アクティブにしている。これにより、フリップフロップとしての安定した動作が可能となる。

【0121】本実施の形態の画像表示装置のようにSR型のフリップフロップ11bを用いたシフトレジスタ11についても、前述の実施の形態1の画像表示装置と同様に、外部から別途リセット信号を供給することなく内部状態のリセットを行うことができる。したがって、上記のような構成を採用することによって、画像表示装置としての動作安定化が図られるだけでなく、外部ICの低コスト化や低消費電力化が図られる。

【0122】なお、フリップフロップ11bとしては、図21および図22に例示した回路に限らず、同等の機能を有する類似の回路をも含む。

【0123】〔実施の形態3〕本発明の第3の実施の形態について図23ないし図25に基づいて説明すれば、以下の通りである。

【0124】本実施の形態に係る画像表示装置は、図23に示すように、前述の各画像表示装置（図1ないし図4参照）と同様、画素アレイ1、走査線ドライバ2、データ線ドライバ3、プリチャージ回路4、制御回路5およびNANDゲート8を備えている。また、本画像表示装置は、さらにインバータ10を備えている。このインバータ10は、初期化信号/INITの出力経路と並列に設けられており、NANDゲート8の出力信号（初期化信号/INIT）を反転してハイアクティブの初期化信号INITを出力する。したがって、走査線ドライバ2およびデータ線ドライバ3のシフトレジスタ11には、図20に示すシフトレジスタ11とは異なり、図24に示すように、2種類の初期化信号INIT・/INITが与えられる。

【0125】なお、本実施の形態でも、実施の形態2と

同様、図23では、便宜上、図1の画像表示装置と同様、イネーブル信号GENとプリチャージ制御信号PCTとの組み合わせを用いた例についてのみ示している。

【0126】上記のシフトレジスタ11に設けられるSR型のフリップフロップ11bは、図25に示すように、図21に示すシフトレジスタ11にさらにPチャネルトランジスタ43・44を備えて構成されている。Pチャネルトランジスタ43は、電源線とリセット信号RESの供給線との間に接続されている。Pチャネルトランジスタ42は、電源線とPチャネルトランジスタ31およびNチャネルトランジスタ36・38のゲートとの間に接続されている。また、初期化信号/INITは、Pチャネルトランジスタ43・44のゲートに入力される。

【0127】このように構成されるフリップフロップ11bは、初期化信号/INITがアクティブであるときには、セット信号（反転）およびリセット信号のレベルを、それぞれPチャネルトランジスタ44・43を介して高電位に変化させて内部状態を非アクティブにしている。つまり、このフリップフロップ11bは、内部ノードだけでなく、入力ノード（セット信号およびリセット信号）も初期化するように構成されている。これにより、前段のフリップフロップ11bの出力によって、一旦初期化された内部ノードの電位レベルが変化することが回避されるので、シフトレジスタ11を確実に初期化することができる。

【0128】本実施の形態の画像表示装置でも、前述の実施の形態1および2の画像表示装置と同様に、外部から別途リセット信号を供給することなく内部状態のリセットを行うことができる。したがって、画像表示装置としての動作安定化が図られるだけでなく、外部ICの低コスト化や低消費電力化が図られる。

【0129】なお、フリップフロップ11bとしては、図25に例示した回路に限らず、同等の機能を有する類似の回路をも含む。また、セット信号およびリセット信号を初期化するための構成も例示した回路に限定されないのは勿論である。

【0130】〔実施の形態4〕本発明の第4の実施の形態について図26ないし図33に基づいて説明すれば、以下の通りである。

【0131】本実施の形態に係る画像表示装置は、図26に示すように、前述の各画像表示装置（図1ないし図4参照）と同様、画素アレイ1、走査線ドライバ2、データ線ドライバ3、プリチャージ回路4および制御回路5を備えているが、NANDゲート8は備えていない。したがって、走査線ドライバ2およびデータ線ドライバ3内のシフトレジスタには、初期化信号/INITが与えられない。

【0132】本画像表示装置のデータ線ドライバ3のシフトレジスタ11は、図27に示すように、実施の形態

1におけるシフトレジスタ11（図7参照）とほぼ同様に構成されているが、各フリップフロップ11aに初期化信号/INITが与えられない。

【0133】このシフトレジスタ11に設けられるD型のフリップフロップ11aは、図28に示すように、実施の形態1におけるフリップフロップ11a（図8参照）と同様、インバータ21およびクロックトインバータ22・23を備えており、さらに、Pチャネルトランジスタ24の代わりに、容量素子（容量）25を備えている。この容量素子25は、インバータ21およびクロックトインバータ22間に設けられる内部ノード N_1 と電源線との間に接続されている。このように構成されるフリップフロップ11aでは、電源投入時に、電源線の電位レベルが上昇するときに、この容量素子25を介して電源線に結合された内部ノード N_1 の電位も上昇するので、出力が非アクティブ状態に初期化される。

【0134】本画像表示装置における他のフリップフロップ11aは、図29に示すように、上記の容量素子25の代わりに、抵抗素子（抵抗）26を備えている。この抵抗素子26も、電源線と内部ノード N_1 との間に接続されている。このように構成されるフリップフロップ11aでは、電源投入時に、電源線の電位レベルが上昇するときに、抵抗素子26を介して内部ノード N_1 の電位も上昇するので、出力が非アクティブ状態に初期化される。

【0135】本画像表示装置のデータ線ドライバ3のシフトレジスタ11は、図30に示すように、実施の形態2におけるシフトレジスタ11（図20参照）とほぼ同様に構成されているが、各フリップフロップ11bに初期化信号/INITが与えられない。

【0136】このシフトレジスタ11に設けられるSR型のフリップフロップ11bは、図31に示すように、実施の形態2におけるフリップフロップ11b（図21参照）におけるNチャネルトランジスタ39の代わりに容量素子（容量）45を備えている。この容量素子45は、インバータ40の入力端である内部ノード N_{11} と接地線との間に接続されている。このように構成されるフリップフロップ11bでは、電源投入時に、電源線の電位レベルが上昇するときにも、内部ノード N_{11} の電位は、容量素子45を介した結合によって接地電位に固定されるので、出力が非アクティブ状態に初期化される。

【0137】本画像表示装置における他のフリップフロップ11bは、図32に示すように、さらに容量素子（容量）46・47を備えている。容量素子46は、Pチャネルトランジスタ31のゲートである内部ノード N_{12} と電源線との間に接続され、容量素子47は、Pチャネルトランジスタ33のゲートである内部ノード N_{13} と電源線との間に接続されている。このように構成されるフリップフロップ11bでは、電源投入時に、電源線の電位レベルが上昇するときに、前述のように、内部ノード

ド N_{11} の電位が、容量素子45を介した結合によって接地電位に固定されるだけでなく、内部ノード $N_{12} \cdot N_{13}$ の電位が、容量素子46・47を介した結合によって電源電位に固定されるので、出力が非アクティブ状態に初期化される。

【0138】本画像表示装置におけるさらに他のフリップフロップ11bは、図33に示すように、容量素子45～47に代えて抵抗素子（抵抗）48～50を備えている。このように構成されるフリップフロップ11bでは、電源投入時に、電源線の電位レベルが上昇するとき、内部ノード N_{11} の電位が、抵抗素子48を介して内部ノード N_{11} の電位が接地電位に固定されるとともに、内部ノード $N_{12} \cdot N_{13}$ の電位が、抵抗素子49・50を介して電源電位に固定されるので、出力が非アクティブ状態に初期化される。

【0139】以上のように、本実施の形態におけるフリップフロップ11a・11bは、外部から初期化信号が与えられなくても、容量または抵抗素子によって内部ノードを初期化する。それゆえ、本実施の形態の画像表示装置でも、前述の各実施の形態の画像表示装置と同様に、外部から別途リセット信号を供給することなく内部状態のリセットを行うことができる。したがって、画像表示装置としての動作安定化が図られるだけでなく、外部ICの低コスト化や低消費電力化が図られる。また、初期化のための信号配線やスイッチ等を必要とせず、回路構成の複雑化および配線負荷容量の増大を抑えることができる。

【0140】なお、本実施の形態では、データ線ドライバ3のシフトレジスタ11について説明したが、走査線ドライバ2のシフトレジスタ11も、上記と同様なフリップフロップ11aまたは11bを備えている。

【0141】〔実施の形態5〕本発明の第5の実施の形態について図1ないし図4ならびに図34ないし図39に基づいて説明すれば、以下の通りである。

【0142】本実施の形態に係る画像表示装置は、図1ないし図4に示すように、実施の形態1の各画像表示装置と同様、画素アレイ1、走査線ドライバ2、データ線ドライバ3、プリチャージ回路4、制御回路5およびNANDゲート8を備えている。また、本画像表示装置におけるデータ線ドライバ3においては、図34に示すように、シフトレジスタ11が転送ゲート11d...を備えている。

【0143】転送ゲート11dは、フリップフロップ11a毎に設けられており、クロック信号 SCK （ CK ）を入力する第1信号経路と、反転クロック信号 $/SCK$ （ $/CK$ ）を入力する第2信号経路とを有している。第1信号経路および第2信号経路の開閉は、例えば、同じ段のフリップフロップ11aに入力される入力信号 IN （前段のフリップフロップ11aからの出力信号 OUT ）と、その段のフリップフロップ11aからの出力信

号 OUT との組み合わせ信号（例えば和信号）によって制御される。

【0144】上記のように構成されるシフトレジスタ11において、フリップフロップ11aに入力される入力信号 IN によって第1および第2信号経路が閉じるので、クロック信号 SCK および反転クロック信号 $/SCK$ が転送ゲート11dを介してフリップフロップ11aに入力される。一方、フリップフロップ11aから出力される出力信号 OUT によって第1および第2信号経路が閉じるので、クロック信号 SCK および反転クロック信号 $/SCK$ が転送ゲート11dを介してフリップフロップ11aに入力される。

【0145】このような転送ゲート11dを設けることによって、シフトレジスタ11では、動作させるフリップフロップ11aにのみクロック信号 SCK および反転クロック信号 $/SCK$ を供給するので、全てのフリップフロップ11a...にクロック信号 SCK および反転クロック信号 $/SCK$ を供給する構成に比べてクロック信号線の負荷容量が大幅に軽減される。これにより、消費電力が低減するとともに、制御回路5の駆動能力を小さくすることができる。また、クロック信号線の遅延が小さくなる結果、シフトレジスタ11の動作マージンを拡大することができる。

【0146】ここで、D型のフリップフロップ11aを備えたシフトレジスタ11では、少なくとも前段のフリップフロップ11aの出力（当該段への入力）および当該段のフリップフロップ11aのいずれか一方がアクティブのときに転送ゲート11dが導通する。これは、各フリップフロップ11aの内部状態が、アクティブに遷移するとき、および非アクティブに遷移するときの双方でクロック信号が入力される必要があるからである。

【0147】一方、SR型のフリップフロップ11bの場合、クロック信号の入力は、実施の形態2で述べたように、前段のフリップフロップ11bの出力信号によって制御される（例えば、図20および図21参照）。例えば、説明を簡単にするために、図35に示すように、クロック信号を転送ゲート11dを介して入力するように構成すれば、前段のフリップフロップ11bの出力がアクティブのときに転送ゲート11dが導通する。これは、各フリップフロップ11bの内部状態がアクティブに遷移するときのみクロック信号が入力される必要があるからである。一方、内部状態が非アクティブに遷移するときは、後段のフリップフロップ11bの出力を用いるので、クロック信号が不要である。

【0148】ただし、SR型のフリップフロップ11bであっても、前記のD型のフリップフロップ11aのように、アクティブに遷移するとき、および非アクティブに遷移するときの双方でクロック信号の入力が必要になるタイプのフリップフロップも存在する。したがって、このようなフリップフロップを用いるシフトレジスタ1

1においては、少なくとも前段のフリップフロップの出力および当該段のフリップフロップの出力のいずれか一方がアクティブのときに転送ゲート11dを導通させなければならない。

【0149】したがって、SR型のフリップフロップ11b（実施の形態2ないし4）を備えたシフトレジスタ11は、上記のような転送ゲート11d...を有するシフトレジスタ11とほぼ同様にクロック信号の入力を制限することができる。

【0150】なお、転送ゲート11dを制御するための10 信号は、上記の例に限らず、他の信号を用いることも可能である。例えば、前々段や後段のフリップフロップの出力がアクティブ状態にあるときにも、当該段の転送ゲート11dを導通させてもよい。したがって、本実施の形態では、転送ゲート11dを導通させる信号として、クロック信号を入力すべきフリップフロップの少なくとも前段を含む1つまたは複数の段のフリップフロップの出力信号を用いればよいことになる。

【0151】ただし、必要以上に転送ゲート11dの導通状態を長引かせることは、負荷を増大させる結果を招くので、回避するべきである。

【0152】本画像表示装置の他のデータ線ドライバ3におけるシフトレジスタ11は、図36に示すように、昇圧回路としてのレベルシフト回路（図中、LS）11fを内蔵するフリップフロップ11aを備えている。この画像表示装置では、クロック信号SCKおよび反転クロック信号/SCKの振幅が、データ線ドライバ3に付与される電源電圧の振幅よりも小さく設定されている。したがって、クロック信号SCKおよび反転クロック信号/SCKは、転送ゲート11dの通過後、レベルシフト回路11fによって電源電圧まで昇圧される。

【0153】このようなレベルシフト回路11fを備えることにより、クロック信号SCKおよび反転クロック信号/SCKの振幅が制御回路5（外部コントローラ）の出力振幅と同一になる。それゆえ、制御回路5と駆動系（特に、走査線ドライバ2、データ線ドライバ3およびプリチャージ回路4）との間にレベルシフト用のICを付加する必要がなくなる。これにより、インターフェースの簡素化とコストの削減が実現される。

【0154】レベルシフト回路11fとしては、定常的に電流が流れる電流駆動型の回路と、信号が変化するときだけ電流が流れる電圧駆動型の回路とがあるが、電流駆動型のレベルシフト回路の方が動作マージンが大きい。したがって、後述するように、単結晶シリコン上のMOSトランジスタよりも駆動能力の劣る多結晶シリコン薄膜トランジスタ等で構成する場合に安定動作を得るには、電流駆動型のレベルシフト回路を用いることが望ましい。

【0155】しかし、上記のレベルシフト回路11fは、シフトレジスタ11を構成する各フリップフロップ 50

11aに内蔵されており、その数は数百以上に上る。このため、レベルシフト回路11fが電流駆動型の回路で構成される場合には、消費電流が非常に大きくなる。例えば、カムコーダや携帯情報端末に用いられる2ないし4型の画像表示装置では、画像表示装置全体では数mA以下の消費電流であるのに対し、レベルシフト回路が全て動作すると数十mA以上の電流が流れる場合がある。その結果、消費電力が大幅に増加するだけでなく、過大な電流による電源レベルの低下のために駆動回路が動作しなくなる虞がある。

【0156】したがって、同時に動作させるレベルシフト回路11fの数を最小限に抑えることが必要である。そのためには、転送ゲート11dを制御する信号と同一の信号で、レベルシフト回路11fの動作を制御することが有効である。このような構成によって、クロック信号が、動作させるフリップフロップ11aにのみ入力され、かつ必要なレベルまで昇圧される一方、他の段のフリップフロップ11aにおいては、クロック信号が入力されず、また、レベルシフト回路11fの動作も停止して電流が流れなくなる。

【0157】上記の構成を実現するには、D型のフリップフロップ11aを用いる場合、図36に示すように、転送ゲート11dの後段に動作制御可能なレベルシフト回路11fを配置すればよい。また、図36に示すシフトレジスタ11におけるフリップフロップ11aの代わりにSR型のフリップフロップ11bを用いる場合、図37に示すように、フリップフロップ11bにおいて、Nチャネルトランジスタ34とPチャネルトランジスタ31との間にレベルシフト回路11fを配置すればよい。このレベルシフト回路11fは、活性化信号Gによって動作する。これによって、フリップフロップ11bは、レベルシフトの機能と転送ゲート11dの機能とを併せ持つ回路として構成される。

【0158】ここで、フリップフロップの動作を停止させる方法としては、(1)レベルシフト回路への入力信号を定常電流が流れないようなレベルにすること、および(2)レベルシフト回路への電源供給経路を遮断することが挙げられる。

【0159】(1)を実現するには、例えば、図38に示すようなレベルシフト回路を用いればよい。

【0160】このレベルシフト回路は、入力回路61・62および出力回路63・64によって構成されている。入力回路61は、入力信号/INを入力する部分であり、Pチャネルトランジスタ61aおよびNチャネルトランジスタ61bから成っている。入力回路62は、入力信号INを入力する部分であり、Pチャネルトランジスタ62a・62bおよびNチャネルトランジスタ62cから成っている。出力回路63は、Pチャネルトランジスタ63aおよびNチャネルトランジスタ63bから成っている。出力回路64は、Pチャネルトランジスタ

タ64aおよびNチャネルトランジスタ64bから成っている。

【0161】このように構成されるレベルシフト回路では、活性化信号Gの状態によって動作が異なる。このレベルシフト回路は、活性化信号Gがアクティブのときに、入力回路61・62から入力信号IN・/INが取り込まれて、通常のレベルシフト回路として動作する。また、このレベルシフト回路は、活性化信号Gが非アクティブのときに、入力回路61・62から電源レベルの信号が入力される（中間レベルではない）ので、貫通電流が流れなくなる。

【0162】一方、(2)を実現するには、例えば、図39に示すようなレベルシフト回路を用いればよい。

【0163】このレベルシフト回路は、Pチャネルトランジスタ71～74およびNチャネルトランジスタ75～79によって構成されている。Pチャネルトランジスタ71は、定電流源として機能し、電圧Vbによって制御される。Nチャネルトランジスタ75・76は、カレントミラー回路を構成し、それぞれPチャネルトランジスタ72・73の能動負荷となる。Nチャネルトランジスタ77・78は、それぞれ入力信号IN・/INを入力するために、活性化信号Gによって制御される。また、Nチャネルトランジスタ79は、トランジスタ71～73・75・76からなるレベルシフト機能を有する部分（レベルシフト機能部）と接地線との間を活性化信号Gによって接続したり、切り離したりする。Pチャネルトランジスタ74は、活性化信号Gによって、出力信号OUTを出力する出力線を電源線と接続したり切り離したりする。

【0164】上記のように構成されるレベルシフト回路も、活性化信号Gの状態によって動作が異なる。このレベルシフト回路は、活性化信号Gがアクティブのときに、通常のレベルシフト回路として動作する。また、このレベルシフト回路は、活性化信号Gが非アクティブのときに、Nチャネルトランジスタ79によってレベルシフト機能部が接地線から切り離されるので、レベルシフト機能部における電流経路が遮断されて貫通電流が流れなくなる。しかも、出力線は、Pチャネルトランジスタ74によって電源電位に固定される。

【0165】なお、本実施の形態では、データ線ドライバ3のシフトレジスタ11について説明したが、走査線ドライバ2のシフトレジスタ11も、上記と同様なフリップフロップ11aまたは11bを備えている。

【0166】〔実施の形態6〕本発明の第6の実施の形態について図40ないし図42に基づいて説明すれば、以下の通りである。

【0167】本実施の形態に係る画像表示装置は、図40に示すように、実施の形態1の画像表示装置と同様、画素アレイ1と、走査線ドライバ2と、データ線ドライバ3と、プリチャージ回路4と、制御回路5とを備えて

おり、さらに電源回路6を備えている。

【0168】この画像表示装置では、走査線ドライバ2およびデータ線ドライバ3が画素アレイ1とともに、絶縁性基板、例えばガラス基板7上に形成されている（ドライバモノリシック構造）。絶縁性基板（基板）としては、サファイヤ基板、石英基板、無アルカリガラス等が用いられることが多い。また、画素トランジスタSWとして薄膜トランジスタが用いられ、走査線ドライバ2およびデータ線ドライバ3は薄膜トランジスタにより構成されている。

【0169】なお、図40において、ガラス基板7上に形成される構成は、図3に示す駆動系（両ドライバ2・3、プリチャージ回路4およびNANDゲート8）と同じであるが、これに限らず、前述の各実施の形態で説明した構成であってもよい。

【0170】電源回路6は、走査線ドライバ2に与える高電位側の電源電圧 V_{HG} と低電位側の電源電圧 V_{HL} とを出力するとともに、データ線ドライバ3およびプリチャージ回路4に与える高電位側の電源電圧 V_{HS} と低電位側の電源電圧 V_{SL} とを出力する。また、電源回路6は、ガラス基板7に対向して配される図示しないガラス基板上の共通電極に与える共通電位COMを出力する。

【0171】このような構成において、走査線ドライバ2およびデータ線ドライバ3は、画面（表示領域）とほぼ同じ長さの領域に広く分散して配置されているので、クロック信号を含む制御信号を供給するための配線は極めて長くなる。したがって、制御信号供給線の負荷容量も極めて大きくなるので、制御信号を局所的に入力することによる制御信号供給線の負荷容量の削減効果も大きくなる。

【0172】また、本画像表示装置は、前述の各実施の形態で説明した、外部からのリセット信号の供給が不要な構成を備えているので、リセット信号供給用の信号線を別途設ける必要がない。それゆえ、制御回路5から走査線ドライバ2およびデータ線ドライバ3への信号線の負荷が必要以上に大きくなることを防ぐことができる。したがって、画像表示装置としての動作安定化が図られる。また、制御回路5を内蔵する外部ICの駆動能力および電源回路6の供給能力を増大させる必要がないので、外部ICの低コスト化や低消費電力化が図られる。

【0173】また、データ線ドライバ3および走査線ドライバ2を画素1a...と同一のガラス基板7上にモノリシックに形成することにより、ガラス基板7の外部からは、制御回路5からの制御信号と、電源回路6からの各種電圧とが入力されるのみである。それゆえ、本画像表示装置においては、外付のICをドライバとして用いた画像表示装置に比べ、ガラス基板7への入力端子数が少なくなる。その結果、ガラス基板7に部品を実装するためのコストや、その実装に伴う不良の発生を低減することができる。したがって、駆動回路の製造コストや実装

コストの低減および駆動回路の信頼性の向上を図ることができる。

【0174】ところで、前記の薄膜トランジスタは、図41に示すような構造を有する多結晶シリコン薄膜トランジスタである。この構造においては、ガラス基板7上に汚染防止用のシリコン酸化膜81が堆積されており、その上に電界効果トランジスタが形成されている。

【0175】上記の薄膜トランジスタは、シリコン酸化膜81上に形成されたチャネル領域82a、ソース領域82bおよびドレイン領域82cからなる多結晶シリコン薄膜82と、さらにその上に形成されたゲート絶縁膜83、ゲート電極84、層間絶縁膜85および金属配線86・86により構成されている。

【0176】上記の多結晶シリコン薄膜トランジスタは、絶縁性基板上の多結晶シリコン薄膜を活性層とする順スタガー（トップゲート）構造を成しているが、本実施の形態ではこれに限らず、逆スタガー構造等の他の構造のトランジスタであってよい。また、本画像表示装置では、単結晶シリコン薄膜トランジスタ、非晶質シリコン薄膜トランジスタ、または他の材料からなる薄膜トランジスタも適用することが可能である。

【0177】上記のような多結晶シリコン薄膜トランジスタを用いることによって、実用的な駆動能力を有する走査線ドライバ2およびデータ線ドライバ3を、画素アレイ1が形成されるガラス基板7上に、画素1a...とほぼ同一の製造工程で作製することができる。また、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタ（MOSトランジスタ）に比べて、駆動能力が1ないし2桁も小さい。それゆえ、このようなトランジスタによってシフトレジスタを構成するには、トランジスタのサイズを大きくする必要があるので、入力負荷容量も大きくなる傾向がある。したがって、制御信号を局所的に入力することによる制御信号供給線の負荷容量の削減効果も大きくなる。

【0178】また、多結晶シリコン薄膜トランジスタは、閾値電圧等の特性が、単結晶上のMOSトランジスタよりも劣っているので、このようなトランジスタによって前述のレベルシフト回路を構成するには、定常電流が流れる電流駆動型を採用せざるを得ない場合がある。したがって、本実施の形態の画像表示装置のように電源投入時等に初期化を行うことにより、過大な電流が流れるのを防ぐ効果が特に顕著になる。

【0179】前記の薄膜トランジスタは、例えば、以下のプロセスによって製造される。

【0180】まず、図42(a)に示すガラス基板7上に、非晶質シリコン薄膜a-Siを堆積させる（図42(b)）。次いで、その非晶質シリコン薄膜a-Siにエキシマレーザを照射することにより、多結晶シリコン薄膜82を形成する（図42(c)）。この多結晶シリコン薄膜82を所望の形状にパターニングし（図42

(d)）、その上に二酸化シリコンからなるゲート絶縁膜83を形成する（図42(e)）。

【0181】さらに、ゲート電極84をアルミニウム等で形成する（図42(f)）。その後、多結晶シリコン薄膜82においてソース領域82bおよびドレイン領域82cとなるべき部分に不純物（n型領域には燐、p型領域には硼素）を注入する（図42(g)(h)）。n型領域に不純物を注入する際には、p型領域をレジスト88でマスクし（図42(g)）、p型領域に不純物を注入する際には、n型領域をレジスト88でマスクする（図42(h)）。

【0182】そして、二酸化シリコン、窒化シリコン等からなる層間絶縁膜85を堆積させ（図42(i)）、層間絶縁膜85にコンタクトホール85a...を形成する（図42(j)）。最後に、コンタクトホール85a...にアルミニウム等の金属配線86...を形成する（図42(k)）。

【0183】上記のプロセスにおける最高温度は、ゲート絶縁膜83を形成するときの600以下である。したがって、絶縁性基板として、耐熱性が極めて高い高価な石英基板を用いる必要がなくなり、米国コーニング社の1737ガラスのような安価な高耐熱性ガラスを使用することができる。それゆえ、液晶表示装置を安価に提供することが可能になる。

【0184】なお、液晶表示装置の製造においては、上記のようにして作製された薄膜トランジスタの上に、さらに別の層間絶縁膜を介して、透明電極（透過型液晶表示装置の場合）または反射電極（反射型液晶表示装置の場合）を形成する。

【0185】前記のプロセスを採用することにより、安価で大面積化が可能なガラス基板上に多結晶シリコン薄膜トランジスタを形成することができる。それゆえ、画像表示装置の低コスト化および大型化を容易に実現することができる。

【0186】以上、本実施の形態および前記の他の実施の形態において、幾つかの例を示した。しかしながら、本発明は、上記の各実施の形態に限定されることなく、各実施の形態の組み合わせた構成や、同様の概念に基づく全ての構成に適用される。

【0187】

【発明の効果】以上のように、本発明の第1のマトリクス型画像表示装置は、マトリクス状に設けられた複数の画素と、該画素に書き込む映像データを供給する複数のデータ信号線と、映像データの上記画素への書き込みを制御する複数の走査信号線と、上記データ信号線を駆動するためのデータ信号線駆動回路と、上記走査信号線を駆動するための走査信号線駆動回路と、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方の内部状態をリセットするためのリセット手段とを備え、上記データ信号線駆動回路および走査信号線駆動

回路の一部としてシフトレジスタを備え、上記リセット手段が、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部状態をリセットするためのリセット信号を通常駆動時には使用しない複数の信号の組み合わせを基に生成する構成である。

【0188】これにより、電源投入時等に、シフトレジスタがリセット（初期化）されるので、データ信号線駆動回路および走査信号線駆動回路の主要部であるシフトレジスタを制御する信号（クロック信号等）を選択入力している場合には、信号線負荷が必要以上に大きくなることを防ぐことができる。したがって、画像表示装置としての動作安定化を図るとともに、制御信号を供給する外部 IC の駆動能力および電源回路の供給能力を増大させる必要がないので外部 IC の低コスト化や低消費電力化を図ることができるという効果を奏する。

【0189】本発明の第 2 のマトリクス型画像表示装置は、第 1 のマトリクス型画像表示装置と同様の画素、データ信号線、走査信号線、データ信号線駆動回路、および走査信号線駆動回路を備え、さらに、上記内部状態をリセットするためのリセット手段として、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部状態をリセットするためのリセット信号を表示画像に影響しない複数の信号の組み合わせを基に生成するリセット手段を備えている構成である。

【0190】これにより、表示画像に影響しない信号の組み合わせを用いて、画像表示に影響を与えることなく、シフトレジスタの内部状態をリセットすることが可能となり、電源投入時等の不定状態を回避することができる。したがって、第 1 の画像表示装置と同様、画像表示装置としての動作安定化を図るとともに、外部 IC の低コスト化や低消費電力化を図ることができるという効果を奏する。

【0191】本発明の第 3 のマトリクス型画像表示装置は、第 1 のマトリクス型画像表示装置と同様の画素、データ信号線、走査信号線、データ信号線駆動回路、走査信号線駆動回路、およびリセット手段に加えて、基板外部から入力された信号を基に、上記データ信号線を駆動に先立って予備充電するプリチャージ回路を備え、上記データ信号線駆動回路、走査信号線駆動回路、およびプリチャージ回路の少なくとも一つが、上記画素が形成される基板上に形成されており、上記リセット手段が、上記基板上に形成されているデータ信号線駆動回路、走査信号線駆動回路、およびプリチャージ回路の少なくとも一つに対して基板外部から入力される複数の信号の組み合わせを基に、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部状態をリセットするためのリセット信号を生成する構成である。

【0192】本発明の第 4 のマトリクス型画像表示装置は、第 1 のマトリクス型画像表示装置と同様の画素、データ信号線、走査信号線、データ信号線駆動回路、走査信号線駆動回路、およびリセット手段を備え、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に対して基板外部から入力される複数の信号の組み合わせを基に、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部状態をリセットするためのリセット信号を生成する構成である。

【0193】上記第 3 および第 4 の構成によれば、シフトレジスタの内部状態をリセットするために、基板外部から基板上の回路に入力される信号と独立して、リセット信号を基板外部から基板上の回路に供給することが不要となるので、基板外部から基板上の回路に供給する信号数を低減することができる。

【0194】その結果、基板外部から基板上の回路に信号を供給するための信号線の本数を低減することができる。また、基板外部から基板上の回路に信号を供給する外部 IC の駆動能力および電源回路の供給能力を増大させる必要がないので、外部 IC の低コスト化や低消費電力化を図ることができるという効果を奏する。

【0195】上記の第 1 ないし第 3 の画像表示装置において、上記リセット手段が、（１）プリチャージ回路を制御するプリチャージ制御信号および走査信号線駆動回路のためのイネーブル信号の組み合わせ、（２）プリチャージ制御信号および走査信号線駆動回路の動作を開始させるスタート信号の組み合わせ、および（３）プリチャージ制御信号およびデータ信号線駆動回路の動作を開始させるスタート信号の組み合わせを基にリセット信号を生成する。上記の第 1 ないし第 4 の画像表示装置において、上記リセット手段が、（４）走査信号線駆動回路の動作を開始させる第 1 スタート信号およびデータ信号線駆動回路の動作を開始させる第 2 スタート信号の組み合わせを基にリセット信号を生成する。

【0196】（１）および（３）の信号は、通常の画像表示期間においては、同時にアクティブにはならない信号である。また、（２）および（４）の信号を、通常の画像表示期間においては同時にアクティブにならない信号として用いることができる。このためには、例えば、走査線信号回路を構成するシフトレジスタにダミーのフリップフロップを追加して画像表示期間をシフトさせることによって、それらの信号が同時にアクティブになる期間を画像表示期間と重ならないようにすればよい。

【0197】それゆえ、それらの信号を基にシフトレジスタの初期化（リセット）を行う際に、画像表示に影響

を与える虞はない。したがって、リセットの信頼性を向上させることができる。

【0198】上記の全ての画像表示装置において、電源投入時から正規の駆動が開始されるまでの間、上記リセット信号を生成する基になる信号が上記リセット手段に入力されるので、シフトレジスタの初期化（リセット）が行われても、その後の駆動回路の動作を正常に維持することができる。

【0199】あるいは、上記の全ての画像表示装置において、電源投入後に表示を中断する期間、上記リセット 10 信号を生成する基になる信号が上記リセット手段に入力されるので、表示を中断している期間内に、シフトレジスタの初期化（リセット）が行われても、その後の駆動回路の動作を正常に維持することができる。

【0200】上記の全ての画像表示装置において、上記リセット信号を生成する基になる信号が入力される期間が、1 μ sec 以上かつ100 msec 以下であるので、シフトレジスタの初期化（リセット）を確実に行うことができるとともに、表示に大きな支障が現れない。

【0201】本発明の第5のマトリクス型画像表示装置 20 は、第1のマトリクス型画像表示装置と同様の画素、データ信号線、走査信号線、データ信号線駆動回路、および走査信号線駆動回路を備え、さらに、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部ノードをリセットするために、上記内部ノードに付加された容量とを備えている構成である。

【0202】これにより、電源投入時に、容量を用いてシフトレジスタの初期化（リセット）を行うので、初期 30 化のためのスイッチが不要である。したがって、第1の画像表示装置の効果に加えて、回路規模を小さくするとともに、初期化スイッチを駆動するための信号を生成する必要があるために回路構成の単純化を図ることができるという効果を奏する。

【0203】上記の第5の画像表示装置において、上記容量が、電源電位にリセットすべき上記内部ノードと電源線との間に接続されていれば、容量カップリングにより、内部状態を電源レベルにリセットすることが可能になる。また、上記の第5の画像表示装置において、上記容量が、接地電位にリセットすべき上記内部ノードと接 40 地線との間に接続されていれば、容量カップリングにより、内部状態を接地レベルにリセットするので、リセットをより確実に行うことが可能になる。

【0204】本発明の第6のマトリクス型画像表示装置は、第1のマトリクス型画像表示装置と同様の画素、データ信号線、走査信号線、データ信号線駆動回路、走査信号線駆動回路、およびリセット手段を備え、上記リ 50 セット手段が、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を構成するシフトレジスタの内部ノードをリセットするために、上記内部ノードに

付加された抵抗である構成である。

【0205】本発明の第6の画像表示装置では、上記リセット手段が、内部ノードに付加された抵抗であるので、初期化のためのスイッチが不要であり、回路規模を小さくすることができる。また、初期化スイッチを駆動するための信号を生成する必要があるため、回路構成が単純になる。

【0206】上記の第6の画像表示装置において、上記抵抗が、電源電位にリセットすべき上記内部ノードと電源線との間に付加されていれば、電源線からの微小電流により、内部状態をリセットすることが可能になる。また、上記の第6の画像表示装置において、上記抵抗が、接地電位にリセットすべき上記内部ノードと接地線との間に付加されていれば、接地線からの微小電流により、内部状態をリセットすることが可能になる。

【0207】上記の全ての画像表示装置において、上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する複数のD型フリップフロップの内部ノードをリセットするものであれば、回路構成を変えなくても、スタート信号の幅を変えることにより、容易に走査パルスの幅を変えることができる。あるいは、上記の全ての画像表示装置において、上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する複数のセット・リセット型フリップフロップの内部ノードをリセットするものであれば、入力されるクロック信号の負荷が軽くなるとともに、動作速度が速くなるという効果を奏する。

【0208】上記のセット・リセット型フリップフロップを有する画像表示装置において、上記リセット手段が、上記セット・リセット型フリップフロップのセット信号を非アクティブにし、リセット信号をアクティブにするものであれば、セット・リセット型フリップフロップのリセット信号をアクティブにするだけでなく、セット信号を非アクティブにすることにより、上記フリップフロップの初期化を確実に行うことができるという効果を奏する。

【0209】上記の全ての画像表示装置において、上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する全てのフリップフロップの内部ノードをリセットするものであれば、全段が同一回路で構成されるので、信号のタイミングずれ等が生じにくくなる。あるいは、上記の全ての画像表示装置において、上記リセット手段が、上記データ信号線駆動回路または上記走査信号線駆動回路を構成するフリップフロップの半分の内部ノードをリセットするものであれば、初期化のための付加素子の総数を削減することができるという効果を奏する。

【0210】上記の全ての画像表示装置は、上記データ信号線駆動回路または上記走査信号線駆動回路を構成する複数のフリップフロップにクロック信号を入力し、ク

ロック信号を入力すべきフリップフロップの少なくとも前段を含む 1 つまたは複数の段のフリップフロップの出力信号によってクロック信号の入力が制御される転送ゲートをさらに備えていれば、クロック信号の入力が必要な段にのみ、転送ゲートを介してクロック信号が入力されるので、クロック信号線の負荷容量が軽減される。したがって、消費電力が削減されるとともに、外部コントローラの駆動能力を小さくすることができる。

【0211】上記転送ゲートを有する画像表示装置は、上記転送ゲートの後段で、上記データ信号線駆動回路または上記走査信号線駆動回路の駆動電圧の振幅よりも小さい上記クロック信号の振幅を上記駆動電圧まで昇圧し、上記転送ゲートを制御する信号により動作が制御される昇圧回路をさらに備えていれば、クロック信号が入力される期間のみ、昇圧回路が動作し、他の大部分のフリップフロップに対応する昇圧回路は動作が停止する。したがって、昇圧回路が動作時に貫通電流が流れるタイプのものである場合には、消費電流の大幅な削減が可能になるとともに、過剰電流に伴う電圧降下による動作不良が生ずる虞がなくなる。また、各フリップフロップに上記の昇圧回路を内蔵させる場合には、過大な定常電流による消費電力増大や電源降下が生ずるのを防ぐことができる。

【0212】また、この画像表示装置においては、上記転送ゲートが遮断されている期間に、上記昇圧回路に電流が流れないようなレベルの信号が上記昇圧回路に入力されるように構成されていれば、クロック信号が入力されない大部分のフリップフロップに対応する昇圧回路で電流が流れないので、消費電流の大幅な削減が可能になるとともに、過剰電流に伴う電圧降下による動作不良が生ずる虞がなくなる。

【0213】また、昇圧回路を有する上記の 2 つの画像表示装置において、上記転送ゲートが遮断されている期間に、上記昇圧回路が電源線および接地線の少なくとも一方から切り離されるように構成されていれば、クロック信号が入力されない大部分のフリップフロップに対応する昇圧回路で電流が流れないので、消費電流の大幅な削減が可能になるとともに、過剰電流に伴う電圧降下による動作不良が生ずる虞がなくなる。

【0214】上記の全ての画像表示装置（ただし、第 3 および第 4 の画像表示装置を除く）において、上記データ信号線駆動回路および上記走査信号線駆動回路の少なくとも一方が、上記画素が形成される基板上に形成されていれば、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方を、画素と同一基板上に同一プロセスで形成することが可能となるので、駆動回路の実装コストの低減や信頼性の向上を図ることができるという効果を奏する。

【0215】本発明の画像表示装置は、上記データ信号線によって供給された映像データを上記走査信号線によ

*る制御の下で上記画素へ書き込むためのアクティブスイッチング素子をさらに備えるマトリクス型画像表示装置、すなわち、アクティブマトリクス型画像表示装置に対して好適に適用することができる。

【0216】また、このアクティブマトリクス型画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路、およびアクティブスイッチング素子の少なくとも一つを構成する能動素子が、多結晶シリコン薄膜トランジスタであれば、従来のアクティブマトリクス型液晶表示装置に用いられていた非晶質シリコン薄膜トランジスタに較べて、極めて駆動力の高い特性が得られるので、上記の効果に加えて、画素および上記信号線駆動回路を、容易に、同一基板上に形成することができるという利点がある。したがって、製造コストや実装コストの低減と実装良品率の向上が期待できる。

【0217】さらに、能動素子が多結晶シリコン薄膜トランジスタである上記のアクティブマトリクス型画像表示装置において、上記能動素子が、600 以下の温度で形成されることが好ましい。このように、600 以下のプロセス温度で、多結晶シリコン薄膜トランジスタを形成する場合には、歪み点温度が低いが、安価でかつ大型化の容易なガラスを、基板として用いることができる。したがって、上記の効果に加えて、大型の画像表示装置を低コストで製造することができるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 および 5 に係る画像表示装置の第 1 例の構成を示すブロック図である。

【図 2】本発明の実施の形態 1 および 5 に係る画像表示装置の第 2 例の構成を示すブロック図である。

【図 3】本発明の実施の形態 1 および 5 に係る画像表示装置の第 3 例の構成を示すブロック図である。

【図 4】本発明の実施の形態 1 および 5 に係る画像表示装置の第 4 例の構成を示すブロック図である。

【図 5】上記の各画像表示装置がアクティブマトリクス型液晶表示装置である場合の画素の構成を示す回路図である。

【図 6】上記の各画像表示装置に設けられるプリチャージ回路の構成を示す回路図である。

【図 7】上記の各画像表示装置に設けられるデータ信号線駆動回路の構成を示す回路図である。

【図 8】上記データ信号線駆動回路に内蔵されるシフトレジスタを構成する D 型フリップフロップの構成を示す回路図である。

【図 9】上記の各画像表示装置に設けられる走査信号線駆動回路の構成を示す回路図である。

【図 10】上記の各画像表示装置に設けられるデータ信号線駆動回路の他の構成を示す回路図である。

【図 11】上記走査信号線駆動回路、データ信号線駆動回路およびプリチャージ回路を含む駆動系の動作を示す

タイミングチャートである。

【図 12】上記走査信号線駆動回路に与えるイネーブル信号および上記プリチャージ回路に与えるプリチャージ制御信号を基にリセット信号を生成する場合の上記駆動系の動作を示すタイミングチャートである。

【図 13】上記データ信号線駆動回路に与えるスタート信号および上記プリチャージ制御信号を基にリセット信号を生成する場合の上記駆動系の動作を示すタイミングチャートである。

【図 14】上記走査信号線駆動回路に与えるスタート信号および上記プリチャージ制御信号を基にリセット信号を生成する場合の上記駆動系の動作を示すタイミングチャートである。

【図 15】上記両駆動回路にそれぞれ与える 2 つのスタート信号を基にリセット信号を生成する場合の上記駆動系の動作を示すタイミングチャートである。

【図 16】上記イネーブル信号および上記プリチャージ制御信号を基にリセット信号を生成する場合に通常の表示動作を中断してリセットするときの上記駆動系の動作を示すタイミングチャートである。

【図 17】画面の上下部分にサイドブラック部を設けて表示する表示モードの表示画面例を示す説明図である。

【図 18】上記表示モードでの上記駆動系の動作を示すタイミングチャートである。

【図 19】本発明の実施の形態 2 に係る画像表示装置の構成を示すブロック図である。

【図 20】図 19 の画像表示装置に設けられるデータ信号線駆動回路の構成を示す回路図である。

【図 21】図 20 のデータ信号線駆動回路に内蔵されるシフトレジスタを構成する R S 型フリップフロップの構成を示す回路図である。

【図 22】図 20 のデータ信号線駆動回路に内蔵されるシフトレジスタを構成する R S 型フリップフロップの他の構成を示す回路図である。

【図 23】本発明の実施の形態 3 に係る画像表示装置の構成を示すブロック図である。

【図 24】図 23 の画像表示装置に設けられるデータ信号線駆動回路の構成を示す回路図である。

【図 25】図 24 のデータ信号線駆動回路に内蔵されるシフトレジスタを構成する R S 型フリップフロップの構成を示す回路図である。

【図 26】本発明の実施の形態 4 に係る画像表示装置の構成を示すブロック図である。

【図 27】図 26 の画像表示装置に設けられるデータ信号線駆動回路の構成を示す回路図である。

【図 28】図 27 のデータ信号線駆動回路のシフトレジスタを構成する D 型フリップフロップの構成を示す回路図である。

【図 29】図 27 のデータ信号線駆動回路のシフトレジスタを構成する D 型フリップフロップの他の構成を示す

回路図である。

【図 30】図 26 の画像表示装置に設けられるデータ信号線駆動回路の他の構成を示す回路図である。

【図 31】図 27 のデータ信号線駆動回路に内蔵されるシフトレジスタを構成する R S 型フリップフロップの構成を示す回路図である。

【図 32】図 27 のデータ信号線駆動回路に内蔵されるシフトレジスタを構成する R S 型フリップフロップの他の構成を示す回路図である。

【図 33】図 27 のデータ信号線駆動回路に内蔵されるシフトレジスタを構成する R S 型フリップフロップのさらに他の構成を示す回路図である。

【図 34】本発明の実施の形態 5 に係る画像表示装置に設けられるデータ信号線駆動回路の構成を示す回路図である。

【図 35】本発明の実施の形態 5 に係る画像表示装置に設けられるデータ信号線駆動回路の他の構成を示す回路図である。

【図 36】本発明の実施の形態 5 に係る画像表示装置に設けられるデータ信号線駆動回路のさらに他の構成を示す回路図である。

【図 37】図 36 のデータ信号線駆動回路におけるシフトレジスタの D 型フリップフロップの代わりに設けられる R S 型フリップフロップの構成を示す回路図である。

【図 38】図 36 のデータ信号線駆動回路におけるシフトレジスタのフリップフロップに内蔵されるレベルシフト回路の構成を示す回路図である。

【図 39】図 36 のデータ信号線駆動回路におけるシフトレジスタのフリップフロップに内蔵されるレベルシフト回路の他の構成を示す回路図である。

【図 40】本発明の実施の形態 6 に係る画像表示装置の構成を示すブロック図である。

【図 41】図 40 の画像表示装置を構成する多結晶シリコン薄膜トランジスタの構造を示す断面図である。

【図 42】(a) ないし (k) は図 41 の多結晶シリコン薄膜トランジスタの製造工程における各段階での構造を示す断面図である。

【図 43】従来の画像表示装置の構成を示すブロック図である。

【図 44】従来の画像表示装置の他の構成を示すブロック図である。

【図 45】図 43 および図 44 の画像表示装置に設けられるデータ信号線駆動回路の構成を示す回路図である。

【図 46】図 43 および図 44 の画像表示装置に設けられる走査信号線駆動回路の構成を示す回路図である。

【図 47】図 45 のデータ信号線駆動回路のシフトレジスタを構成する D 型フリップフロップの構成を示す回路図である。

【図 48】図 43 および図 44 の画像表示装置に設けられるデータ信号線駆動回路の他の構成を示す回路図である。

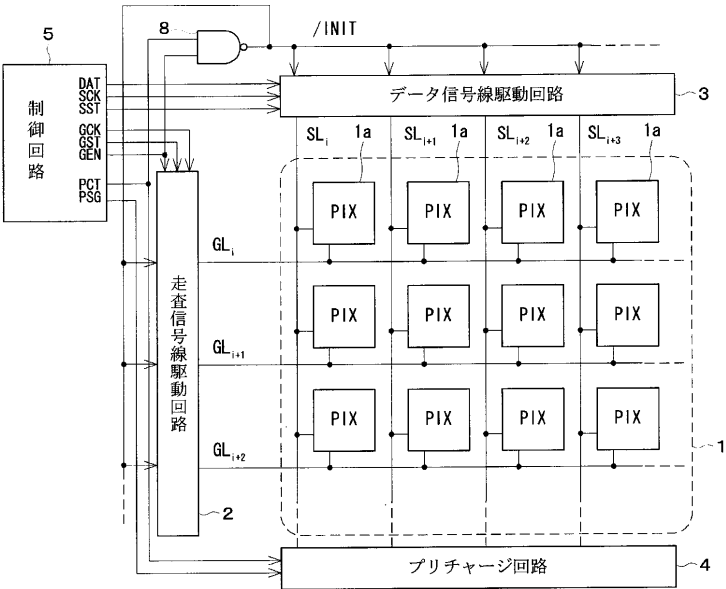
る。
【図49】図48のデータ信号線駆動回路のシフトレジスタを構成するRS型フリップフロップの構成を示す回路図である。

【符号の説明】

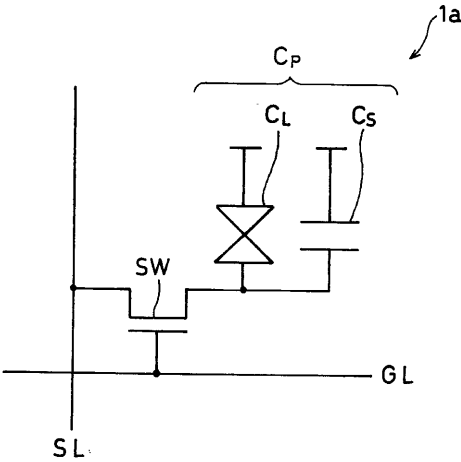
- 1 画素アレイ
- 1a 画素
- 2 走査信号線駆動回路
- 3 データ信号線駆動回路
- 4 プリチャージ回路
- 7 ガラス基板
- 8 NANDゲート(リセット手段)
- 9 インバータ(リセット手段)
- 10 インバータ(リセット手段)
- 11 シフトレジスタ
- 11a フリップフロップ(D型フリップフロップ)
- 11b フリップフロップ(リセット・セット型フリップフロップ)
- 11d 転送ゲート
- 11f レベルシフト回路(昇圧回路)
- 25 容量素子(容量、リセット手段)

- *26 抵抗素子(抵抗、リセット手段)
- 45~47 容量素子(容量、リセット手段)
- 48~50 抵抗素子(抵抗、リセット手段)
- DAT 映像信号
- CLK クロック信号
- /CLK クロック信号
- SST スタート信号(第1スタート信号、リセット基礎信号)
- GCK クロック信号
- /GCK クロック信号
- GEN イネーブル信号
- GST スタート信号(第2スタート信号)
- PCT プリチャージ制御信号
- INIT 初期化信号(リセット信号)
- /INIT 初期化信号(リセット信号)
- SL データ信号線
- GL 走査信号線
- SW 画素トランジスタ(アクティブスイッチング素子)
- 20 N₁ 内部ノード
- N₁₁~N₁₃ 内部ノード
- *

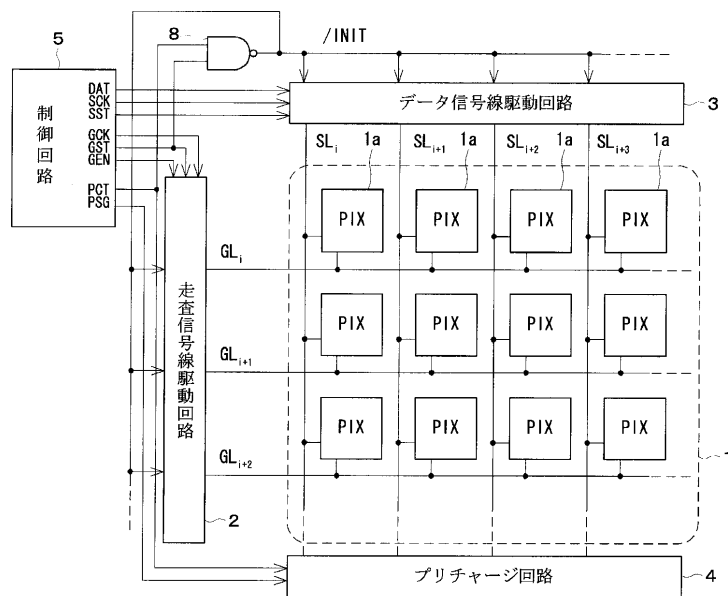
【図1】



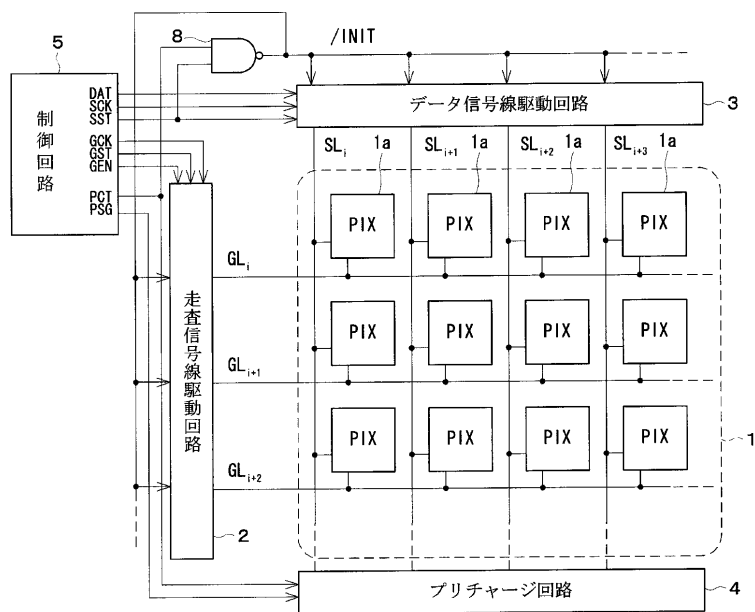
【図5】



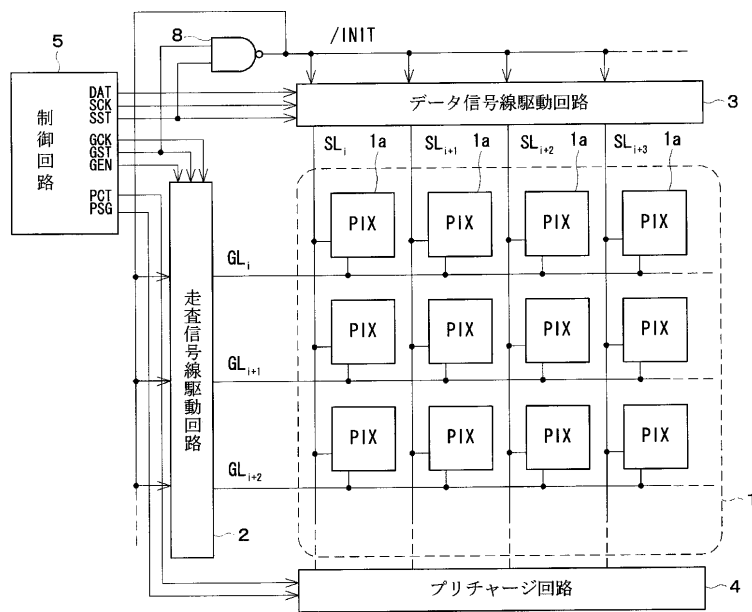
【図2】



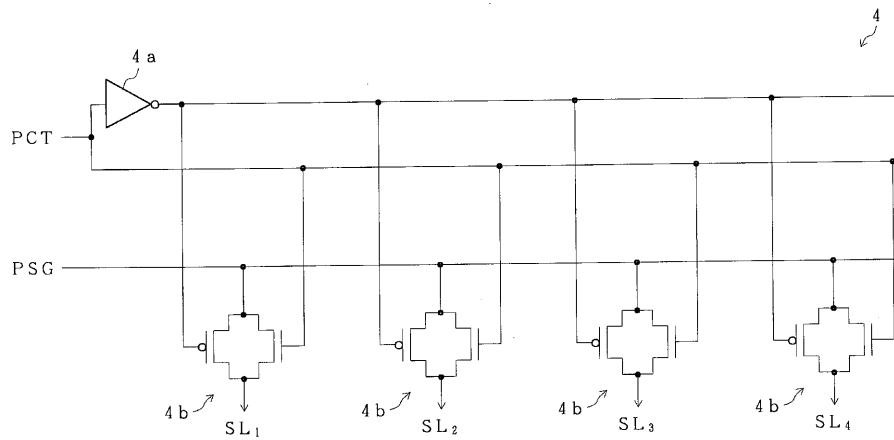
【図3】



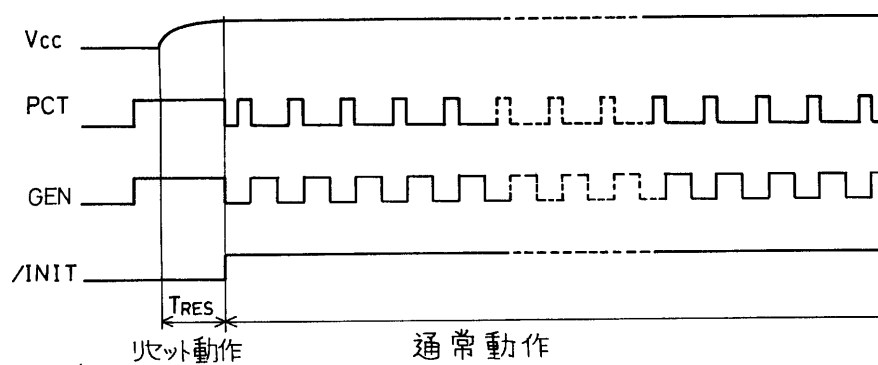
【図4】



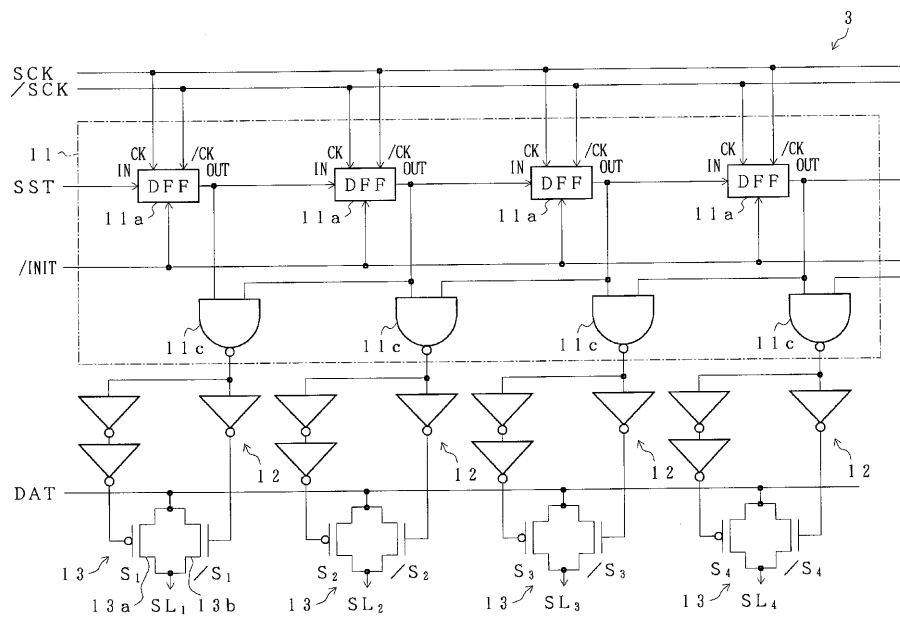
【図6】



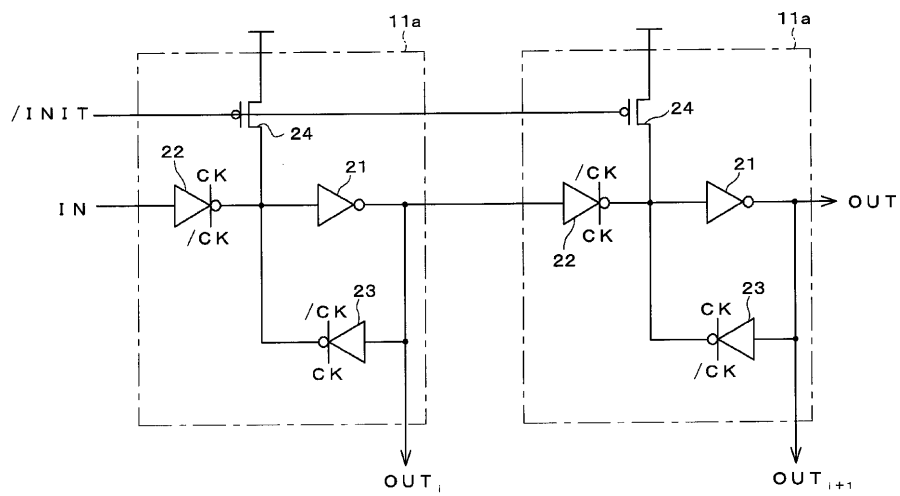
【図12】



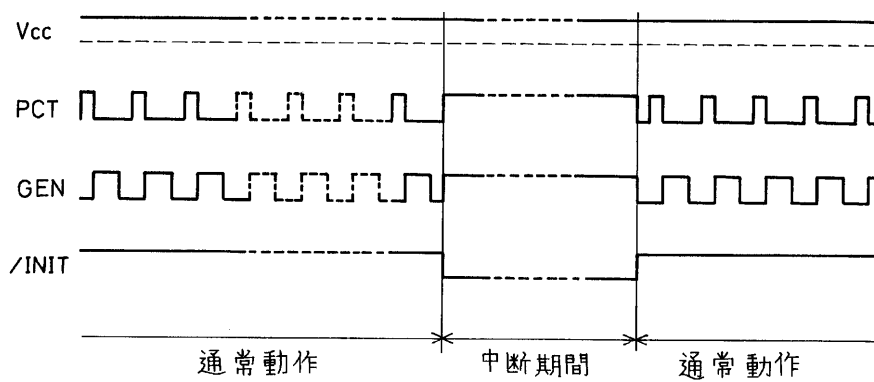
【圖 7】



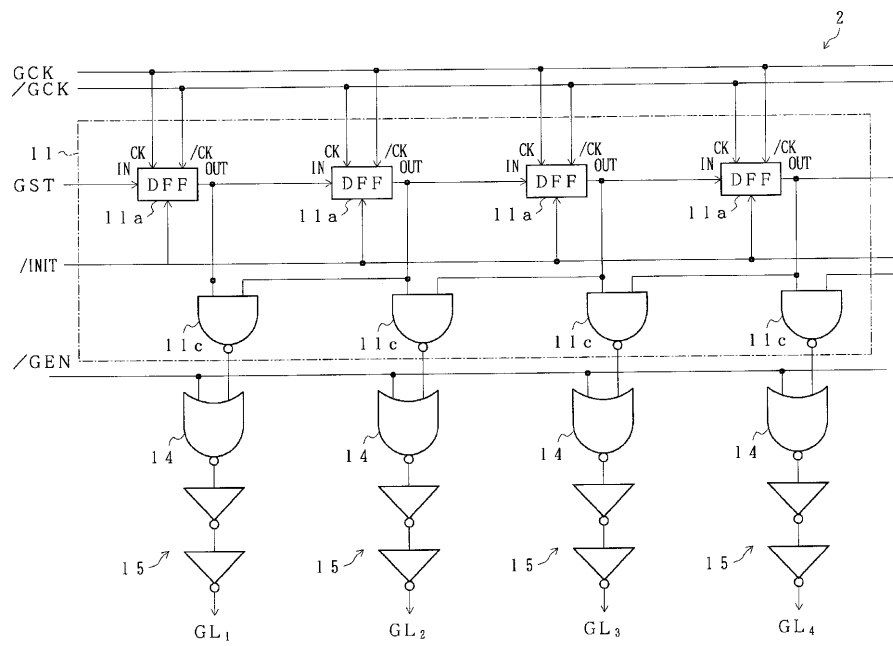
【圖 8】



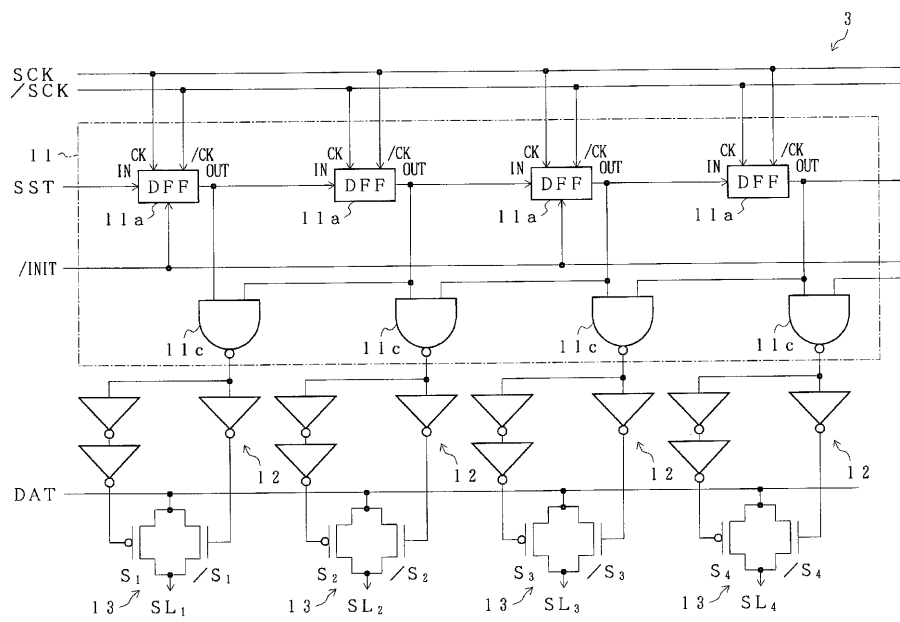
【図 16】



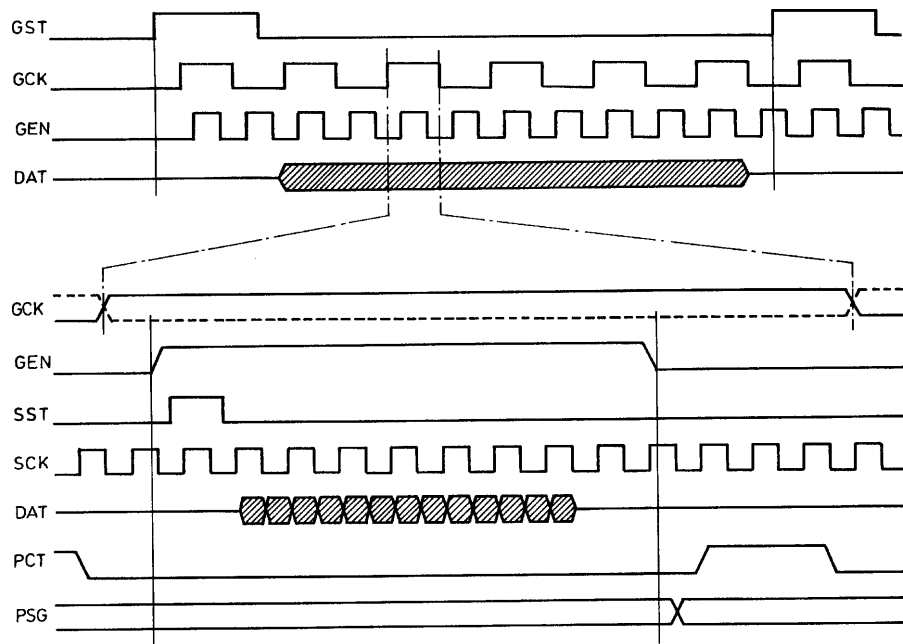
【図9】



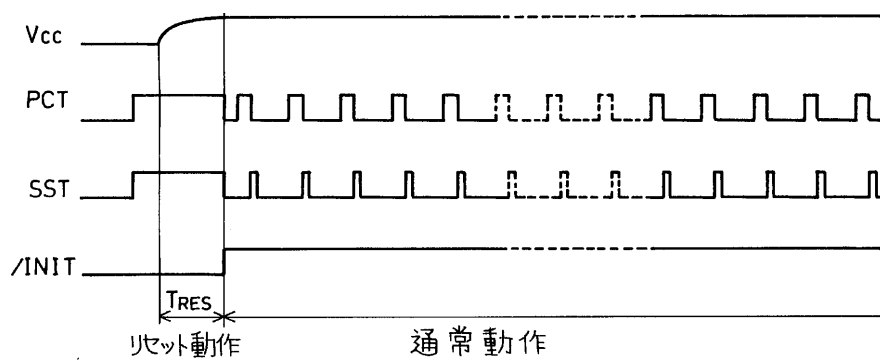
【図10】



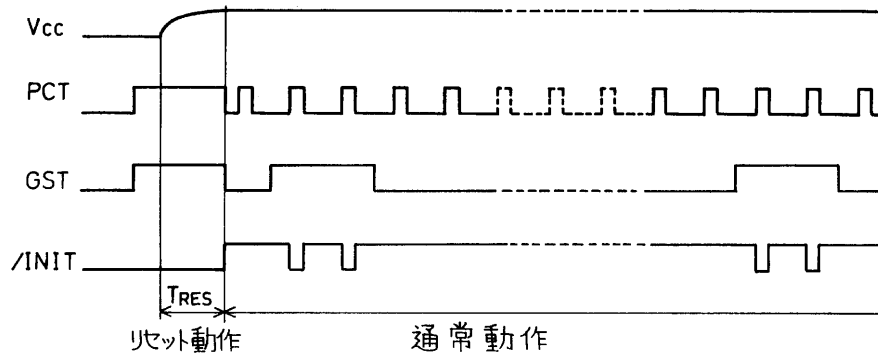
【図11】



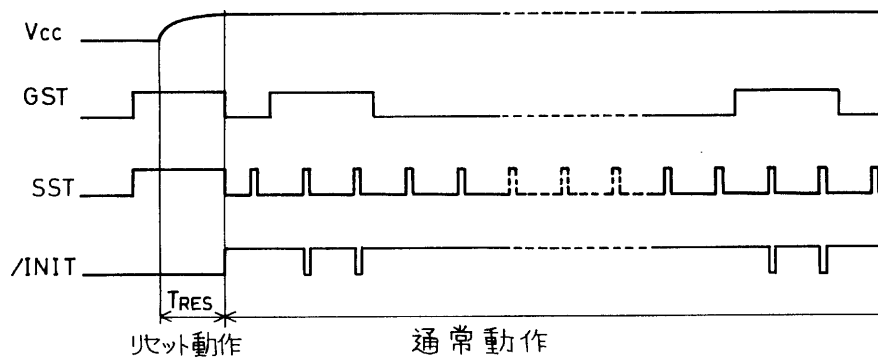
【図13】



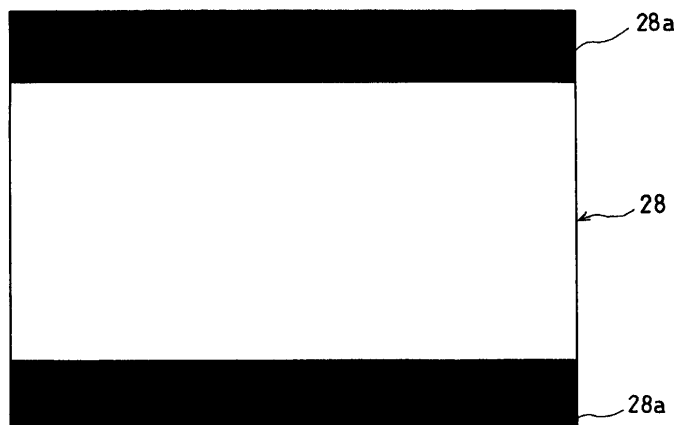
【図14】



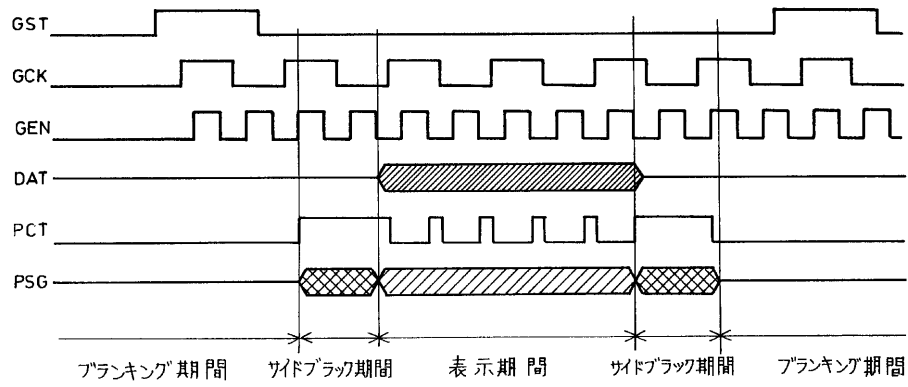
【図15】



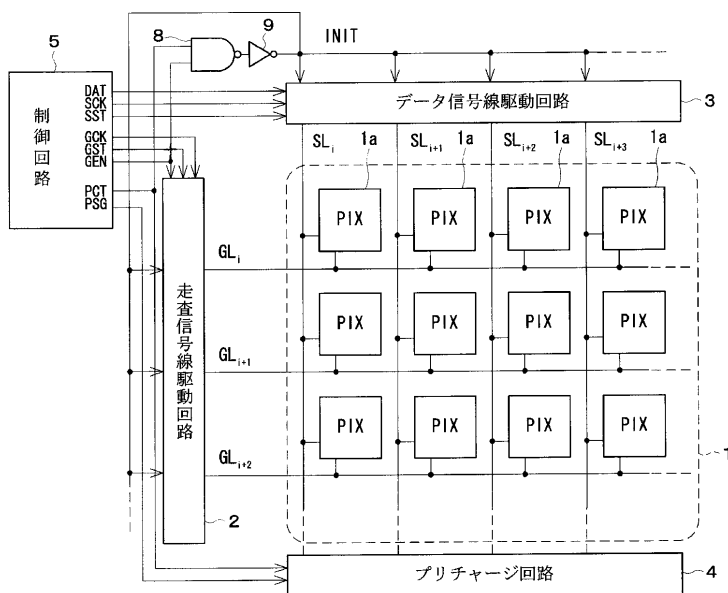
【図17】



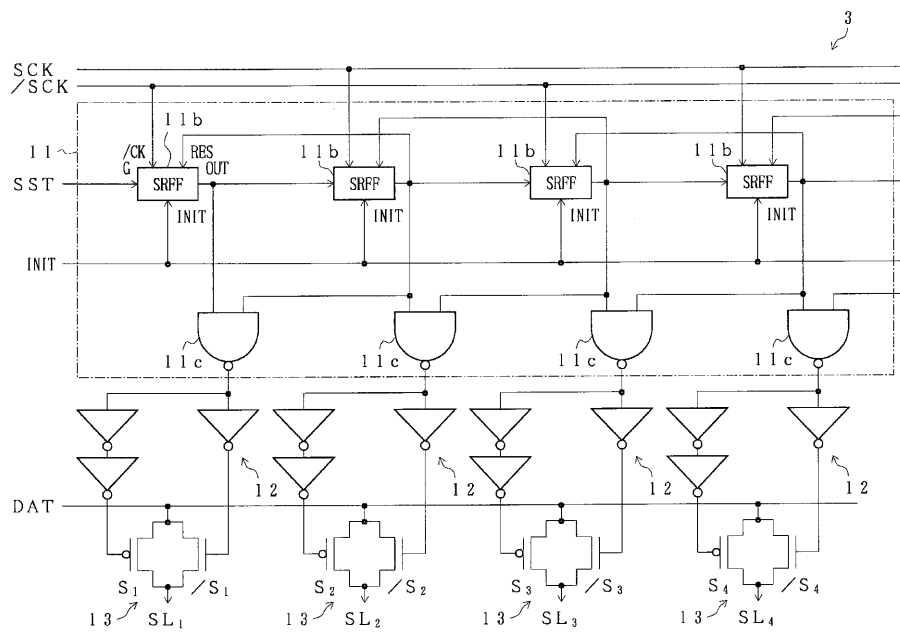
【図18】



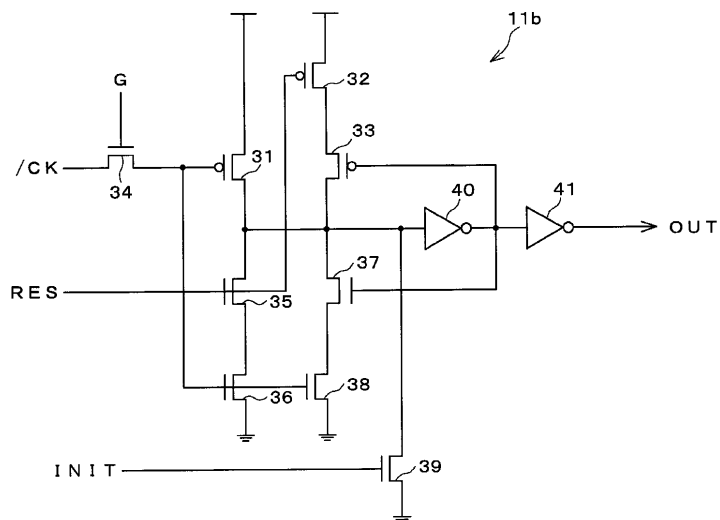
【図19】



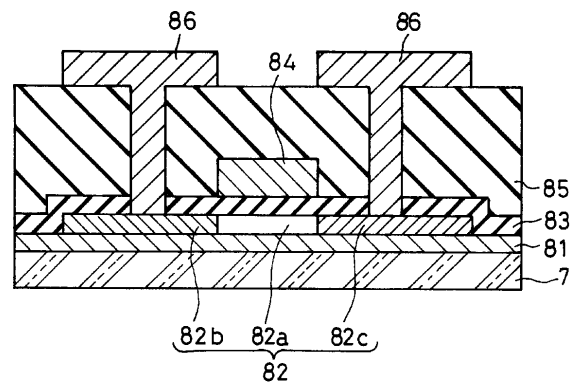
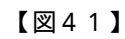
【図20】



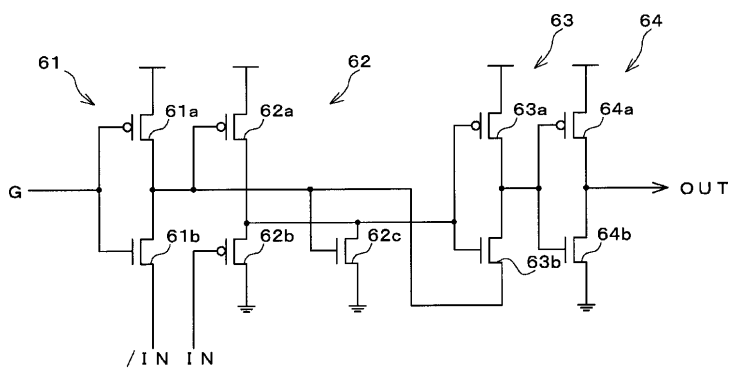
【図21】



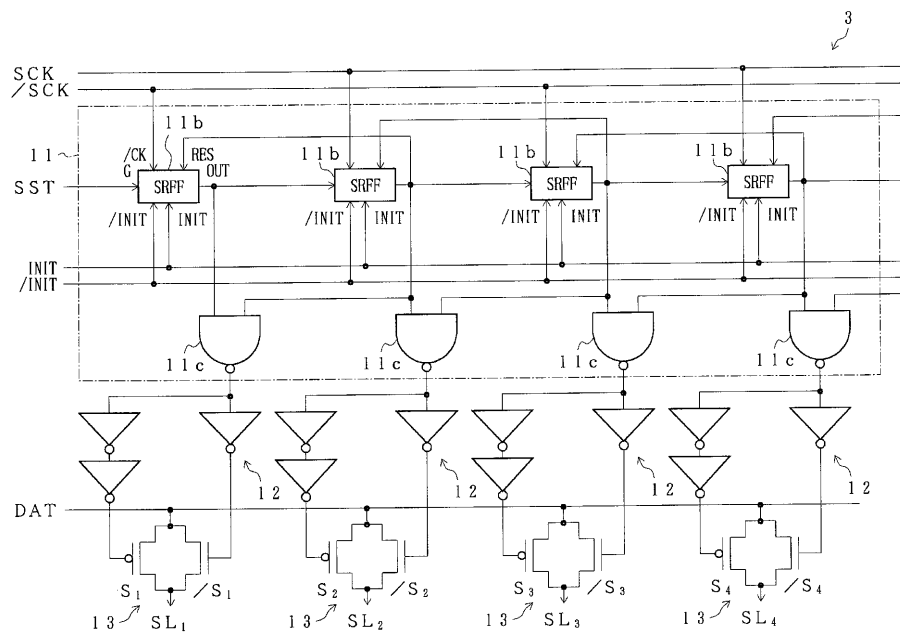
【圖 23】



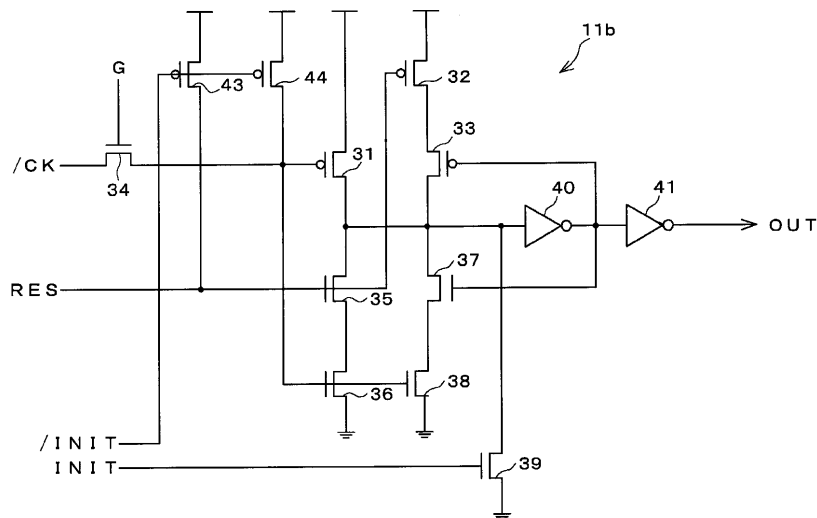
【図 3 8】



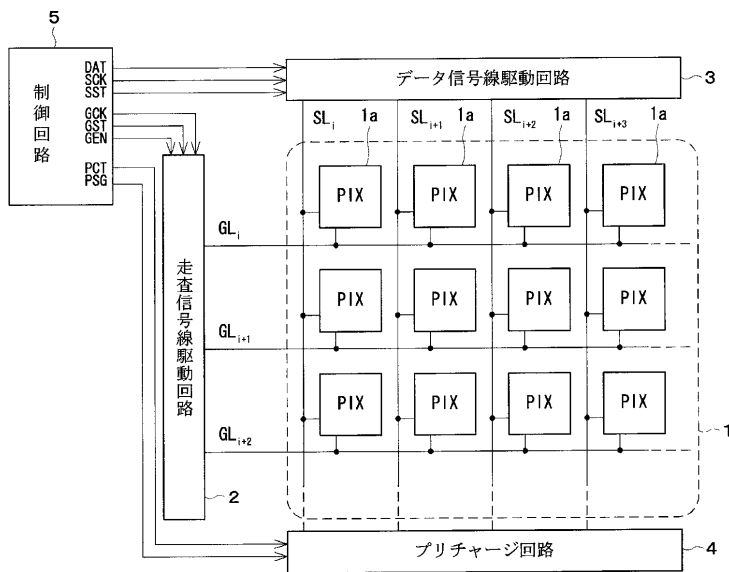
【図24】



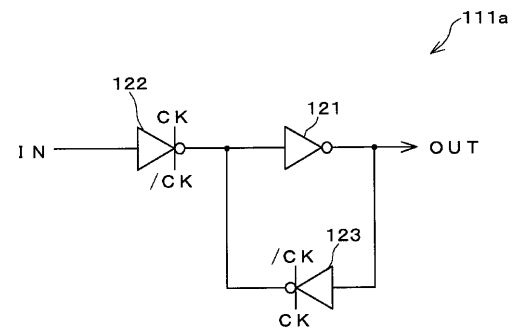
【図25】



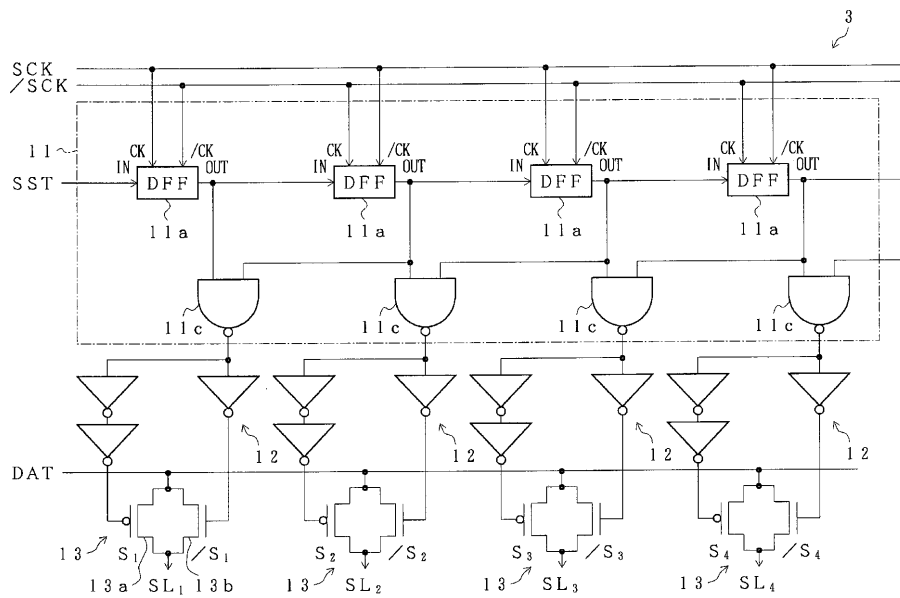
【図26】



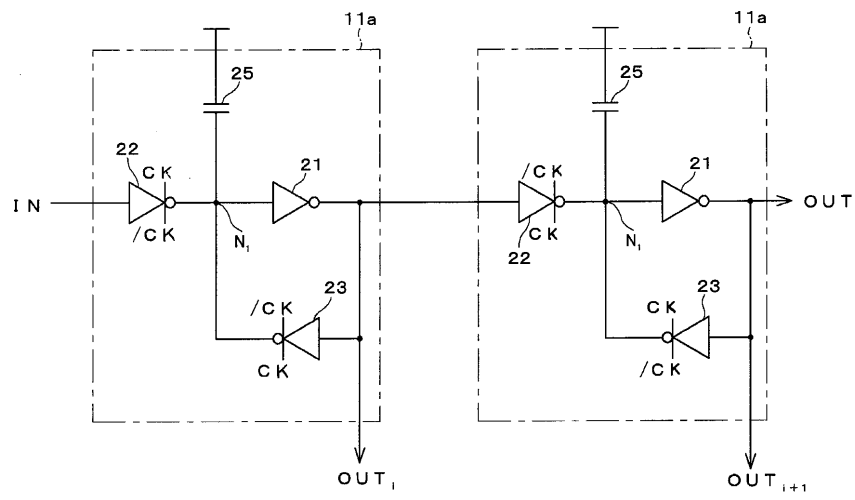
【図47】



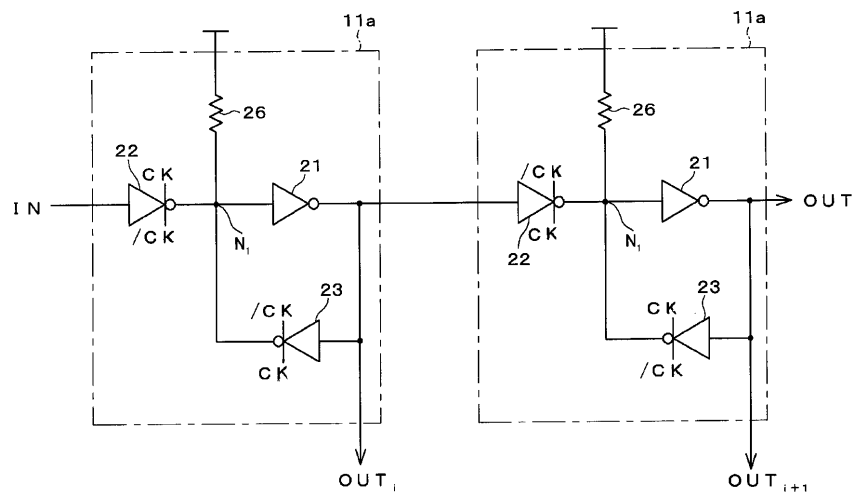
【図27】



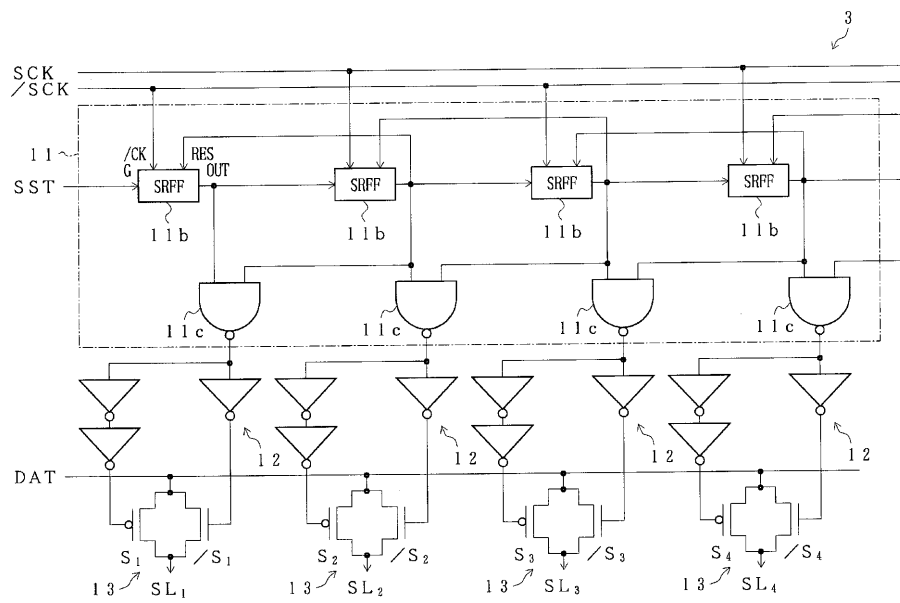
【図28】



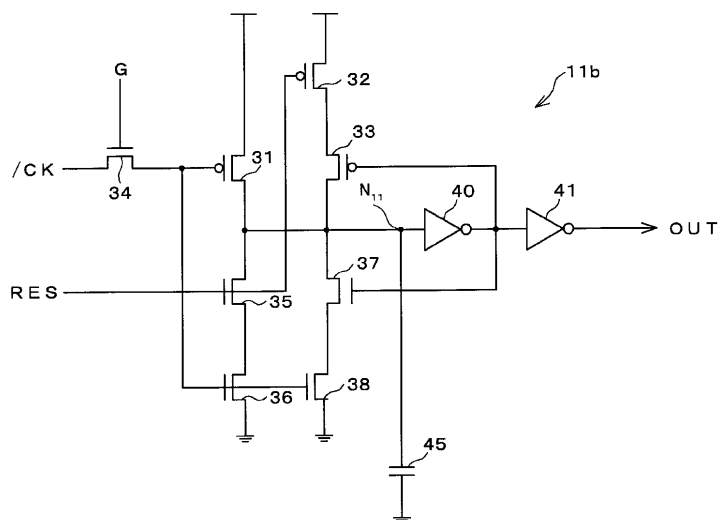
【図29】



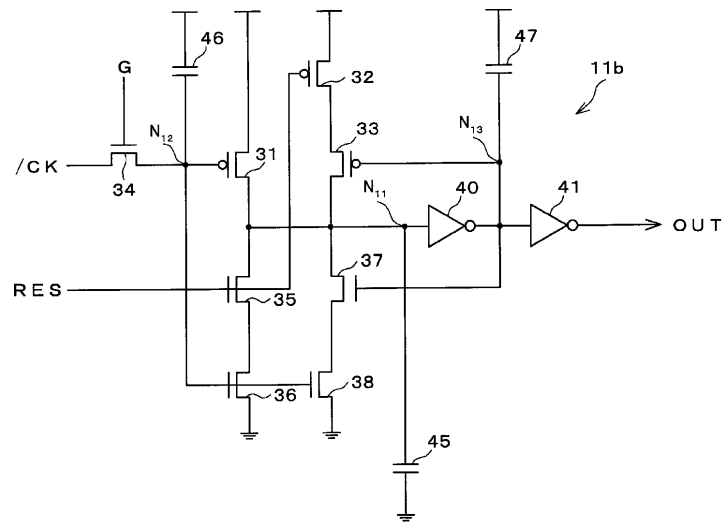
【図 30】



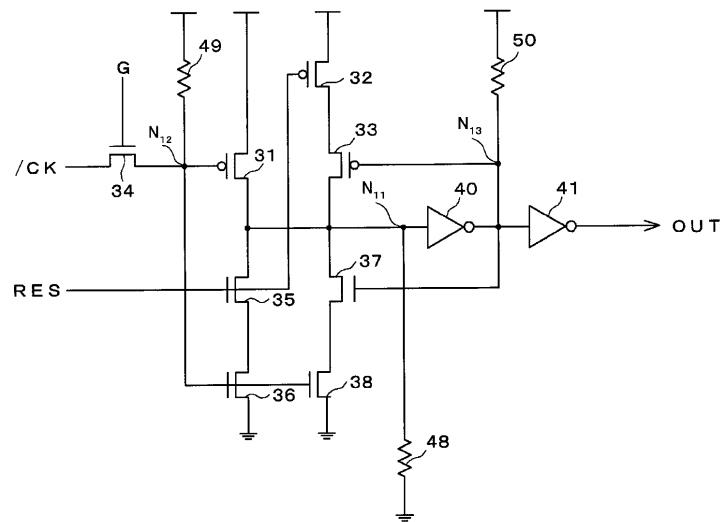
【図 3 1】



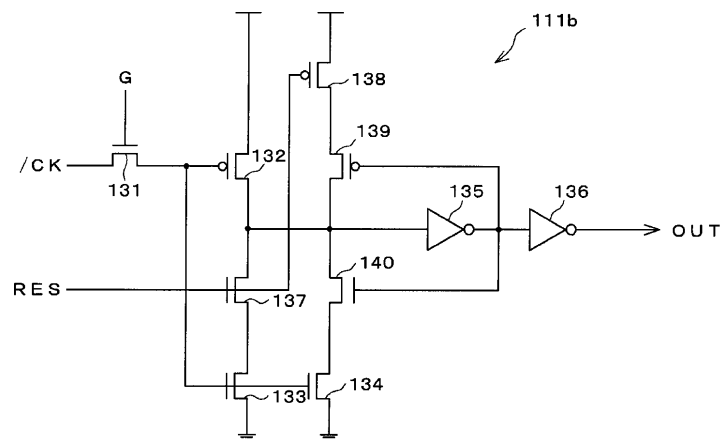
【図32】



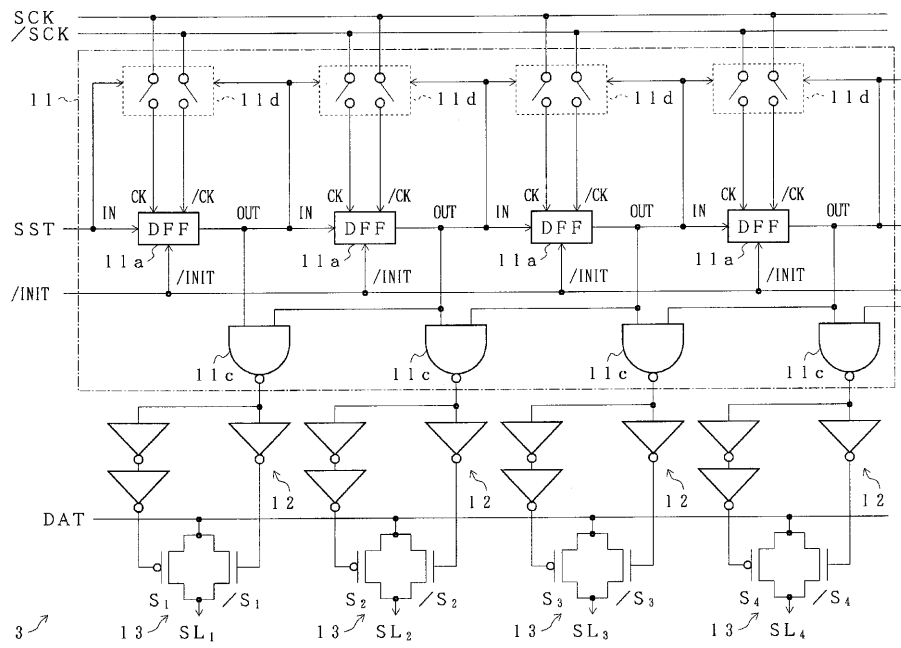
【図33】



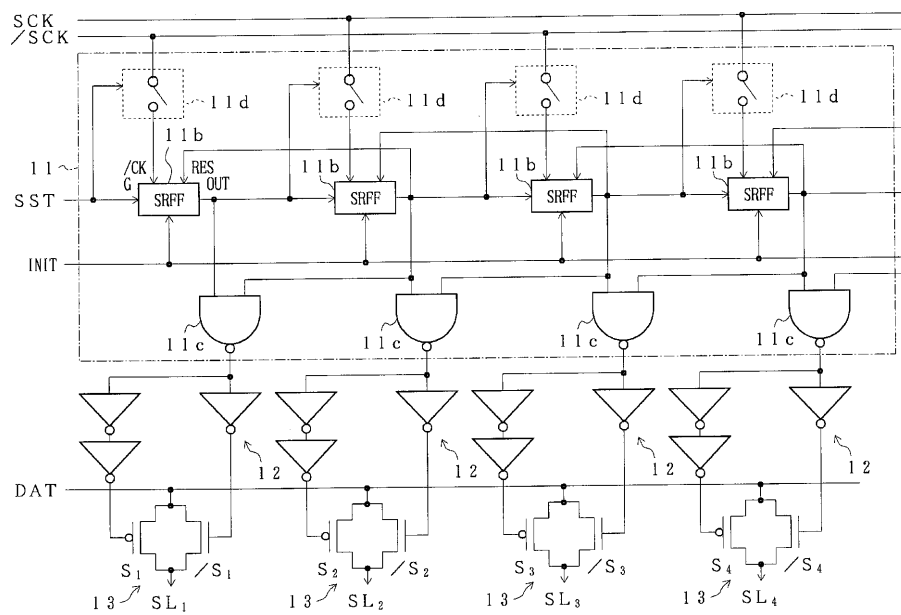
【図49】



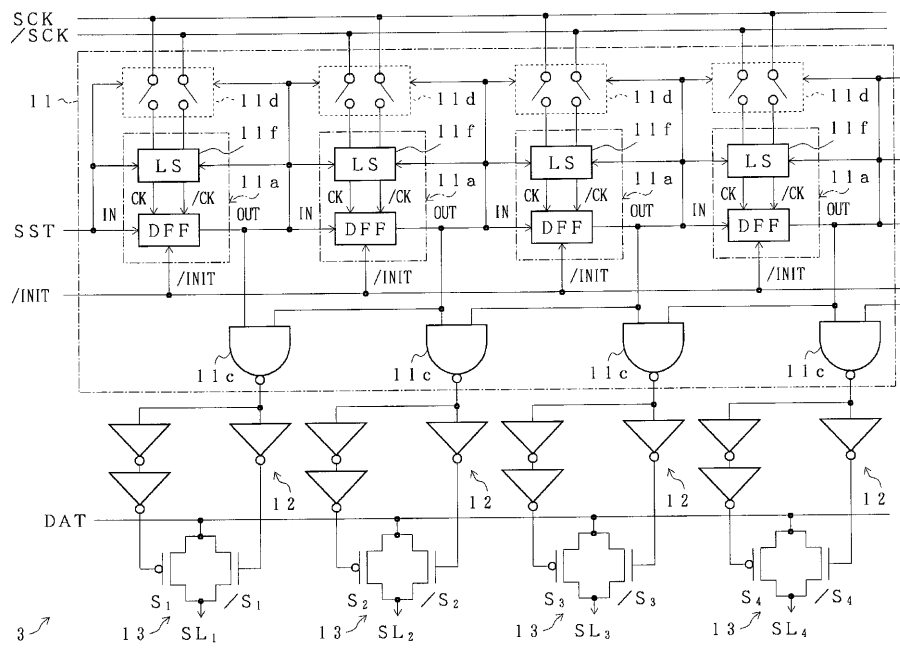
【図 3 4】



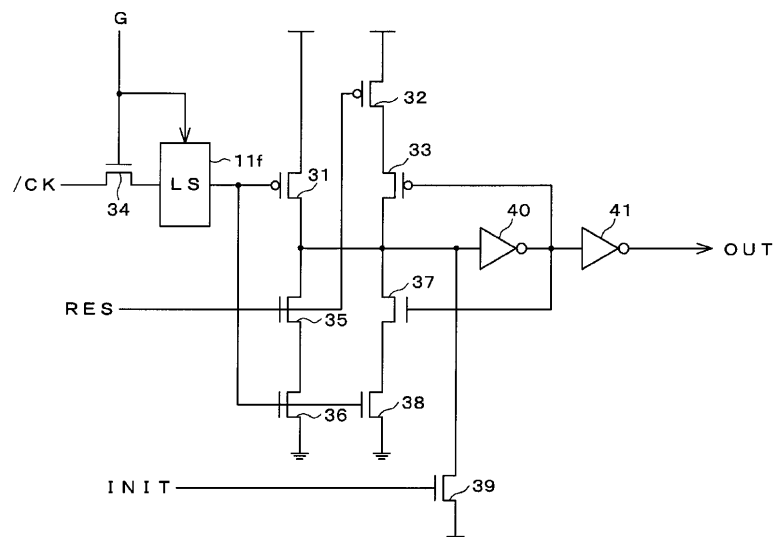
【図 3 5】



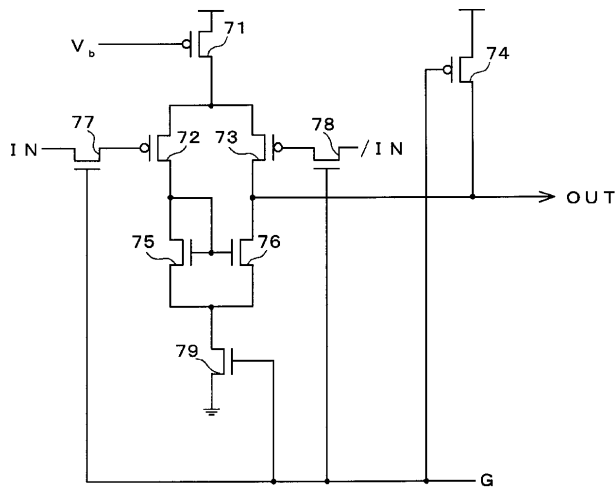
【図 3 6】



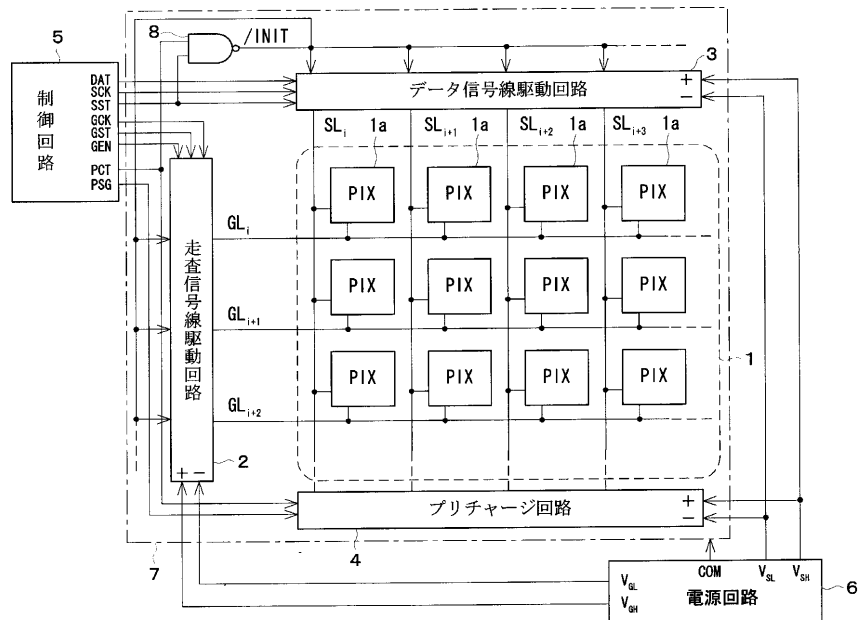
【図 3 7】



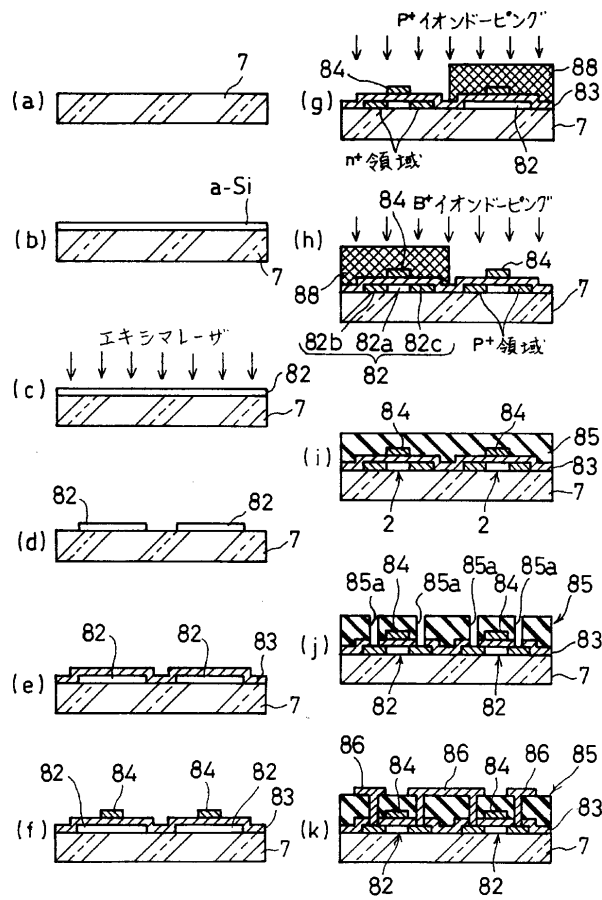
【図39】



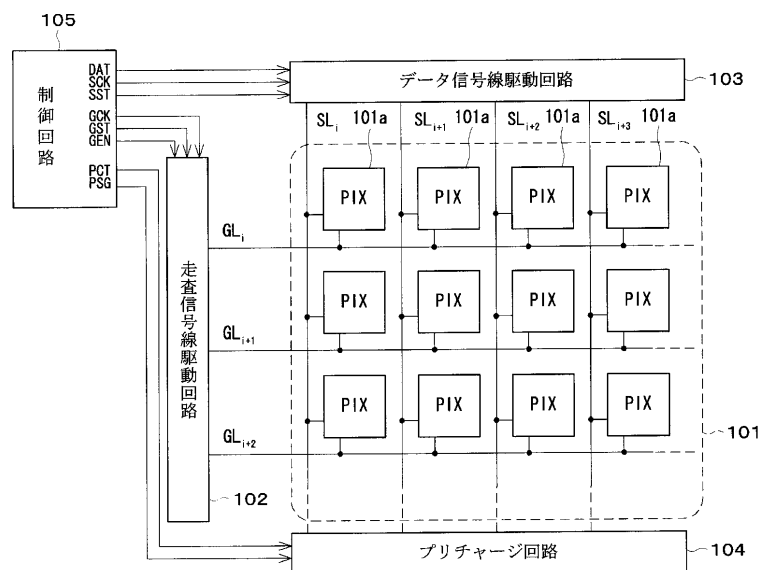
【図40】



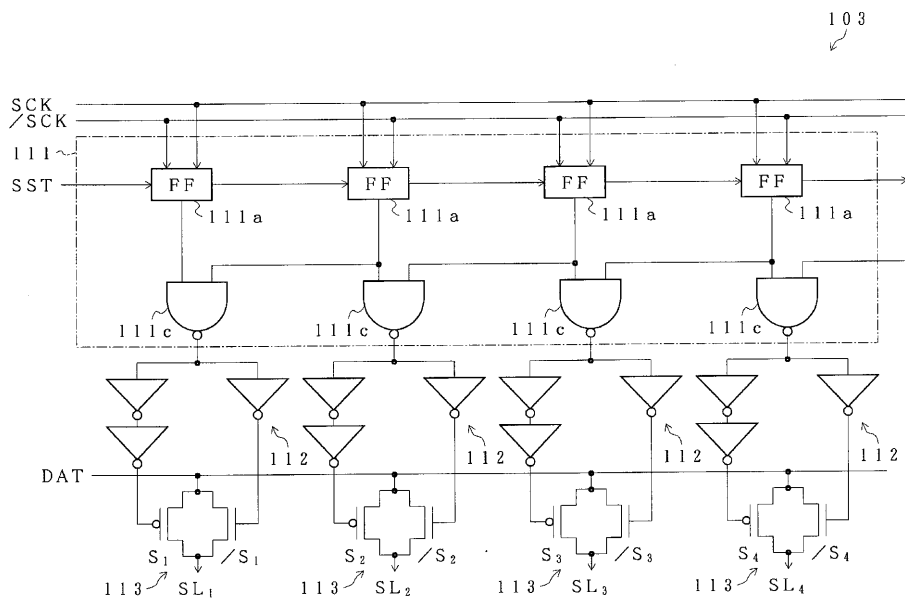
【図42】



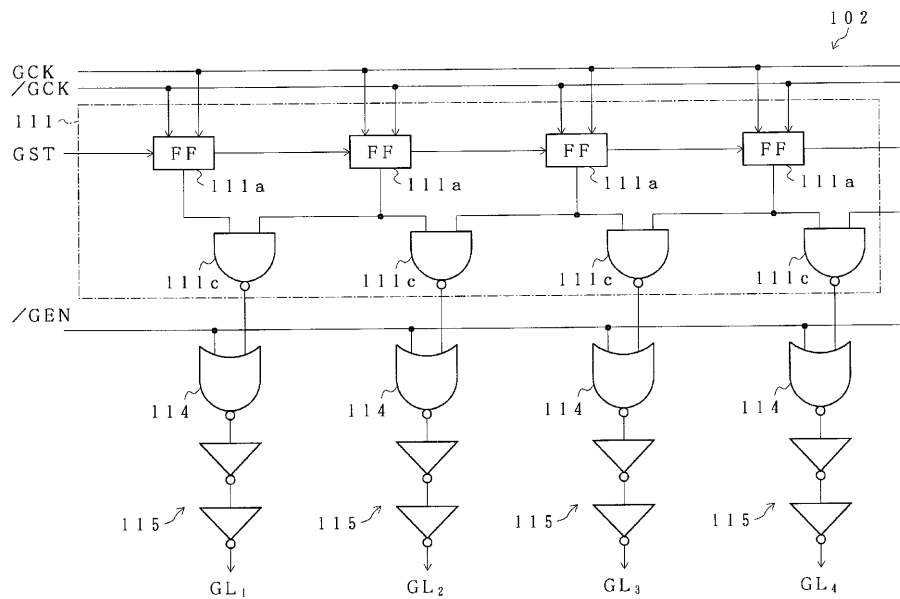
【図43】



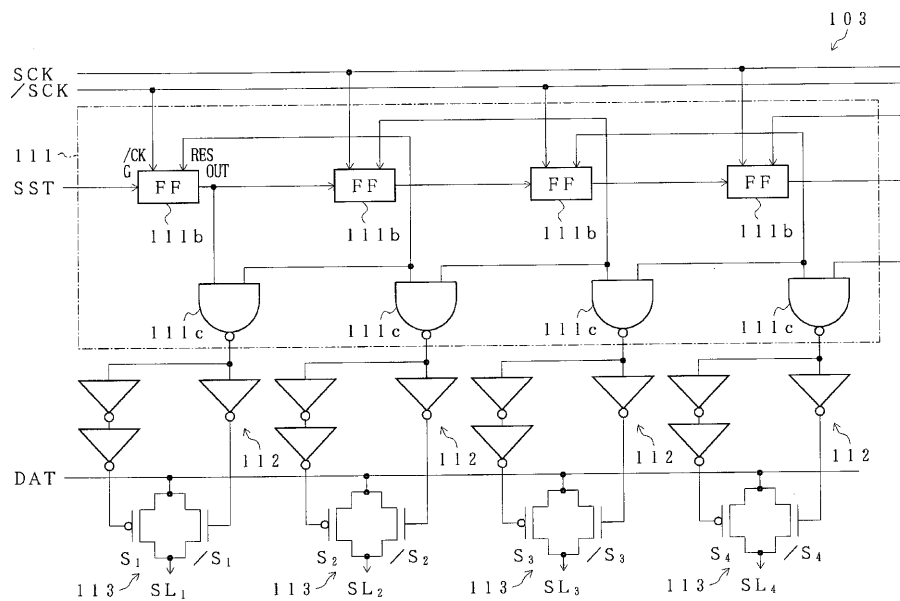
【図 45】



【図46】



【図48】



フロントページの続き

(51)Int.Cl.⁷
G 0 9 G 3/36

識別記号

F I
G 0 9 G 3/36

テマコード(参考)

(72)発明者 前田 和宏
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 グレアム アンドリュウ カーンズ
イギリス国 オーエックス2 8エヌエイ
チ オックスフォード、カッテスロウ、バ
ーン クローズ22

(72)発明者 マイケル ジェームス ブラウンロー
イギリス国 オーエックス4 4ワイビー
オックスフォード、サンドフォード オ
ン テムズ、チャーチ ロード 124

F ターム(参考) 2H093 NC01 NC21 NC22 NC27 NC35
ND39 ND40 ND49 ND54
5C006 AC09 AF67 BB16 BF03 BF26
FA47 FA51
5C080 AA10 BB05 DD09 DD26 JJ01
JJ02 JJ03 JJ04 JJ06

专利名称(译)	矩阵图像显示设备		
公开(公告)号	JP2001159877A	公开(公告)日	2001-06-12
申请号	JP2000233549	申请日	2000-08-01
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	久保田靖 鷲尾一 前田和宏 グレアムアンドリュースカーンズ マイケルジェームスブラウンロー		
发明人	久保田 靖 鷲尾 一 前田 和宏 グレアム アンドリュー カーンズ マイケル ジェームス ブラウンロー		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/20 G09G3/3677 G09G2300/0408 G09G2310/0232 G09G2310/0248 G09G2310/0289 G09G2330/021		
FI分类号	G09G3/20.622.E G09G3/20.611.A G09G3/20.623.H G09G3/20.670.D G02F1/133.550 G09G3/36 G11C19/00 G11C19/00.H G11C19/00.J		
F-TERM分类号	2H093/NC01 2H093/NC21 2H093/NC22 2H093/NC27 2H093/NC35 2H093/ND39 2H093/ND40 2H093/ND49 2H093/ND54 5C006/AC09 5C006/AF67 5C006/BB16 5C006/BF03 5C006/BF26 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD26 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H093/NA80 2H193/ZE06 2H193/ZE31 2H193/ZE33 2H193/ZF01 5B074/AA04 5B074/CA01 5B074/DA02		
优先权	1999266235 1999-09-20 JP		
外部链接	Espacenet		

摘要(译)

解决的问题：消除通电时的不确定状态，并减少构成图像显示装置的驱动电路的移位寄存器中的功耗。 解决方案：扫描信号线驱动电路2和数据信号线驱动电路3中的所有移位都是通过使用与非门8生成的初始化信号/INIT与来自不影响显示图像的控制电路5的信号组合来执行的。 禁用寄存器的内部状态（移位寄存器中每个触发器的输出）。 结果，当打开电源等时，移位寄存器被初始化，从而当选择地输入用于控制移位寄存器的信号（时钟信号等）时，防止了信号线负载不必要地变大。 结果，图像显示装置的操作变得稳定。 此外，由于不需要增加结合有控制电路5的外部IC的驱动能力和电源电路的供电能力，因此可以降低外部IC的成本和功耗。

