

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2009/050771

発行日 平成23年2月24日(2011.2.24)

(43) 国際公開日 平成21年4月23日(2009.4.23)

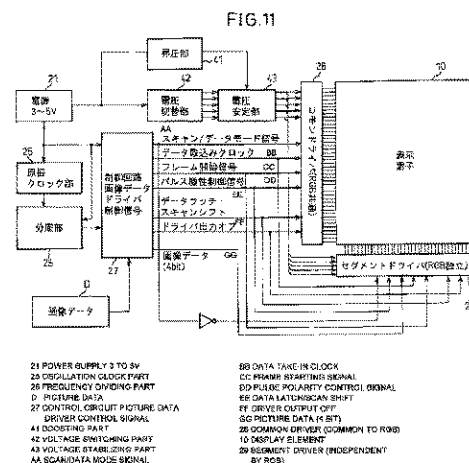
(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 560	2H193
G09G 3/36 (2006.01)	G02F 1/133 545	5C006
G09G 3/20 (2006.01)	G02F 1/133 575	5C080
H02M 3/155 (2006.01)	G02F 1/133 520	5H730
	G09G 3/36	
審査請求 有 予備審査請求 未請求 (全 41 頁) 最終頁に続く		

出願番号	特願2009-537786 (P2009-537786)	(71) 出願人	000005223
(21) 国際出願番号	PCT/JP2007/070086		富士通株式会社
(22) 国際出願日	平成19年10月15日(2007.10.15)		神奈川県川崎市中原区上小田中4丁目1番1号
(81) 指定国	AP (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), A E, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW	(74) 代理人	100099759 弁理士 青木 篤
		(74) 代理人	100119987 弁理士 伊坪 公一
		(74) 代理人	100081330 弁理士 樋口 外治
		(74) 代理人	100141254 弁理士 榎原 正巳
		(74) 代理人	100114177 弁理士 小林 龍
		最終頁に続く	

(54) 【発明の名称】 コレステリック液晶表示装置

(57) 【要約】

回路面積および回路コストの小さな増加で、消費エネルギーを低減した汎用STN液晶ドライバを使用したコレステリック液晶表示装置が開示されており、画素をブレナ状態にする第1ステップと、画素においてフォーカルコニック状態の混在比を増加させる第2ステップと、を実行するコレステリック液晶表示装置において、電圧発生回路と、電圧発生回路からの所定の電圧に基づいて画素に電圧パルスを印加するドライバ回路28,29と、を備え、電圧発生回路は、電源電圧から昇圧電圧を発生する昇圧部41と、電圧制御信号を発生する電圧切替部42と、昇圧電圧から電圧制御信号に応じた所定の電圧を発生する電圧安定部43と、を備え、電圧安定部43は、昇圧電圧の変動に対する出力電圧変動を抑圧するように構成されており、昇圧部は第1ステップと第2ステップで、昇圧比を切り替える。



【特許請求の範囲】**【請求項 1】**

書換え対象の画素をプレーナ状態に初期化する高電圧パルスを印加する第 1 ステップと、初期化された画素においてプレーナ状態に対するフォーカルコニック状態の混在比を増加させる低電圧パルスを印加する第 2 ステップと、を実行し、前記低電圧パルスを印加する累積時間で中間調の値が決定されるコレステリック液晶表示装置であって、

所定の電圧を出力する電圧発生回路と、

前記電圧発生回路から供給される前記所定の電圧に基づいて、前記画素に印加する電圧パルスを生成するドライバ回路と、を備え、

前記電圧発生回路は、

電源電圧から昇圧電圧を発生する昇圧部と、

前記電圧発生回路からの出力電圧の電圧値を指示する電圧制御信号を発生する電圧切替部と、

前記昇圧部から供給される前記昇圧電圧から、前記電圧制御信号に応じた前記所定の電圧を発生する電圧安定部と、を備え、

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成されており、

前記昇圧部は、前記第 1 ステップと前記第 2 ステップで、昇圧比を切り替えることを特徴とするコレステリック液晶表示装置。

【請求項 2】

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成された増幅回路を備え、

前記増幅回路の電圧増幅率 G は 1 より大きく、

前記増幅回路の入力電圧は、前記ドライバ回路が画素に印加する電圧の $1/G$ であり、前記昇圧型 DC - DC コンバータの出力電圧に影響されないことを特徴とする請求項 1 に記載のコレステリック液晶表示装置。

【請求項 3】

前記増幅回路は、オペアンプの反転増幅回路または非反転増幅回路と、高周波数領域での電源電圧変動抑圧比低下を補償する回路と、を有することを特徴とする請求項 1 に記載のコレステリック液晶表示装置。

【請求項 4】

高周波数領域での電源電圧変動抑圧比低下を補償する前記回路は、前記オペアンプの出力端子に接続された容量素子と抵抗の直列接続回路であることを特徴とする請求項 3 に記載のコレステリック液晶表示装置。

【請求項 5】

前記昇圧部は、昇圧型 DC - DC コンバータを備え、前記昇圧型 DC - DC コンバータのフィードバック端子に抵抗を介して印加する電圧を変化させることで昇圧比が制御されることを特徴とする請求項 1 に記載のコレステリック液晶表示装置。

【請求項 6】

前記昇圧部は、昇圧型 DC - DC コンバータを備え、

前記昇圧型 DC - DC コンバータの最大出力電圧は、第 1 ステップ時の高電圧パルスのパルス波高より低いが、第 2 ステップ時の低電圧パルスのパルス波高より高く、

前記昇圧型 DC - DC コンバータのスイッチ出力に接続されるトランジスタは、第 1 ステップ時の高電圧パルスのパルス波高より高い耐圧を有することを特徴とする請求項 1 に記載のコレステリック液晶表示装置。

【請求項 7】

前記昇圧型 DC - DC コンバータのスイッチ出力に接続される前記トランジスタは、NMOS - FETであることを特徴とする請求項 6 に記載のコレステリック液晶表示装置。

【請求項 8】

書換え対象の画素をプレーナ状態に初期化する高電圧パルスを印加する第 1 ステップと

10

20

30

40

50

、初期化された画素においてプレーナ状態に対するフォーカルコニック状態の混在比を増加させる低電圧パルス印加する第2ステップと、を実行し、前記低電圧パルス印加する累積時間で中間調の値が決定されるコレステリック液晶表示装置であって、

所定の電圧を出力する電圧発生回路と、

前記電圧発生回路から供給される前記所定の電圧に基づいて、前記画素に印加する電圧パルスを生成するドライバ回路と、を備え、

前記電圧発生回路は、

電源電圧から昇圧電圧を発生する昇圧部と、

前記電圧発生回路からの出力電圧の電圧値を指示する電圧制御信号を発生する電圧切替部と、

10

前記昇圧部から供給される前記昇圧電圧から、前記電圧制御信号に応じた前記所定の電圧を発生する電圧安定部と、を備え、

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成されており、

前記昇圧部は、1個のインダクタを用いる昇圧型DC-DCコンバータを2個有し、前記2個の昇圧型DC-DCコンバータの一方の出力電圧は、第1ステップ時の高電圧パルスのパルス波高より高く、他方の出力電圧は、第2ステップ時の低電圧パルスのパルス波高より高く、前記2個の昇圧型DC-DCコンバータの出力端子は、ダイオードを介して1つの出力端子に接続され、

前記昇圧部は、前記2個の昇圧型DC-DCコンバータのオン/オフを制御することにより、前記第1ステップと前記第2ステップでの前記昇圧電圧を切り替えることを特徴とするコレステリック液晶表示装置。

20

【請求項9】

前記ダイオードは、順方向電圧の小さいショットキーバリアダイオードであることを特徴とする請求項8に記載のコレステリック液晶表示装置。

【請求項10】

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成された増幅回路を備え、

前記増幅回路の電圧増幅率Gは1より大きく、

前記増幅回路の入力電圧は、前記ドライバ回路が画素に印加する電圧の $1/G$ であり、前記2個の昇圧型DC-DCコンバータの出力電圧に影響されないことを特徴とする請求項8に記載のコレステリック液晶表示装置。

30

【請求項11】

前記増幅回路は、オペアンプの反転増幅回路または非反転増幅回路と、高周波数領域での電源電圧変動抑圧比低下を補償する回路と、を有することを特徴とする請求項8に記載のコレステリック液晶表示装置。

【請求項12】

高周波数領域での電源電圧変動抑圧比低下を補償する前記回路は、前記オペアンプの出力端子に接続された容量素子と抵抗の直列接続回路であることを特徴とする請求項11に記載のコレステリック液晶表示装置。

40

【請求項13】

前記昇圧部は、昇圧型DC-DCコンバータを備え、前記昇圧型DC-DCコンバータのフィードバック端子に抵抗を介して印加する電圧を変化させることで昇圧比が制御されることを特徴とする請求項8に記載のコレステリック液晶表示装置。

【請求項14】

所定の電圧を出力する電圧発生回路と、

前記電圧発生回路から供給される前記所定の電圧に基づいて、画素に印加する電圧パルスを生成するドライバ回路と、を備え、

前記電圧発生回路は、

電源電圧から昇圧電圧を発生する昇圧部と、

50

前記電圧発生回路からの出力電圧の電圧値を指示する電圧制御信号を発生する電圧切替部と、

前記昇圧部から供給される前記昇圧電圧から、前記電圧制御信号に応じた前記所定の電圧を発生する電圧安定部と、を備え、

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成されているコレステリック液晶表示装置の駆動方法であって、

書換え対象の画素をプレーナ状態に初期化する高電圧パルス印加する第１ステップと、初期化された画素においてプレーナ状態に対するフォーカルコニック状態の混在比を増加させる低電圧パルス印加する第２ステップと、を実行し、前記低電圧パルス印加する累積時間で中間調の値が決定され、

前記第１ステップと前記第２ステップで、前記昇圧部の昇圧比を切り替えることを特徴とするコレステリック液晶表示装置の駆動方法。

【請求項１５】

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成された増幅回路を備え、

前記増幅回路の電圧増幅率 G は１より大きく、

前記増幅回路の入力電圧は、前記ドライバ回路が画素に印加する電圧の $1/G$ であり、前記昇圧型 $DC-DC$ コンバータの出力電圧に影響されないことを特徴とする請求項１４に記載のコレステリック液晶表示装置の駆動方法。

【請求項１６】

前記増幅回路は、オペアンプの反転増幅回路または非反転増幅回路と、高周波数領域での電源電圧変動抑圧比低下を補償する回路と、を有することを特徴とする請求項１４に記載のコレステリック液晶表示装置の駆動方法。

【請求項１７】

高周波数領域での電源電圧変動抑圧比低下を補償する前記回路は、前記オペアンプの出力端子に接続された容量素子と抵抗の直列接続回路であることを特徴とする請求項１６に記載のコレステリック液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、コレステリック液晶表示装置に関し、特に高電圧パルス印加してプレーナ状態に初期化した後、低電圧パルス印加して一部をフォーカルコニック状態にし、その混在比により中間調の値が決定され、混在比が低電圧パルスの印加累積時間に依存するコレステリック液晶表示装置に関する。

【背景技術】

【０００２】

近年、各企業および大学などにおいて、電子ペーパーの開発が盛んに進められている。電子ペーパーの利用が期待されている応用分野として、電子書籍を筆頭に、モバイル端末機器のサブディスプレイやＩＣカードの表示部など、多様な応用形態が提案されている。電子ペーパーの有力な方式の１つに、コレステリック液晶がある。コレステリック液晶は、半永久的な表示保持（メモリ性）や鮮やかなカラー表示、高コントラスト、高解像度といった優れた特徴を有している。

【０００３】

コレステリック液晶は、カイラルネマティック液晶とも称されることがあり、ネマティック液晶にキラリティの添加剤（カイラル材）を比較的多く（数十％）添加することにより、ネマティック液晶の分子がらせん状のコレステリック相を形成する液晶である。

【０００４】

図１Ａおよび図１Ｂは、コレステリック液晶の状態を説明する図である。図１Ａおよび図１Ｂに示すように、コレステリック液晶を利用した表示素子１０は、上側基板１１と、コレステリック液晶層１２と、下側基板１３と、有する。コレステリック液晶には、図１

10

20

30

40

50

Aに示すように入射光を反射するプレーナ状態と、図1Bに示すように入射光を透過するフォーカルコニック状態と、があり、これらの状態は、無電界下でも安定してその状態が保持される。

【0005】

プレーナ状態の時には、液晶分子のらせんピッチに応じた波長の光を反射する。反射が最大となる波長 λ は、液晶の平均屈折率 n 、らせんピッチ p から次の式で表される。

【0006】

$$\lambda = n \cdot p$$

一方、反射帯域 $\Delta\lambda$ は、液晶の屈折率異方性 Δn により大きく異なる。

【0007】

プレーナ状態の時には、入射光が反射するので「明」状態、すなわち白を表示することができる。一方、フォーカルコニック状態の時には、下側基板13の下に光吸収層を設けることにより、液晶層を透過した光が吸収されるので「暗」状態、すなわち黒を表示することができる。

【0008】

次に、コレステリック液晶を利用した表示素子の駆動方法を説明する。

【0009】

図2は、一般的なコレステリック液晶の電圧 - 反射特性の一例を示している。横軸は、コレステリック液晶を挟む電極間に所定のパルス幅で印加されるパルス電圧の電圧値(V)を表し、縦軸はコレステリック液晶の反射率(%)を表している。図2に示す実線の曲線Pは、初期状態がプレーナ状態のコレステリック液晶の電圧 - 反射率特性を示し、破線の曲線FCは、初期状態がフォーカルコニック状態のコレステリック液晶の電圧 - 反射率特性を示す。

【0010】

図2において、電極間に所定の高電圧 V_{P100} (例えば $\pm 36V$)を印加して、コレステリック液晶中に相対的に強い電界を発生させると、液晶分子のらせん構造は完全にほどこけて、すべての分子が電界の方向に従うホメオトロピック状態になる。次に、液晶分子がホメオトロピック状態の時に、印加電圧を V_{P100} から所定の低電圧(例えば、 $V_{F0} = \pm 4V$)に急激に低下させて、液晶中の電界を急激にほぼゼロにすると、液晶のらせん軸は電極に垂直になり、らせんピッチに応じた光を選択的に反射するプレーナ状態になる。

【0011】

一方、電極間に所定の低電圧 V_{F100b} (例えば、 $\pm 24V$)を印加し、コレステリック液晶中の相対的に弱い電界を発生させると、液晶分子のらせん構造が完全には解けない状態になる。この状態において、印加電圧を V_{F100b} から低電圧 V_{F0} に急激に低下させて、液晶中の電界を急激にほぼゼロにするか、あるいは強い電界を印加し緩やかに電界を除去した場合は、液晶分子のらせん軸が電極に平行になり、入射光を透過するフォーカルコニック状態になる。

【0012】

また、中間的な強さの電界を印加し、急激に電界を除去すると、プレーナ状態とフォーカルコニック状態が混在し、中間調の表示が可能となる。

【0013】

以上の現象を利用して、表示を行う。

【0014】

以上説明した電圧応答特性に基づく駆動方法の原理を、図3Aから図3Cを参照して説明する。

【0015】

図3Aは電圧パルスのパルス幅が数十msの場合のパルス応答特性を示し、図3Bは電圧パルスのパルス幅が1.88msの場合のパルス応答特性を示し、図3Cは電圧パルスのパルス幅が0.94msの場合のパルス応答特性を示す。それぞれの図において、上側

10

20

30

40

50

にはコレステリック液晶に印加される電圧パルスが示され、下側には電圧 - 反射率特性が示され、横軸は電圧 (V) を表し、縦軸は反射率 (%) を表す。液晶の駆動パルスとしてよく知られているように、電圧パルスは、分極による液晶の劣化を防止するために、正極性と負極性のパルスを組み合わせている。

【0016】

図3Aに示すように、パルス幅が大きい場合には、実線で示すように、初期状態がプレーナ状態だと、電圧をある範囲に上げると、フォーカルコニック状態となり、さらに電圧を上げると、再度プレーナ状態となる。破線で示すように、初期状態がフォーカルコニック状態だと、パルス電圧を上げるにつれて次第にプレーナ状態になる。

【0017】

パルス幅が大きい場合に、初期状態がプレーナ状態とフォーカルコニック状態のいずれでも必ずプレーナ状態になるパルス電圧は ± 36 Vであり、初期化パルスは、図3Aに示すように ± 36 Vのパルスとする。また、この中間のパルス電圧では、プレーナ状態とフォーカルコニック状態が混在した状態になり、中間調が得られる。

【0018】

一方、図3Bに示すように、パルス幅が 1.88 msの場合には、初期状態がプレーナ状態では、パルス電圧が約 10 Vでは反射率は変化しないが、それ以上大きな電圧になるとプレーナ状態とフォーカルコニック状態が混在した状態になり、反射率が低下する。反射率の低下量は電圧が大きくなるに従って大きくなるが、 36 Vよりさらに大きな電圧になると反射率の低下量は一定となる。これは、初期状態がプレーナ状態とフォーカルコニック状態が混在した状態でも同じである。従って、初期状態がプレーナ状態である場合に、パルス幅が 1.88 msでパルス電圧が約 20 Vの電圧パルスを1回印加すると、反射率はある程度低下する。このようにしてプレーナ状態とフォーカルコニック状態が混在した状態で反射率が少し低下した状態で、パルス幅が 1.88 msでパルス電圧が約 20 Vの電圧パルスをさらに印加すると、反射率はさらに低下する。これを繰り返すと、反射率は所定値まで低下する。上記のように、パルス幅 1.88 msでは、約 20 Vの電圧パルスでは反射率(階調)が変化し、約 10 Vの電圧パルスでは変化しないので、図3Bのパルスでは、ON時には ± 18.6 V、OFF時には ± 9.3 Vのパルスとしている。

【0019】

図3Cに示すように、パルス幅が 0.94 msの場合には、パルス幅が 1.88 msの場合と同様に、電圧パルスを印加することにより反射率が低下するが、反射率の低下具合はパルス幅が 1.88 msの場合と比べて小さい。

【0020】

以上のことから、大きなパルス幅で 36 Vのパルスを印加すればプレーナ状態になり、十数Vから 20 V程度の階調パルスを印加すればプレーナ状態とフォーカルコニック状態が混在した状態になって反射率が低下し、反射率の低下量は、階調パルスの累積時間に関係すると考えられる。

【0021】

コレステリック液晶による多階調表示方法については各種の駆動方法が提案されている。コレステリック液晶の多階調表示の駆動方法は、ダイナミック駆動とコンベンショナル駆動の2つの方法に分けられる。

【0022】

特許文献1は、ダイナミック駆動法を記載している。非特許文献1は、コンベンショナル駆動法を記載している。

【0023】

特許文献2および3は、フォーカルコニック状態へのリセットを応用した早送りモードの駆動方法を記載している。

【0024】

コンベンショナル駆動法で累積時間を利用して階調を設定する場合、上記のように、短いパルスの印加回数を調整する方法に加えて、パルス幅を異ならせる方法が考えられる。

10

20

30

40

50

パルス幅を異ならせる方法の方が、短いパルスの印加回数を調整するよりも、消費電力を抑圧する上では有利である。以下、パルス幅を異ならせて累積時間を変化させることにより階調を設定する方法をPWM(Pulse Width Modulation)法と称する。

【0025】

特許文献4は、コレステリック液晶ではないが、液晶表示装置でパルス幅の異なる正極パルスおよび負極パルスを印加する構成を記載している。

【0026】

図4は、パルスの印加回数とパルス幅の両方を組み合わせてパルスの累積印加時間を異ならせることにより階調書き込みを行う書き込み方法の例を説明する図である。

【0027】

第1ステップは、全画素にパルス幅40msの±36Vの高電圧パルスを印加して全画素をプレーナ状態にする初期化処理を行う。

【0028】

第2ステップは、階調書き込み処理を行う。第2ステップは、第1、第2および第3サブステップの3つのサブステップに分割され、第1サブステップはさらに3つのサブステップ1-1, 1-2, 1-3に分割され、第2サブステップはさらに3つのサブステップ1-1, 1-2, 1-3に分割される。

【0029】

サブステップ1-1ではパルス幅1.88msの±18.6Vのパルスが印加され、サブステップ1-2ではパルス幅0.94msの±18.6Vのパルスが印加され、サブステップ1-3ではパルス幅0.47msの±18.6Vのパルスが印加される。3つのサブステップ1-1, 1-2, 1-3は、1スキャンラインの選択時に連続して行っても、異なるフレームとして行うことも可能である。同様に、サブステップ2-1ではパルス幅2.82msの±18.6Vのパルスが印加され、サブステップ2-2ではパルス幅1.41msの±18.6Vのパルスが印加され、サブステップ2-3ではパルス幅0.94msの±18.6Vのパルスが印加される。3つのサブステップ2-1, 2-2, 2-3は、1スキャンラインの選択時に連続して行っても、異なるフレームとして行うことも可能である。第3サブステップ3ではパルス幅5.64msの±18.6Vのパルスが印加される。なお、サブステップ1-1, 1-2, 1-3, 2-1, 2-2, 2-3, 3-1スキャンラインの選択時に連続して行うことも可能である。

【0030】

各画素の階調レベルは、ONするサブステップを組み合わせることにより、決定される。例えば、0階調の場合にはすべてのサブステップでONする。階調レベル3の場合には、サブステップ1-1, 1-2, 1-3, 2-1, 3でONし、他のサブステップはOFFする。階調レベル12の場合には、サブステップ1-2, 1-3でONし、他のサブステップはOFFする。

【0031】

図5は、コレステリック液晶などのメモリ性の表示材料を有する単純マトリクス型の表示素子10を使用した従来例の表示装置の全体構成を示す図である。例えば、表示素子10は、A4判XGA仕様で、1024×768画素を有する。電源21は、例えば3V~5Vの電圧を出力する。昇圧部22は、DC-DCコンバータなどのレギュレータにより、電源21からの入力電圧を38Vに昇圧する。電圧切替部23は、抵抗による分圧などにより各種の電圧を生成する。電圧安定部24は、電圧切替部23から供給される各種の電圧を安定化させるために、オペアンプのボルテージフォロア回路を使用する。

【0032】

原振クロック部25は、動作の基本となる基本クロックを発生する。分周部26は、基本クロックを分周して、後述する動作に必要な各種クロックを生成する。

【0033】

制御回路27は、基本クロック、各種クロックおよび画像データDに基づいて制御信号を生成して、コモンドライバ28およびセグメントドライバ29に供給する。

10

20

30

40

50

【 0 0 3 4 】

コモンドライバ 2 8 は 7 6 8 本のスキャンラインを駆動し、セグメントドライバ 2 9 は 1 0 2 4 本のデータラインを駆動する。R G B の各画素に与える画像データが異なるため、セグメントドライバ 2 9 は各データラインを独立して駆動する。コモンドライバ 2 8 は、R G B のラインを共通に駆動する。本実施形態では、ドライバ I C は、汎用の 2 値出力の S T N ドライバを使用した。利用可能な汎用 S T N ドライバは、様々なものが使用可能である。

【 0 0 3 5 】

上記のように、コレステリック液晶表示装置では、第 1 ステップにおいて全画素にパルス幅 4 0 m s の ± 3.6 V の電圧パルス印加する。また、第 2 ステップでは、書き込みを行う画素には狭いパルス幅の $\pm 1.8.6$ V の電圧パルス印加する。そのため、スキャンラインには選択電圧が印加されるラインおよび非選択電圧が印加されるラインがあり、データラインには O N 電圧が印加されるラインおよび O F F 電圧が印加されるラインがあり、印加電圧について 4 つの組合せが生じる。ここで、選択電圧が印加されたスキャンラインと O N 電圧が印加されるデータラインに対応する画素のみで階調の変化を生じ、他の画素では階調の変化を生じないことが要求される。汎用 S T N ドライバは、4 種類の電圧 V_0 , V_{21} , V_{34} , V_5 が供給される電圧端子を有し、上記の要求を満たす電圧パルス出力するように構成されている。

【 0 0 3 6 】

図 6 A は、セグメントドライバ 2 9 およびコモンドライバ 2 8 の、正極および負極フェーズにおいて出力する電圧パルスを示す図である。

【 0 0 3 7 】

図 6 A に示すように、セグメントドライバ 2 9 は、 V_0 , V_{21S} , V_{34S} , V_5 として $1.8.6$ V , 9.3 V , 9.3 V , 0 V が供給され、正極フェーズにおいて、O N 電圧が V_0 ($1.8.6$ V) 、O F F 電圧が V_{34} (9.3 V) の電圧パルス出力し、負極フェーズにおいて、O N 電圧が V_5 (0 V) 、O F F 電圧が V_{21} (9.3 V) の電圧パルス出力する。同様に、コモンドライバ 2 8 は、 V_0 , V_{21C} , V_{34C} , V_5 として $1.8.6$ V , 13.95 V , 4.65 V , 0 V が供給され、正極フェーズにおいて、O N 電圧が V_5 (0 V) 、O F F 電圧が V_{21} (13.95 V) の電圧パルス出力し、負極フェーズにおいて、O N 電圧が V_0 (20 V) 、O F F 電圧が V_{34} (4.65 V) の電圧パルス出力する。

【 0 0 3 8 】

コモンドライバ 2 8 およびセグメントドライバ 2 9 から上記のような電圧パルスが出力されることにより、各画素には、コモンドライバ 2 8 およびセグメントドライバ 2 9 の O N / O F F の組み合わせに応じて、図 6 B に示すような電圧が画素に印加される。

【 0 0 3 9 】

なお、第 1 ステップでは、セグメントドライバ 2 9 に、 V_0 , V_{21S} , V_{34S} , V_5 として 3.6 V , 3.6 V , 0 V , 0 V が供給され、コモンドライバ 2 8 に、 V_0 , V_{21C} , V_{34C} , V_5 として 3.6 V , 3.6 V , 0 V , 0 V が供給される。

【 0 0 4 0 】

電源回路の電圧安定部 2 4 は、 V_5 , V_{21S} , V_{21C} , V_{34S} , V_{34C} を出力する。ここで、 V_5 は 0 V (G N D) であり、電圧安定部 2 4 から出力する必要はない。従って、電源回路の電圧安定部 2 4 は、第 1 ステップでは、 V_5 , V_{21S} , V_{21C} , V_{34S} , V_{34C} として、 3.6 V , 3.6 V , 3.6 V , 0 V , 0 V を出力し、第 2 ステップでは、 $1.8.6$ V , 13.95 V , 9.3 V , 9.3 V , 4.65 V を出力する。

【 0 0 4 1 】

図 7 は、電圧切替部 2 3 と電圧安定部 2 4 の従来の回路構成例を示す図であり、 V_5 , V_{21S} , V_{21C} , V_{34S} , V_{34C} に対してこのような回路がそれぞれ設けられる。言い換えればこのような回路が 5 個設けられる。 V_{out} は昇圧部 2 2 の出力する昇圧電圧で 38 V である。電圧切替部 2 3 は、 V_{out} を分圧して所望の電圧を発生する直列

10

20

30

40

50

抵抗列と、出力する電圧を切り替えるアナログスイッチ 31 と、を有する。例えば、 V_{21C} を生成する回路であれば、抵抗による分圧により電圧 A として 3.6 V を、電圧 B として 9.3 V を発生し、アナログスイッチ 31 で電圧 A と B の一方を選択して出力する。また、電圧安定部 24 は、ボルテージフォロア回路を構成するオペアンプ 32 を有し、液晶ドライバが必要とする高いソース・シンク能力を実現している。

【0042】

図 8 は、図 5 に示した従来の液晶表示装置における動作を示すタイムチャートである。第 1 ステップを開始する直前に、昇圧回路制御信号により昇圧部 22 が待機状態から稼動状態に切り替えられ、昇圧電圧 V_{out} を発生する。昇圧部 22 の出力電圧 V_{out} は、第 1 ステップと第 2 ステップで同じ 3.8 V である。第 1 ステップが終了すると、電圧切替信号が切り替わるので、それに応じて液晶ドライバに供給される電圧が切り替わる。

10

【0043】

第 1 ステップと第 2 ステップの合計の消費エネルギーのうち約 99% は、第 2 ステップの消費エネルギーが占める。第 2 ステップでは、上記のように、5 個の電圧安定部 24 のオペアンプ 32 に 3.8 V の電圧が印加され、それぞれ 1.8.6 V, 1.3.95 V, 9.3 V, 9.3 V, 4.65 V の電圧を出力するので、エネルギーの半分以上がオペアンプ 32 で消費される。従って、オペアンプ 32 の電源電圧を第 1 ステップと第 2 ステップで切り替えることで、消費エネルギーを低減することが可能である。

【0044】

例えば、A6 の大きさの表示素子 10 で、オペアンプ 32 の電源電圧を第 1 および第 2 ステップで同じ 3.8 V とした場合、オペアンプ、コモンドライバ 28、セグメントドライバ 29 および表示素子 10 を含む部分の平均消費電力は 146 mW であるのに対して、オペアンプ 32 の電源電圧を第 2 ステップで 2.2 V とした場合、平均消費電力は 85 mW に低減される。オペアンプ 32 の待機時の消費電流は 220 μ A であり、5 個のオペアンプがあるので合計 1.1 mA であり、オペアンプ 32 の待機時の消費電流の合計は、3.8 V 時には 41.8 mW であるのに対して、2.2 V では 24.2 mW になる。

20

【0045】

コレステリック液晶表示装置では、消費エネルギーは電池の寿命と関係するので非常に重要である。上記のように、オペアンプ 32 の電源電圧を第 1 ステップと第 2 ステップでそれぞれ最適な電圧にすることにより消費エネルギーを低減できるが、これまでそのようなことは行われていなかった。以下に行われなかった理由を説明する。

30

【0046】

昇圧部 22 の出力電圧 V_{out} を切り替えるには 2 つの構成が考えられる。1 つの構成は、昇圧部 22 が 1 個の昇圧回路で構成され、昇圧回路の昇圧比を切り替える構成であり、他の構成は、昇圧部 22 を出力電圧の異なる 2 個の昇圧回路で構成し、出力を選択する構成である。

【0047】

図 9 は、1 個の昇圧回路を有し、その昇圧比を切り替える昇圧部 22 の想定される従来例の構成を示す図である。参照番号 35 は、昇圧回路 IC であり、例えば Linear Technology 社製の LT3463 (商品名) である。この昇圧回路 IC は、昇圧型 DC - DC コンバータである。また、参照番号 36 はアナログスイッチ素子である。昇圧回路 IC 35 の SW 端子と V_{out} 端子間には、シャットキーバリアダイオードが内蔵されている。昇圧回路 IC 35 のフィードバック端子 FB にフィードバックする電圧により出力電圧 V_{out} が設定される。ここでは、 V_{out} を 1500 K Ω と、アナログスイッチ素子 36 で選択する 51 K Ω 又は 90.4 K Ω の 2 個の抵抗で分圧してフィードバックする構成である。図示のように、出力電圧制御信号が L の時には、アナログスイッチ素子 36 で 51 K Ω の抵抗が選択され、 V_{out} は 3.8 V になり、出力電圧制御信号が H の時には、アナログスイッチ素子 36 で 90.4 K Ω の抵抗が選択され、 V_{out} は 2.2 V になる。

40

【0048】

しかし、図 9 の昇圧部 22 には、出力 V_{out} を高い電圧から低い電圧に切り替える時

50

に、昇圧回路の出力が所定の低い電圧に達するのに要する時間（セットリング時間）が長いという問題がある。具体的にはデカップリング容量は $4.7 \mu\text{F}$ で、セットリング時間短縮用放電抵抗が $100 \text{ k}\Omega$ で、放電抵抗での消費電力は、 V_{out} が 38 V の時には 14.4 mW で、 V_{out} が 22 V の時には 4.8 mW であり、セットリング時間は 0.94 秒である。もしセットリング時間を 0.1 秒以下にするには、放電抵抗の抵抗値を約 $1/10$ にする必要があるが、その場合消費電力は、 V_{out} が 38 V の時には 135 mW で、 V_{out} が 22 V の時には 45 mW となり、非常に大きな値になる。これでは第2ステップでオペアンプに供給する電圧を低くして消費エネルギーを低減する意味がない。

【0049】

また、図9の構成では、アナログスイッチ素子36で $51 \text{ k}\Omega$ と $90.4 \text{ k}\Omega$ の抵抗を選択して、フィードバックする電圧を切り替えることで、出力電圧 V_{out} を切り替えているが、アナログスイッチ素子36の非線形性のため、昇圧比の高い $V_{\text{out}} = 38 \text{ V}$ の時には昇圧動作が不安定になりやすいという問題がある。特に、出力電圧切替後に定常状態になるまでの時間がかかり長く、ノイズも多いという問題がある。

【0050】

以上のような理由で、図9に示した1個の昇圧回路を有し、その昇圧比を切り替える構成の昇圧部は使用されていないのが現状である。

【0051】

図10は、昇圧部22に出力電圧の異なる2個の昇圧回路を設け、出力を選択する場合の想定される構成を示す。参照番号37と38は、図9の昇圧回路IC35と同じICであり、参照番号39はアナログスイッチ素子である。昇圧回路IC37は $V_{\text{out}} = 38 \text{ V}$ になるようにフィードバック電圧が設定され、昇圧回路IC37は $V_{\text{out}} = 22 \text{ V}$ になるようにフィードバック電圧が設定され、昇圧回路IC37の出力電圧 $V_{\text{out}} = 38 \text{ V}$ と昇圧回路IC38の出力電圧 $V_{\text{out}} = 22 \text{ V}$ を、アナログスイッチ素子39で選択する。

【0052】

図10の回路構成は、2個の昇圧回路ICを使用するため、その分コストが増加するが、コストの上で問題になるのは、昇圧回路ICよりアナログスイッチ素子39である。アナログスイッチ素子39は、大型で高圧電源用であるため、非常に高価である。昇圧部22の出力が、高い電圧から低い電圧へ切り替わる時のセットリング時間を短縮するには、高価なアナログスイッチ素子39の使用が必須である。実際に、アナログスイッチ素子39は昇圧回路ICに比べても高価である。

【0053】

【特許文献1】特開2001-228459号公報

【特許文献2】特開2000-147466号公報

【特許文献3】特開2000-171837号公報

【特許文献4】特開平4-62516号公報

【非特許文献1】Y.-M. Zhu, D.-K. Yang, Cumulative Drive Schemes for Bistable Reflective Cholesteric LCDs, SID 98 DIGEST, pp798-801, 1998

【発明の開示】

【発明が解決しようとする課題】

【0054】

本発明は、汎用STN液晶ドライバを使用したコレステリック液晶表示装置において、回路面積および回路コストの小さな増加で、第2ステップにおいてオペアンプで消費される電力をできるだけ低減することで、装置の消費エネルギーを大幅に低減することを目的とする。

【課題を解決するための手段】

【0055】

本発明は、書換え対象の画素をプレーナ状態に初期化する高電圧パルスを印加する第1ステップと、初期化された画素においてプレーナ状態に対するフォーカルコニック状態の

10

20

30

40

50

混在比を増加させる低電圧パルスを印加する第2ステップと、を実行し、低電圧パルスを印加する累積時間で中間調の値が決定されるコレステリック液晶表示装置に適用される。コレステリック液晶表示装置は、所定の電圧を出力する電圧発生回路と、電圧発生回路から供給される所定の電圧に基づいて、画素に印加する電圧パルスを生成するドライバ回路と、を備え、ドライバ回路は汎用のSTN液晶ドライバで構成される。ここで、前述の通り、第1ステップでは高電圧(36V)のパルスを印加して液晶をプレーナ状態にするが、印加する電圧パルスは正確に $\pm 36V$ である必要はなく、ある程度の誤差が許容される。これに対して、第2ステップで印加する低電圧パルスは、パルス印加の累積時間で中間調を設定するもので、電圧が大きいと累積時間を長くし、電圧が小さいと累積時間を短くするのと同じ効果を生じるので、正確であることが要求されることに注目する必要がある。

10

【0056】

電圧発生回路は、電源電圧から昇圧電圧を発生する昇圧部と、電圧発生回路からの出力電圧の電圧値を指示する電圧制御信号を発生する電圧切替部と、昇圧部から供給される昇圧電圧から電圧制御信号に応じた所定の電圧を発生する電圧安定部と、を備える。

【0057】

上記目的を実現するため、本発明の第1の態様の表示装置は、電圧安定部を昇圧電圧の変動に対する出力電圧変動を抑圧するように構成し、昇圧部は1個の昇圧回路で構成され、第1ステップと第2ステップで昇圧回路の昇圧比を切り替える。

本発明の第1の態様の表示装置では、電圧安定部は、昇圧電圧の変動に対する出力電圧変動を抑圧するように構成するので、電圧安定部に供給される昇圧電圧が出力電圧以上であれば、昇圧電圧にかかわらず、所定の電圧を出力することが可能である。従って、昇圧電圧を高電圧から低電圧への長い切替時間の間にも、所定の出力電圧が得られるので、第1ステップの終了後ただちに第2ステップを開始できる。上記のように、電圧発生回路の出力電圧は、第1ステップより第2ステップの方が高精度であることが要求される。本発明の第1の態様によれば、昇圧電圧を高電圧から低電圧へ切り替える場合にもただちに高精度の低電圧が得られるので、第1ステップ終了後ただちに第2ステップを開始することができる。また、出力電圧は、第2ステップを開始した時点では低電圧になっていなくても、徐々に低電圧まで低下するので、電圧安定部における消費エネルギーを低減できる。

20

【0058】

昇圧部は、昇圧型DC-DCコンバータを備え、昇圧型DC-DCコンバータのフィードバック端子に抵抗を介して印加する電圧を変化させることで昇圧比が制御される。この構成により、フィードバック端子に印加するフィードバック電圧を生成する時に、アナログスイッチ素子の非線形性の影響を低減できる。これは後述する第2の態様でも同様である。

30

【0059】

昇圧部は、昇圧型DC-DCコンバータを備え、昇圧型DC-DCコンバータの最大出力電圧は、第1ステップ時の高電圧パルスのパルス波高より低い、第2ステップ時の低電圧パルスのパルス波高より高く、昇圧型DC-DCコンバータのスイッチ出力に接続されるトランジスタは、第1ステップ時の高電圧パルスのパルス波高より高い耐圧を有するように構成する。昇圧型DC-DCコンバータのスイッチ出力に接続されるトランジスタは、NMOS-FETであることが望ましい。

40

【0060】

また、上記目的を実現するため、本発明の第2の態様の表示装置は、電圧安定部を昇圧電圧の変動に対する出力電圧変動を抑圧するように構成し、昇圧部は1個のインダクタを用いる昇圧型DC-DCコンバータを2個有し、2個の昇圧型DC-DCコンバータのオン/オフを制御することにより、第1ステップと第2ステップでの昇圧電圧を切り替える。

【0061】

本発明の第2の態様の表示装置は、昇圧部は2個の昇圧型DC-DCコンバータで構成

50

するためその分コストアップするが、より大きなコストアップ要因である高圧電源用スイッチを使用しないため、コストアップは小さい。一方消費エネルギーは半分以上にできるので、電池容量などを適正化することで、トータルコストを低減できる。

【 0 0 6 2 】

また、従来例で高価な高圧電源用スイッチを使用する理由は、高い電圧から低い電圧への切替時のセットリング時間短縮のためであるが、電圧安定部を昇圧電圧の変動に対する出力電圧変動を抑圧するように構成するため、セットリング時間が長いという問題は解決できる。これにより、安価なショットキーバリアダイオード2個で、高価な高圧電源用スイッチを代用することが可能になる。

【 0 0 6 3 】

第1および第2の態様において、電圧安定部は、昇圧電圧の変動に対する出力電圧変動を抑圧するように構成された増幅回路を備え、増幅回路の電圧増幅率Gは1より大きく、増幅回路の入力電圧は、ドライバ回路が画素に印加する電圧の $1/G$ であり、昇圧型DC-DCコンバータの出力電圧に影響されないようにする。なお、増幅回路は、電源回路(電圧安定部)の出力する電圧の種類分の個数も受けられる。

【 0 0 6 4 】

具体的には、増幅回路は、電源変動抑圧機能を有するオペアンプの反転増幅回路または非反転増幅回路と、高周波数領域での電源電圧変動抑圧比低下を補償する回路と、を有する。このように、オペアンプの電源変動抑圧機能を活用することで、昇圧電圧の変化に伴うセットリング時間、特に高電圧から低電圧への変化に伴う長いセットリング時間内での影響を回避できる。軽負荷時には、オペアンプの電源変動抑圧機能が低下するため、軽負荷時のための補償回路を設けることが望ましい。具体的には、この補償回路は、オペアンプの出力端子に接続された容量素子と抵抗の直列接続回路で実現される。

【図面の簡単な説明】

【 0 0 6 5 】

【図1A】図1Aは、コレステリック液晶のプレーナ状態を説明する図である。

【図1B】図1Bは、コレステリック液晶のフォーカルコニック状態を説明する図である。

【図2】図2は、パルス電圧によるコレステリック液晶の状態変化を説明する図である。

【図3A】図3Aは、コレステリック液晶に印加する大きな電圧と広いパルス幅のパルスによる反射率の変化を説明する図である。

【図3B】図3Bは、コレステリック液晶に印加する中間電圧と狭いパルス幅のパルスによる反射率の変化を説明する図である。

【図3C】図3Cは、コレステリック液晶に印加する中間電圧とより狭いパルス幅のパルスによる反射率の変化を説明する図である。

【図4】図4は、パルスの印加回数とパルス幅の両方を組み合わせてパルスの累積印加時間を異ならせることにより階調書き込みを行う書き込み方法の例を説明する図である。

【図5】図5は、コレステリック液晶を使用する従来の表示装置の概略構成を示す図である。

【図6A】図6Aは、汎用セグメントドライバと汎用コモンドライバの出力パルスを示す図である。

【図6B】図6Bは、図6Aの出力パルスによる液晶の印加電圧を示す図である。

【図7】図7は、従来の電圧切替部及び電圧安定部の構成例を示す図である。

【図8】図8は、従来例の装置における動作を示すタイムチャートである。

【図9】図9は、昇圧部の想定される従来の構成例を示す図である。

【図10】図10は、昇圧部の想定される従来の別の構成例を示す図である。

【図11】図11は、第1実施形態のカラー表示装置の概略構成を示す図である。

【図12】図12は、第1実施形態のカラー表示装置の昇圧部の構成を示す図である。

【図13】図13は、第1実施形態のカラー表示装置の電圧切替部及び電圧安定部の構成を示す図である。

10

20

30

40

50

【図 1 4】図 1 4 は、第 1 実施形態のカラー表示装置の電圧切替部及び電圧安定部の別の構成例を示す図である。

【図 1 5】図 1 5 は、第 1 実施形態のカラー表示装置の動作を示すタイムチャートである。

【図 1 6】図 1 6 は、本発明の第 2 実施形態のカラー表示装置の昇圧部の構成を示す図である。

【図 1 7】図 1 7 は、本発明の第 3 実施形態のカラー表示装置の昇圧部の構成を示す図である。

【図 1 8】図 1 8 は、第 3 実施形態のカラー表示装置の動作を示すタイムチャートである。

10

【符号の説明】

【 0 0 6 6 】

- 1 0 表示素子
- 2 1 電源
- 2 7 制御回路
- 2 8 コモンドライバ (R G B 共通)
- 2 9 セグメントドライバ (R G B 独立)
- 4 1 昇圧部
- 4 2 電圧切替部
- 4 3 電圧安定部

20

【発明を実施するための最良の形態】

【 0 0 6 7 】

以下、図面を参照して本発明の実施形態を説明する。

【 0 0 6 8 】

図 1 1 は、本発明の第 1 実施形態のコレステリック液晶表示装置の全体構成を示す図である。図 5 と比較して明らかなように、従来の表示装置と類似の構成を有し、昇圧部 4 1、電圧切替部 4 2 および電圧安定部 4 3 のみが従来の表示装置と異なる。従って、ここでは、異なる部分のみを説明し、他の部分の説明は省略する。

【 0 0 6 9 】

図 5 に示すように、従来の装置では、昇圧部 2 2 で、電源 2 1 の電圧を昇圧して高い電圧 V_{out} (例えば、3.8 V) を発生し、電圧切替部 2 3 で電圧 V_{out} を抵抗により分圧することにより出力する電圧 V_0 、 V_{21S} 、 V_{21C} 、 V_{34S} 、 V_{34C} を発生し、電圧安定部 2 4 で安定化して出力していた。これに対して、第 1 実施形態の装置では、図 1 1 に示すように、昇圧部 4 1 で発生した高い電圧は電圧安定部 4 3 に供給する。電圧切替部 4 2 は、電圧安定部 4 3 における増幅率を G とした場合、電源 2 1 の出力電圧から、電圧安定部 4 3 から出力される電圧 (ドライバへの出力電圧) の $1/G$ の電圧を、抵抗を利用した分圧などで発生させる。電圧安定部 4 3 は、このようにして発生された電圧を増幅して、ドライバへの出力電圧を発生する。電圧安定部 4 3 には昇圧部 4 1 で発生した高い電圧が供給されており、昇圧部 4 1 から供給される電圧以下の電圧であれば、どのような電圧も発生可能であり、発生する電圧の精度は、供給される電圧に影響されない。

30

40

【 0 0 7 0 】

図 1 2 は、第 1 実施形態の昇圧部 4 1 の構成を示す図である。参照番号 5 1 は、昇圧回路 IC を示し、前述の Linear Technology 社製の LT3463 (商品名) や National Semiconductor 社の LM2733Y (商品名) など構成できる。また、参照番号 5 2 はアナログスイッチ素子である。LT3463 (商品名) のスイッチング端子 SW と出力端子 V_{out} 間には、シャットキーバリアダイオードが内蔵されている。LT3463 (商品名) と LM2733Y (商品名) の最大出力電圧は共に 4.0 V である。

【 0 0 7 1 】

図 1 2 に示すように、昇圧回路 IC 5 1 の出力端子 V_{out} とフィードバック端子 FB の間には $1500\text{ K}\Omega$ の抵抗が接続され、フィードバック端子 FB とグランド (0 V) の

50

間には $90.4\text{ K}\Omega$ の抵抗が接続されている。さらに、フィードバック端子 FB とアナログスイッチ素子 52 の出力端子 Y との間には抵抗 $117\text{ K}\Omega$ が接続されている。アナログスイッチ素子 52 は、出力電圧制御信号に応じて、出力端子 Y に、グラウンドレベル (0 V) または 1.25 V を出力する。出力電圧制御信号は L で、出力端子 Y に 0 V が出力される時には、 $90.4\text{ K}\Omega$ の抵抗と $117\text{ K}\Omega$ の抵抗は並列接続されて $51.0\text{ K}\Omega$ の抵抗と等価であり、昇圧回路 $\text{IC}51$ の出力電圧 V_{out} は 38 V となる。出力電圧制御信号は H で、出力端子 Y に 1.25 V が出力される時には、 FB 端子と同一電圧になるため、 $117\text{ K}\Omega$ の抵抗は開放 (オープン) と等価な状態となり、昇圧回路 $\text{IC}51$ の出力電圧 V_{out} は 22 V となる。アナログスイッチ素子 52 を、例えば D/A コンバータまたはオペアンプを利用した出力インピーダンスがほぼゼロの回路とする。これにより、フィードバックループの線形性を維持できる。

10

【0072】

なお、分圧用の抵抗の一端に電圧を印加して昇圧比を制御する方法自体は公知であるが、前述のように、それだけでは高い電圧から低い電圧に変化させた場合のセットリング時間が長くなり実際には使用できなかった。本実施形態では、上記のように、電圧安定部 43 に昇圧電圧を供給し、電圧安定部 43 は供給される昇圧電圧の電圧値にかかわらず、電圧切替部 42 からの電圧を増幅して出力電圧を発生するので、昇圧電圧を高い電圧から低い電圧に変化させた場合のセットリング時間が長くても、電圧安定部 43 はただちに出力電圧を正確に切り替えることが可能である。

【0073】

20

図 13 は、第 1 実施形態の電圧切替部 42 と電圧安定部 43 の構成を示す図である。参照番号 42 は、出力電圧制御信号に応じて入力端子 A と B に入力される電圧の一方を選択して出力するアナログスイッチ素子である。ここでは、入力端子 A には 3.60 V が入力され、入力端子 B には 1.86 V が入力され、出力電圧制御信号が L の時に 3.60 V が出力され、出力電圧制御信号が H の時に 1.86 V が出力される。 3.60 V と 1.86 V は電源 21 の出力電圧を抵抗で分圧して発生する。

【0074】

電圧安定部 43 は、オペアンプ 53 を使用して、電圧切替部 42 から出力された電圧を 10 倍に増幅して出力する。従って、電圧安定部 43 は、出力電圧制御信号が L の時には 36.0 V を出力し、出力電圧制御信号が H の時には 18.6 V を出力する。増幅率は $900\text{ K}\Omega$ と $100\text{ K}\Omega$ の抵抗で決定される。具体的には、 $100\text{ K}\Omega$ と $(900\text{ K}\Omega + 100\text{ K}\Omega)$ の比で決定される。

30

【0075】

前述のように、電圧安定部 43 には昇圧電圧が供給されており、この昇圧電圧より低い電圧であれば発生可能であり、発生する電圧は昇圧電圧に影響されない。昇圧電圧の変動の影響を抑圧する電源変動抑圧比を所定値以上とするために、オペアンプの出力とグラウンドの間に、容量 Cc と抵抗 Rc を直接接続した電源変動補償回路を接続する。この電源変動補償回路は、軽負荷時の電源変動抑圧効果を補償する回路であり、オペアンプ 53 と昇圧部 41 のリップル周波数に応じて実験的に設定する。オペアンプ 53 として、On Semiconductor 社製の MC33174 を用いた場合、スイッチング周波数 1 MHz 以下の昇圧部 (昇圧回路) との組み合わせにおいては、容量 Cc を 300 pF 、抵抗 Rc を $10\text{ K}\Omega$ に設定した。なお、前述の昇圧回路 IC である LT3463 のスイッチング周波数は 300 KHz 以下であり、この設定であれば問題ない。

40

【0076】

図 14 は、電圧切替部 42 の別の構成例を示す図である。図 13 に示した電圧切替部 42 では、基準となる電圧をアナログスイッチ素子で切り替えたが、図 14 に示す構成では、データセレクタ 55 と、 D/A コンバータ 56 と、を使用する。データセレクタ 55 は、 3.60 V に対する 8 ビットのデジタル値が入力される A 入力と、 1.86 V に対する 8 ビットのデジタル値が入力される B 入力の一方を、出力電圧制御信号に従って選択して D/A コンバータ 56 に出力する。 D/A コンバータ 56 は、入力された 3.60 V また

50

は 1.86 V に対する 8 ビットのデジタル値をアナログ信号に変換して電圧安定部 43 のオペアンプに出力する。

【0077】

以上、電圧切替部 42 および電圧安定部 43 の構成を説明したが、説明した回路構成は、電圧発生回路（電圧安定部 43）の出力する電圧の種類に対応した個数設けられる。第 1 実施形態では、前述のように、電圧発生回路（電圧安定部 43）は、V0, V21S, V21C, V34S, V34C の 5 種類の電圧を出力するので、上記のような回路が 5 個設けられる。

【0078】

図 15 は、第 1 実施形態の表示装置の動作を示すタイムチャートである。第 1 ステップを開始する直前に、出力電圧制御信号により昇圧部 22 が待機状態から稼動状態に切り替えられ、Vout = 38 V の昇圧電圧を発生する。電圧切替信号に応じて、電圧安定部 43 からは、液晶ドライバ 28, 29 に、V0, V21S, V21C, V34S, V34C として、36 V, 36 V, 36 V, 0 V, 0 V を供給する。

10

【0079】

第 1 ステップが終了すると、電圧切替信号が変化し、昇圧部 41 の出力電圧 Vout は 38 V から 22 V に徐々に変化する。しかし、電圧発生回路（電圧安定部 43）の出力する電圧 V0, V21S, V21C, V34S, V34C は、ただちに 18.6 V, 9.3 V, 13.95 V, 9.3 V, 4.65 V に変化する。これにより、第 1 ステップの終了後直ちに第 2 ステップを開始できる。

20

【0080】

図 16 は、本発明の第 2 実施形態のコレステリック液晶表示装置の昇圧部 41 の構成を示す図である。第 2 実施形態のコレステリック液晶表示装置は、昇圧部 41 の昇圧回路 IC61 が、第 1 実施形態の IC51 と異なり、他の部分は第 1 実施形態と同じである。

【0081】

例えば、電源 21 が 2.7 V を出力する場合、昇圧部 41 は電圧 2.7 V を 38 V へ昇圧する必要がある。しかし、このような大きな昇圧比が直接可能な高電圧昇圧 IC の種類は限られており、いずれも変換効率が十分ではないという問題がある。高効率・中電圧昇圧 IC に外付け高電圧 NMOS - FET を併用することで、高い変換効率が得られることが知られている。第 2 実施形態はこの構成を本発明に適用したものである。

30

【0082】

昇圧回路 IC61 として、最大出力電圧 28 V の Maxim 社製の MAX8574（商品名）を使用するのが適当である。図示のように、この IC61 のスイッチング端子 SW に MOS - FET 62 の一方の端子を接続し、他方の端子と入力電圧端子 Vin の間に 47 μF のインダクタを、他方の端子と 1500 KΩ の抵抗の間にショットキーバリアダイオードを接続する。MOS - FET 62 のゲートは、入力電圧端子 Vin に接続されると共に、ダイオードを介してスイッチング端子 SW に接続される。このような使用方法は既に知られているので詳しい説明は省略するが、極めて広い出力電流範囲で高い変換効率が得られる。

【0083】

図 17 は、本発明の第 3 実施形態のコレステリック液晶表示装置の昇圧部 41 の構成を示す図である。第 3 実施形態のコレステリック液晶表示装置は、昇圧部 41 の構成が、第 1 実施形態の昇圧部 41 の構成と異なり、他の部分は第 1 実施形態と同じである。

40

【0084】

第 3 実施形態の昇圧部 41 は、昇圧型 DC - DC コンバータの昇圧回路 IC を 2 個使用する。一方の昇圧回路 IC65 は、1500 KΩ と 51 KΩ の抵抗により出力 Vout1 を分圧した電圧がフィードバックされ、出力電圧 Vout1 は 38 V である。他方の昇圧回路 IC66 は、864 KΩ と 51 KΩ の抵抗により出力 Vout1 を分圧した電圧がフィードバックされ、出力電圧 Vout2 は 22 V である。昇圧回路 IC65 の出力および昇圧回路 IC66 の出力は、それぞれショットキーバリアダイオードを介して出力端子に接続される。昇圧回路 IC65 および昇圧回路 IC66 は、制御端子 SHDN* に印加す

50

る出力電圧制御信号がHの時には待機状態になり、Lの時に稼動状態になる。

【0085】

図18は、第3実施形態の表示装置の動作を示すタイムチャートである。第1ステップを開始する前に、出力電圧制御信号をLにして、昇圧回路IC65を稼動状態に、昇圧回路IC66を待機状態にする。これに応じて、昇圧回路IC65の出力は急激に38Vまで上昇するが、昇圧回路IC66の出力は徐々に0Vまで低下する。この時、Voutは直ちに38Vに変化するので、第1ステップは直ぐに開始可能である。

【0086】

第1ステップが終了すると、出力電圧制御信号をHにして、昇圧回路IC65を待機状態に、昇圧回路IC66を稼動状態にする。これに応じて、昇圧回路IC65の出力は徐々に0Vまで低下し、昇圧回路IC66の出力急激に22Vまで上昇する。Voutは十分に短時間のうちに22Vに変化するので、22Vに変化した時点で第2ステップを開始する。

10

【0087】

昇圧回路IC65および昇圧回路IC66は、上記のように交互に待機状態と稼動状態を切り替えてもよいが、出力電圧Voutが22Vの時には、待機状態時の消費エネルギーに近いので、第1ステップ開始前に昇圧回路IC66を稼動状態にしておいても特に問題は生じない。

【0088】

以上、本発明の実施例を説明したが、他にも各種の実施例が可能であるのはいうまでもない。

20

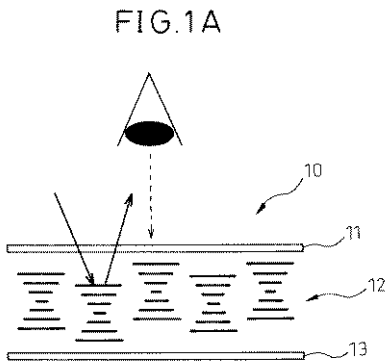
【0089】

また、各種の条件は、対象とする表示素子の仕様に依じて決定すべきであることは言うまでもない。

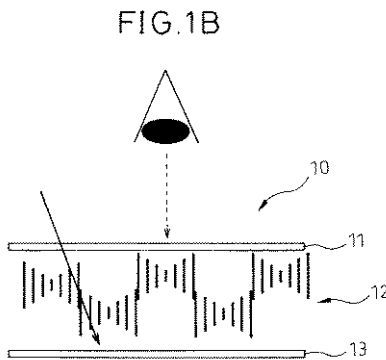
【0090】

以上説明したように、本発明によれば、コレステリック液晶表示装置において、回路面積および回路コストの少しの増加で、階調表示時にオペアンプで消費されるエネルギーを大幅に低減でき、電池容量などを適正化することで、トータルコストを低減できる。

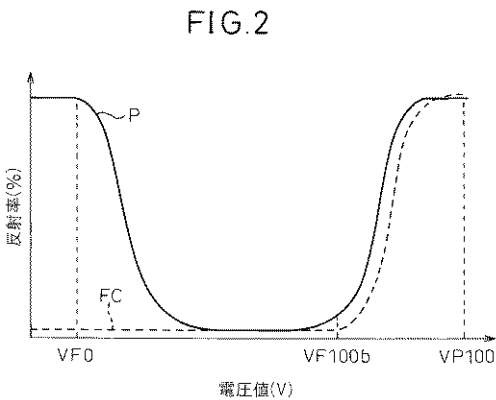
【図 1 A】



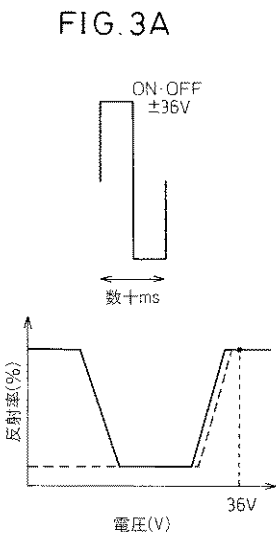
【図 1 B】



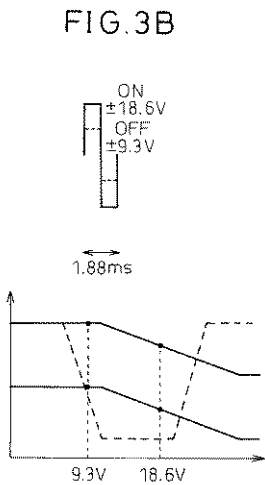
【図 2】



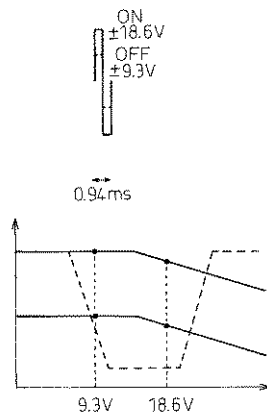
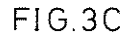
【図 3 A】



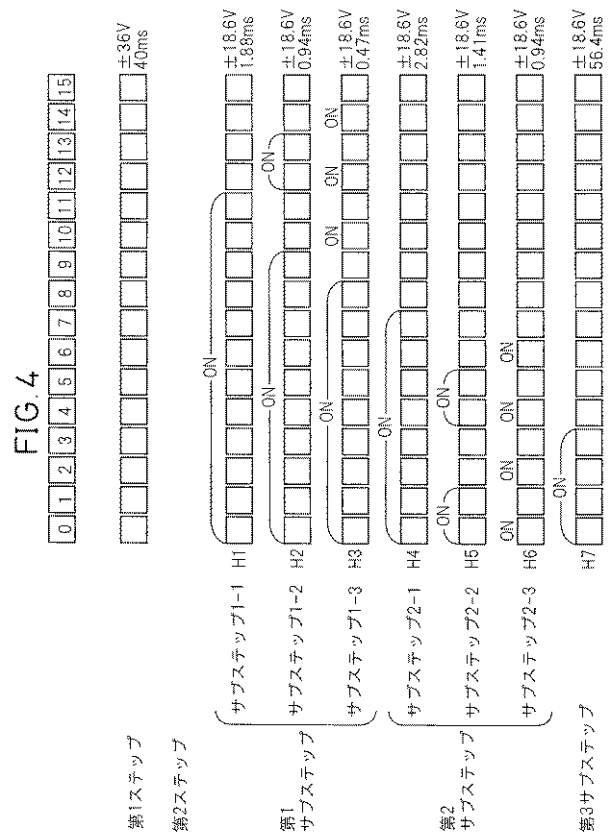
【図 3 B】



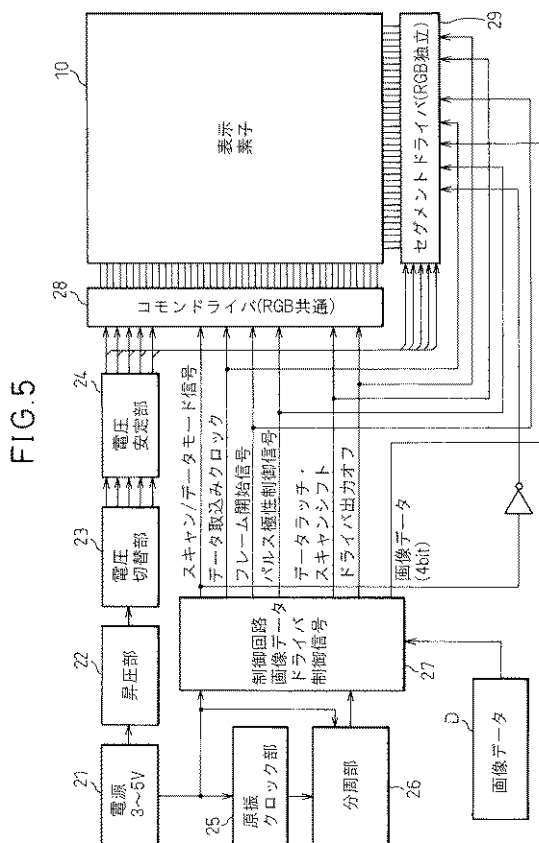
【 図 3 C 】



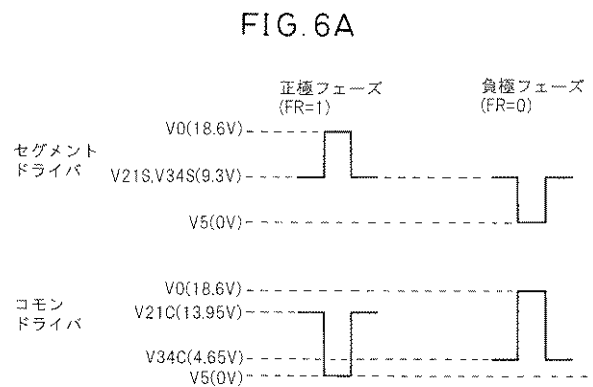
【 図 4 】



【 図 5 】



【 図 6 A 】



【 図 6 B 】

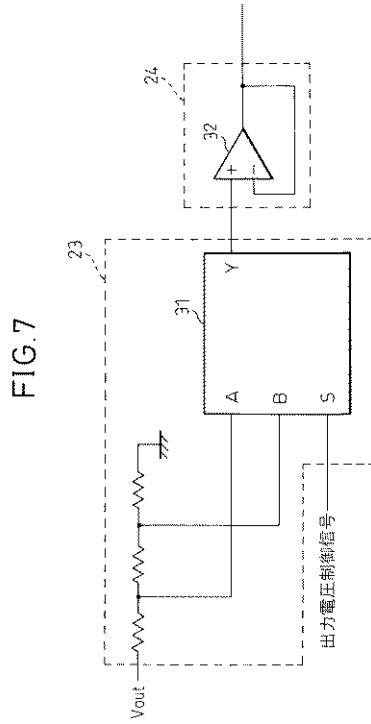
FIG. 6B

コモン	セグメント	正極性	負極性
ON	ON	18.6	-18.6
	OFF	9.3	-9.3
OFF	ON	4.65	-4.65
	OFF	-4.65	4.65

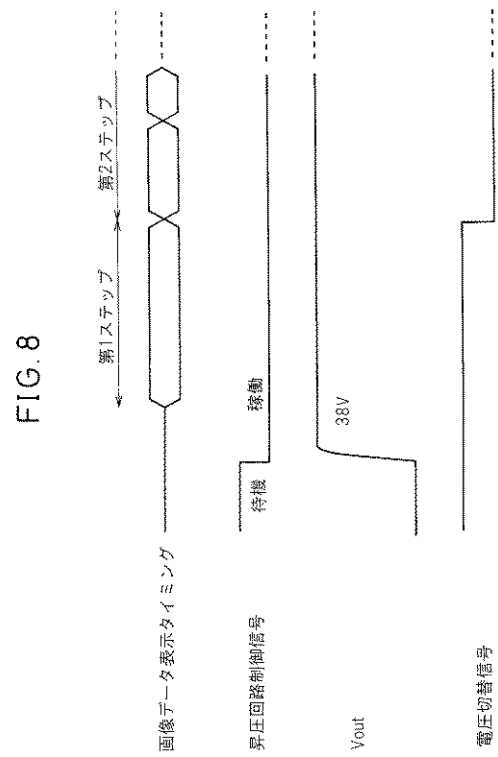
(V)

(V)

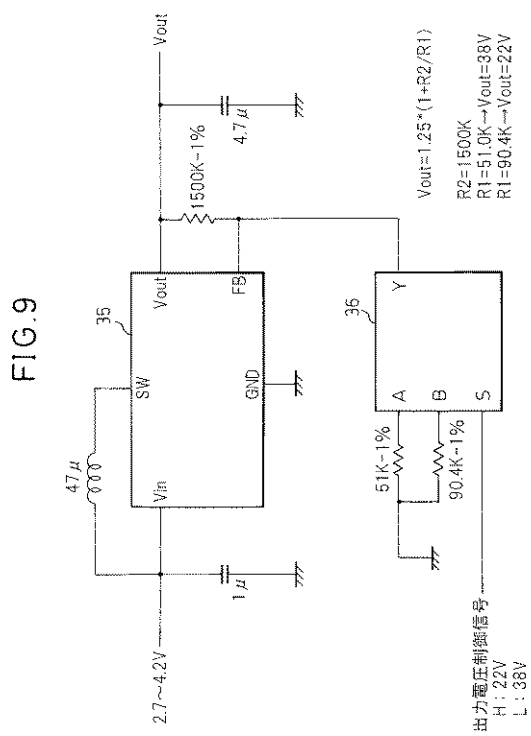
【圖 7】



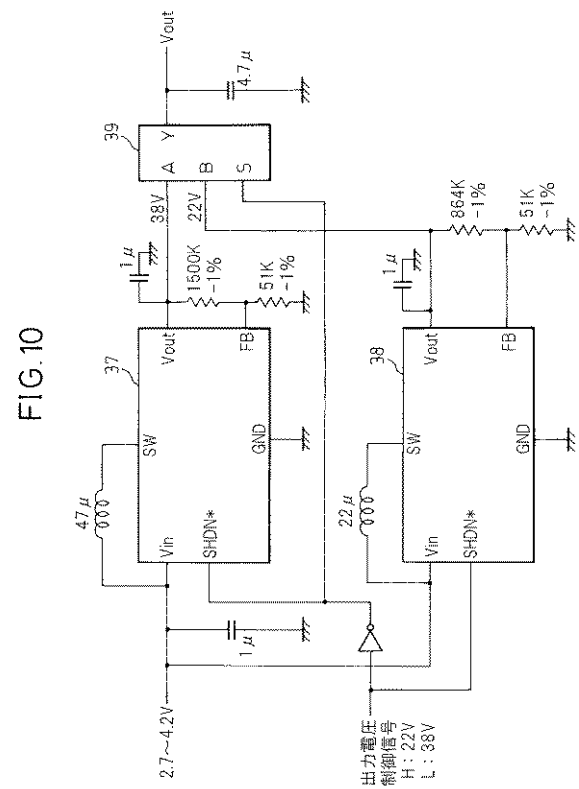
【 図 8 】



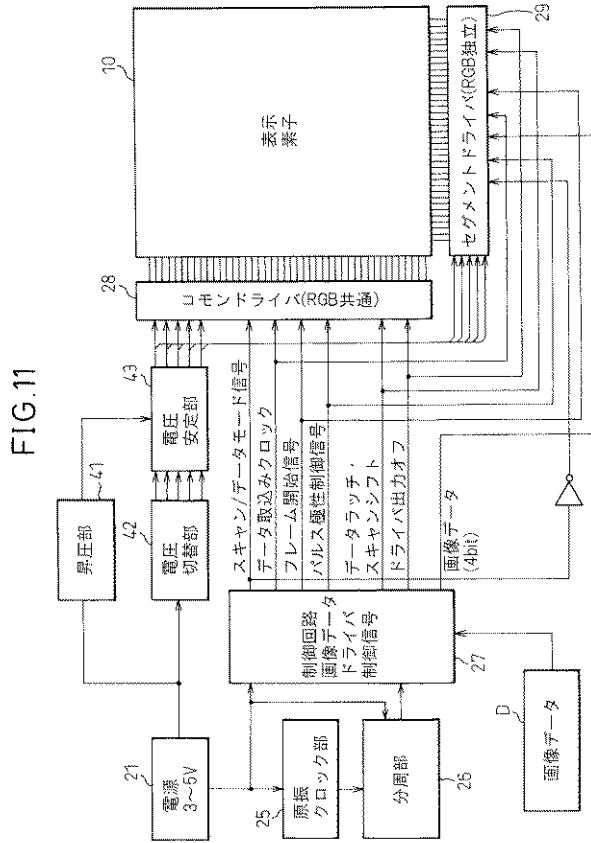
【 図 9 】



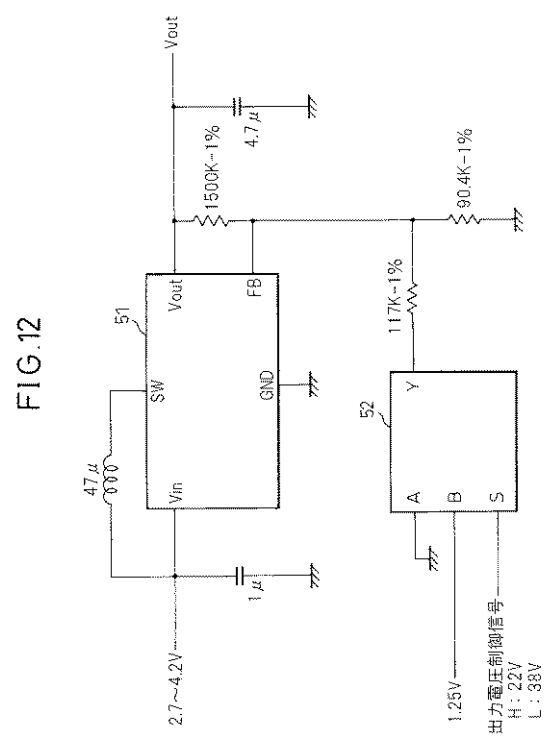
【 図 1 0 】



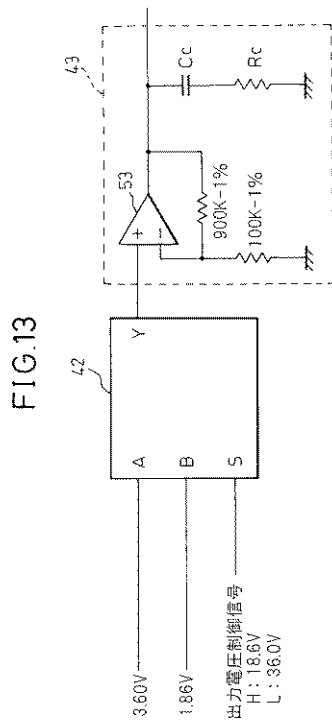
【 図 1 1 】



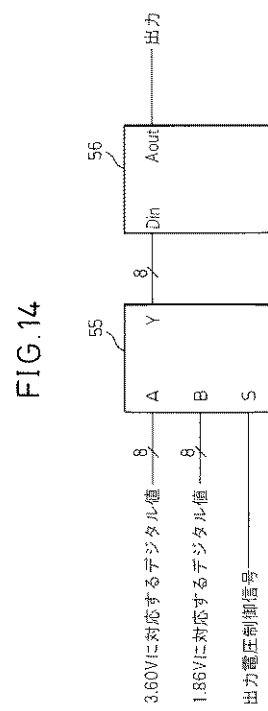
【 図 1 2 】



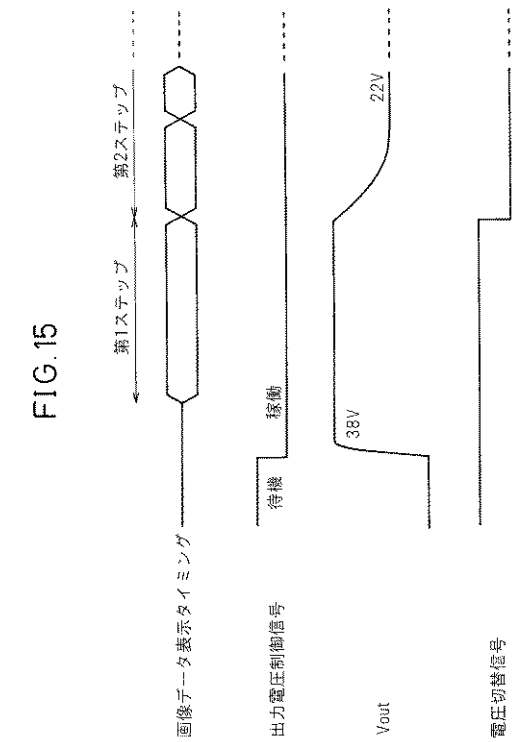
【 図 1 3 】



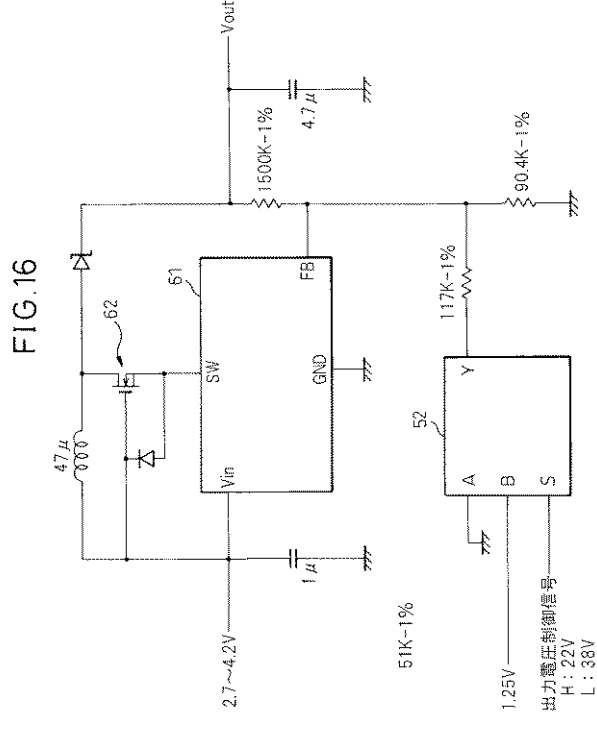
【 図 1 4 】



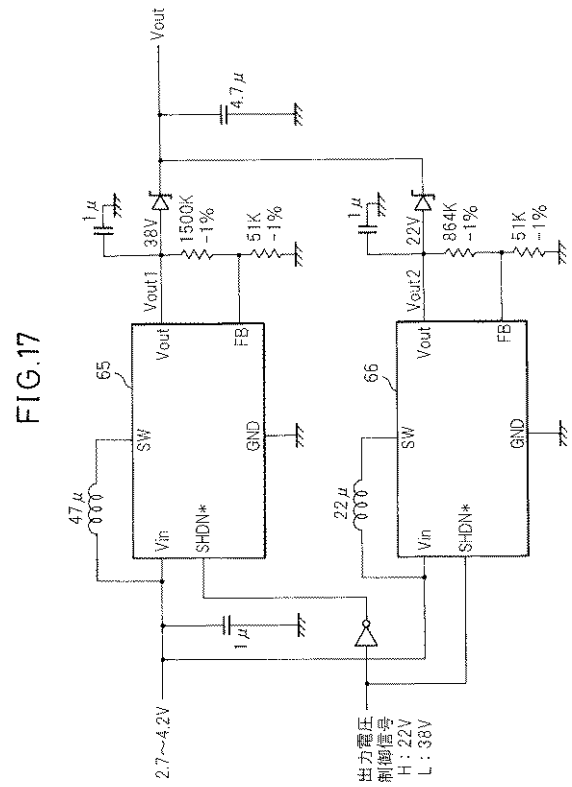
【図 15】



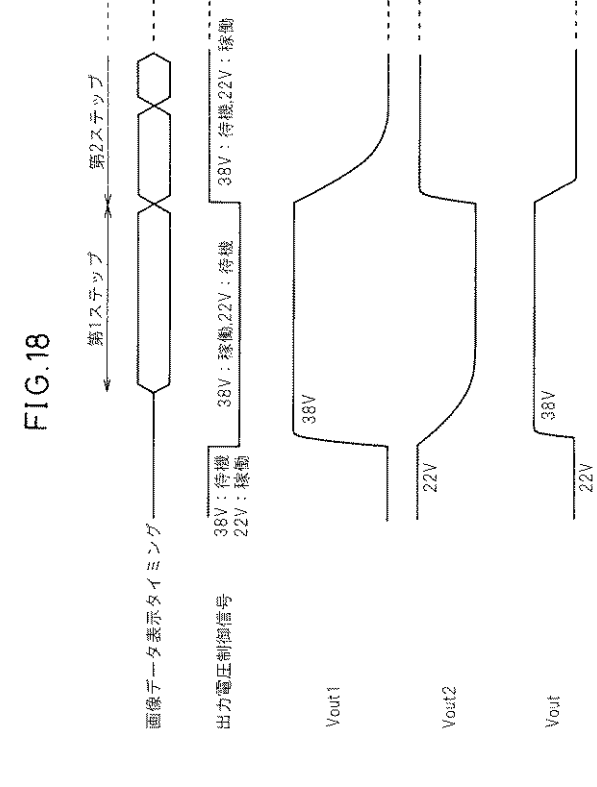
【図 16】



【図 17】



【図 18】



【手続補正書】

【提出日】平成22年1月14日(2010.1.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

書換え対象の画素をプレーナ状態に初期化する高電圧パルスを印加する第 1 ステップと、初期化された画素においてプレーナ状態に対するフォーカルコニック状態の混在比を増加させる低電圧パルスを印加する第 2 ステップと、を実行し、前記低電圧パルスを印加する累積時間で中間調の値が決定されるコレステリック液晶表示装置であって、

所定の電圧を出力する電圧発生回路と、

前記電圧発生回路から供給される前記所定の電圧に基づいて、前記画素に印加する電圧パルスを生成するドライバ回路と、を備え、

前記電圧発生回路は、

電源電圧から昇圧電圧を発生する昇圧部と、

前記電圧発生回路からの出力電圧の電圧値を指示する電圧制御信号を発生する電圧切替部と、

前記昇圧部から供給される前記昇圧電圧から、前記電圧制御信号に応じた前記所定の電圧を発生する電圧安定部と、を備え、

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成されており、

前記昇圧部は、前記第 1 ステップと前記第 2 ステップで、昇圧比を切り替えることを特徴とするコレステリック液晶表示装置。

【請求項 2】

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成された増幅回路を備え、

前記増幅回路の電圧増幅率 G は 1 より大きく、

前記増幅回路の入力電圧は、前記ドライバ回路が画素に印加する電圧の $1/G$ であり、前記昇圧型 DC - DC コンバータの出力電圧に影響されないことを特徴とする請求項 1 に記載のコレステリック液晶表示装置。

【請求項 3】

前記増幅回路は、オペアンプの反転増幅回路または非反転増幅回路と、高周波数領域での電源電圧変動抑圧比低下を補償する回路と、を有することを特徴とする請求項 1 に記載のコレステリック液晶表示装置。

【請求項 4】

高周波数領域での電源電圧変動抑圧比低下を補償する前記回路は、前記オペアンプの出力端子に接続された容量素子と抵抗の直列接続回路であることを特徴とする請求項 3 に記載のコレステリック液晶表示装置。

【請求項 5】

前記昇圧部は、昇圧型 DC - DC コンバータを備え、

前記昇圧型 DC - DC コンバータの最大出力電圧は、第 1 ステップ時の高電圧パルスのパルス波高より低い、第 2 ステップ時の低電圧パルスのパルス波高より高く、

前記昇圧型 DC - DC コンバータのスイッチ出力に接続されるトランジスタは、第 1 ステップ時の高電圧パルスのパルス波高より高い耐圧を有することを特徴とする請求項 1 に記載のコレステリック液晶表示装置。

【請求項 6】

書換え対象の画素をプレーナ状態に初期化する高電圧パルス

10

20

30

40

50

、初期化された画素においてプレーナ状態に対するフォーカルコニック状態の混在比を増加させる低電圧パルスを実行する第2ステップと、を実行し、前記低電圧パルスを印加する累積時間で中間調の値が決定されるコレステリック液晶表示装置であって、

所定の電圧を出力する電圧発生回路と、

前記電圧発生回路から供給される前記所定の電圧に基づいて、前記画素に印加する電圧パルスを生成するドライバ回路と、を備え、

前記電圧発生回路は、

電源電圧から昇圧電圧を発生する昇圧部と、

前記電圧発生回路からの出力電圧の電圧値を指示する電圧制御信号を発生する電圧切替部と、

10

前記昇圧部から供給される前記昇圧電圧から、前記電圧制御信号に応じた前記所定の電圧を発生する電圧安定部と、を備え、

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成されており、

前記昇圧部は、1個のインダクタを用いる昇圧型DC-DCコンバータを2個有し、前記2個の昇圧型DC-DCコンバータの一方の出力電圧は、第1ステップ時の高電圧パルスのパルス波高より高く、他方の出力電圧は、第2ステップ時の低電圧パルスのパルス波高より高く、前記2個の昇圧型DC-DCコンバータの出力端子は、ダイオードを介して1つの出力端子に接続され、

前記昇圧部は、前記2個の昇圧型DC-DCコンバータのオン/オフを制御することにより、前記第1ステップと前記第2ステップでの前記昇圧電圧を切り替えることを特徴とするコレステリック液晶表示装置。

20

【請求項7】

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成された増幅回路を備え、

前記増幅回路の電圧増幅率Gは1より大きく、

前記増幅回路の入力電圧は、前記ドライバ回路が画素に印加する電圧の1/Gであり、前記2個の昇圧型DC-DCコンバータの出力電圧に影響されないことを特徴とする請求項6に記載のコレステリック液晶表示装置。

【請求項8】

30

所定の電圧を出力する電圧発生回路と、

前記電圧発生回路から供給される前記所定の電圧に基づいて、画素に印加する電圧パルスを生成するドライバ回路と、を備え、

前記電圧発生回路は、

電源電圧から昇圧電圧を発生する昇圧部と、

前記電圧発生回路からの出力電圧の電圧値を指示する電圧制御信号を発生する電圧切替部と、

前記昇圧部から供給される前記昇圧電圧から、前記電圧制御信号に応じた前記所定の電圧を発生する電圧安定部と、を備え、

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成されているコレステリック液晶表示装置の駆動方法であって、

40

書換え対象の画素をプレーナ状態に初期化する高電圧パルスを印加する第1ステップと、初期化された画素においてプレーナ状態に対するフォーカルコニック状態の混在比を増加させる低電圧パルスを印加する第2ステップと、を実行し、前記低電圧パルスを印加する累積時間で中間調の値が決定され、

前記第1ステップと前記第2ステップで、前記昇圧部の昇圧比を切り替えることを特徴とするコレステリック液晶表示装置の駆動方法。

【請求項9】

前記電圧安定部は、前記昇圧電圧の変動に対する出力電圧変動を抑圧するように構成された増幅回路を備え、

50

前記増幅回路の電圧増幅率 G は 1 より大きく、

前記増幅回路の入力電圧は、前記ドライバ回路が画素に印加する電圧の $1/G$ であり、前記昇圧型 DC - DC コンバータの出力電圧に影響されないことを特徴とする請求項 8 に記載のコレステリック液晶表示装置の駆動方法。

【請求項 10】

前記増幅回路は、オペアンプの反転増幅回路または非反転増幅回路と、高周波数領域での電源電圧変動抑圧比低下を補償する回路と、を有することを特徴とする請求項 8 に記載のコレステリック液晶表示装置の駆動方法。

【手続補正 2】

【補正対象書類名】明細書

10

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コレステリック液晶表示装置に関し、特に高電圧パルス印加してプレーナ状態に初期化した後、低電圧パルス印加して一部をフォーカルコニック状態にし、その混在比により中間調の値が決定され、混在比が低電圧パルスの印加累積時間に依存するコレステリック液晶表示装置に関する。

20

【背景技術】

【0002】

近年、各企業および大学などにおいて、電子ペーパーの開発が盛んに進められている。電子ペーパーの利用が期待されている応用分野として、電子書籍を筆頭に、モバイル端末機器のサブディスプレイや IC カードの表示部など、多様な応用形態が提案されている。電子ペーパーの有力な方式の 1 つに、コレステリック液晶がある。コレステリック液晶は、半永久的な表示保持（メモリ性）や鮮やかなカラー表示、高コントラスト、高解像度といった優れた特徴を有している。

【0003】

コレステリック液晶は、カイラルネマティック液晶とも称されることがあり、ネマティック液晶にキラリティの添加剤（カイラル材）を比較的多く（数十％）添加することにより、ネマティック液晶の分子がらせん状のコレステリック相を形成する液晶である。

30

【0004】

図 1 A および図 1 B は、コレステリック液晶の状態を説明する図である。図 1 A および図 1 B に示すように、コレステリック液晶を利用した表示素子 10 は、上側基板 11 と、コレステリック液晶層 12 と、下側基板 13 と、有する。コレステリック液晶には、図 1 A に示すように入射光を反射するプレーナ状態と、図 1 B に示すように入射光を透過するフォーカルコニック状態と、があり、これらの状態は、無電界下でも安定してその状態が保持される。

【0005】

40

プレーナ状態の時には、液晶分子のらせんピッチに応じた波長の光を反射する。反射が最大となる波長 λ は、液晶の平均屈折率 n 、らせんピッチ p から次の式で表される。

【0006】

$$\lambda = n \cdot p$$

一方、反射帯域 $\Delta \lambda$ は、液晶の屈折率異方性 Δn により大きく異なる。

【0007】

プレーナ状態の時には、入射光が反射するので「明」状態、すなわち白を表示することができる。一方、フォーカルコニック状態の時には、下側基板 13 の下に光吸収層を設けることにより、液晶層を透過した光が吸収されるので「暗」状態、すなわち黒を表示することができる。

50

【 0 0 0 8 】

次に、コレステリック液晶を利用した表示素子の駆動方法を説明する。

【 0 0 0 9 】

図 2 は、一般的なコレステリック液晶の電圧 - 反射特性の一例を示している。横軸は、コレステリック液晶を挟む電極間に所定のパルス幅で印加されるパルス電圧の電圧値 (V) を表し、縦軸はコレステリック液晶の反射率 (%) を表している。図 2 に示す実線の曲線 P は、初期状態がプレーナ状態のコレステリック液晶の電圧 - 反射率特性を示し、破線の曲線 F C は、初期状態がフォーカルコニック状態のコレステリック液晶の電圧 - 反射率特性を示す。

【 0 0 1 0 】

図 2 において、電極間に所定の高電圧 V_{P100} (例えば $\pm 36V$) を印加して、コレステリック液晶中に相対的に強い電界を発生させると、液晶分子のらせん構造は完全にほどこけて、すべての分子が電界の方向に従うホメオトロピック状態になる。次に、液晶分子がホメオトロピック状態の時に、印加電圧を V_{P100} から所定の低電圧 (例えば、 $V_{F0} = \pm 4V$) に急激に低下させて、液晶中の電界を急激にほぼゼロにすると、液晶のらせん軸は電極に垂直になり、らせんピッチに応じた光を選択的に反射するプレーナ状態になる。

【 0 0 1 1 】

一方、電極間に所定の低電圧 V_{F100b} (例えば、 $\pm 24V$) を印加し、コレステリック液晶中の相対的に弱い電界を発生させると、液晶分子のらせん構造が完全には解けない状態になる。この状態において、印加電圧を V_{F100b} から低電圧 V_{F0} に急激に低下させて、液晶中の電界を急激にほぼゼロにするか、あるいは強い電界を印加し緩やかに電界を除去した場合は、液晶分子のらせん軸が電極に平行になり、入射光を透過するフォーカルコニック状態になる。

【 0 0 1 2 】

また、中間的な強さの電界を印加し、急激に電界を除去すると、プレーナ状態とフォーカルコニック状態が混在し、中間調の表示が可能となる。

【 0 0 1 3 】

以上の現象を利用して、表示を行う。

【 0 0 1 4 】

以上説明した電圧応答特性に基づく駆動方法の原理を、図 3 A から図 3 C を参照して説明する。

【 0 0 1 5 】

図 3 A は電圧パルスのパルス幅が数十 ms の場合のパルス応答特性を示し、図 3 B は電圧パルスのパルス幅が $1.88ms$ の場合のパルス応答特性を示し、図 3 C は電圧パルスのパルス幅が $0.94ms$ の場合のパルス応答特性を示す。それぞれの図において、上側にはコレステリック液晶に印加される電圧パルスが示され、下側には電圧 - 反射率特性が示され、横軸は電圧 (V) を表し、縦軸は反射率 (%) を表す。液晶の駆動パルスとしてよく知られているように、電圧パルスは、分極による液晶の劣化を防止するために、正極性と負極性のパルスを組み合わせている。

【 0 0 1 6 】

図 3 A に示すように、パルス幅が大きい場合には、実線で示すように、初期状態がプレーナ状態だと、電圧をある範囲に上げると、フォーカルコニック状態となり、さらに電圧を上げると、再度プレーナ状態となる。破線で示すように、初期状態がフォーカルコニック状態だと、パルス電圧を上げるにつれて次第にプレーナ状態になる。

【 0 0 1 7 】

パルス幅が大きい場合に、初期状態がプレーナ状態とフォーカルコニック状態のいずれでも必ずプレーナ状態になるパルス電圧は $\pm 36V$ であり、初期化パルスは、図 3 A に示すように $\pm 36V$ のパルスとする。また、この中間のパルス電圧では、プレーナ状態とフォーカルコニック状態が混在した状態になり、中間調が得られる。

10

20

30

40

50

【 0 0 1 8 】

一方、図 3 B に示すように、パルス幅が 1 . 8 8 m s の場合には、初期状態がプレーナ状態では、パルス電圧が約 1 0 V では反射率は変化しないが、それ以上大きな電圧になるとプレーナ状態とフォーカルコニック状態が混在した状態になり、反射率が低下する。反射率の低下量は電圧が大きくなるに従って大きくなるが、3 6 V よりさらに大きな電圧になると反射率の低下量は一定となる。これは、初期状態がプレーナ状態とフォーカルコニック状態が混在した状態でも同じである。従って、初期状態がプレーナ状態である場合に、パルス幅が 1 . 8 8 m s でパルス電圧が約 2 0 V の電圧パルスを 1 回印加すると、反射率はある程度低下する。このようにしてプレーナ状態とフォーカルコニック状態が混在した状態で反射率が少し低下した状態で、パルス幅が 1 . 8 8 m s でパルス電圧が約 2 0 V の電圧パルスをさらに印加すると、反射率はさらに低下する。これを繰り返すと、反射率は所定値まで低下する。上記のように、パルス幅 1 . 8 8 m s では、約 2 0 V の電圧パルスでは反射率（階調）が変化し、約 1 0 V の電圧パルスでは変化しないので、図 3 B のパルスでは、ON 時には ± 18.6 V、OFF 時には ± 9.3 V のパルスとしている。

10

【 0 0 1 9 】

図 3 C に示すように、パルス幅が 0 . 9 4 m s の場合には、パルス幅が 1 . 8 8 m s の場合と同様に、電圧パルスを印加することにより反射率が低下するが、反射率の低下具合はパルス幅が 1 . 8 8 m s の場合と比べて小さい。

【 0 0 2 0 】

以上のことから、大きなパルス幅で 3 6 V のパルスを印加すればプレーナ状態になり、十数 V から 2 0 V 程度の階調パルスを印加すればプレーナ状態とフォーカルコニック状態が混在した状態になって反射率が低下し、反射率の低下量は、階調パルスの累積時間に関係すると考えられる。

20

【 0 0 2 1 】

コレステリック液晶による多階調表示方法については各種の駆動方法が提案されている。コレステリック液晶の多階調表示の駆動方法は、ダイナミック駆動とコンベンショナル駆動の 2 つの方法に分けられる。

【 0 0 2 2 】

特許文献 1 は、ダイナミック駆動法を記載している。非特許文献 1 は、コンベンショナル駆動法を記載している。

30

【 0 0 2 3 】

特許文献 2 および 3 は、フォーカルコニック状態へのリセットを応用した早送りモードの駆動方法を記載している。

【 0 0 2 4 】

コンベンショナル駆動法で累積時間を利用して階調を設定する場合、上記のように、短いパルスの印加回数を調整する方法に加えて、パルス幅を異ならせる方法が考えられる。パルス幅を異ならせる方法の方が、短いパルスの印加回数を調整するよりも、消費電力を抑圧する上では有利である。以下、パルス幅を異ならせて累積時間を変化させることにより階調を設定する方法を PWM (Pulse Width Modulation) 法と称する。

【 0 0 2 5 】

特許文献 4 は、コレステリック液晶ではないが、液晶表示装置でパルス幅の異なる正極パルスおよび負極パルスを印加する構成を記載している。

40

【 0 0 2 6 】

図 4 は、パルスの印加回数とパルス幅の両方を組み合わせてパルスの累積印加時間を異ならせることにより階調書き込みを行う書き込み方法の例を説明する図である。

【 0 0 2 7 】

第 1 ステップは、全画素にパルス幅 4 0 m s の ± 36 V の高電圧パルスを印加して全画素をプレーナ状態にする初期化処理を行う。

【 0 0 2 8 】

第 2 ステップは、階調書き込み処理を行う。第 2 ステップは、第 1、第 2 および第 3 サブ

50

ステップの3つのサブステップに分割され、第1サブステップはさらに3つのサブステップ1-1, 1-2, 1-3に分割され、第2サブステップはさらに3つのサブステップ2-1, 2-2, 2-3に分割される。

【0029】

サブステップ1-1ではパルス幅1.88msの±18.6Vのパルスが印加され、サブステップ1-2ではパルス幅0.94msの±18.6Vのパルスが印加され、サブステップ1-3ではパルス幅0.47msの±18.6Vのパルスが印加される。3つのサブステップ1-1, 1-2, 1-3は、1スキャンラインの選択時に連続して行っても、異なるフレームとして行うことも可能である。同様に、サブステップ2-1ではパルス幅2.82msの±18.6Vのパルスが印加され、サブステップ2-2ではパルス幅1.41msの±18.6Vのパルスが印加され、サブステップ2-3ではパルス幅0.94msの±18.6Vのパルスが印加される。3つのサブステップ2-1, 2-2, 2-3は、1スキャンラインの選択時に連続して行っても、異なるフレームとして行うことも可能である。第3サブステップ3ではパルス幅5.64msの±18.6Vのパルスが印加される。なお、サブステップ1-1, 1-2, 1-3, 2-1, 2-2, 2-3, 3は、1スキャンラインの選択時に連続して行うことも可能である。

【0030】

各画素の階調レベルは、ONするサブステップを組み合わせることにより、決定される。例えば、0階調の場合にはすべてのサブステップでONする。階調レベル3の場合には、サブステップ1-1, 1-2, 1-3, 2-1, 3でONし、他のサブステップはOFFする。階調レベル12の場合には、サブステップ1-2, 1-3でONし、他のサブステップはOFFする。

【0031】

図5は、コレステリック液晶などのメモリ性の表示材料を有する単純マトリクス型の表示素子10を使用した従来例の表示装置の全体構成を示す図である。例えば、表示素子10は、A4判XGA仕様で、1024×768画素を有する。電源21は、例えば3V~5Vの電圧を出力する。昇圧部22は、DC-DCコンバータなどのレギュレータにより、電源21からの入力電圧を38Vに昇圧する。電圧切替部23は、抵抗による分圧などにより各種の電圧を生成する。電圧安定部24は、電圧切替部23から供給される各種の電圧を安定化させるために、オペアンプのボルテージフォロア回路を使用する。

【0032】

原振クロック部25は、動作の基本となる基本クロックを発生する。分周部26は、基本クロックを分周して、後述する動作に必要な各種クロックを生成する。

【0033】

制御回路27は、基本クロック、各種クロックおよび画像データDに基づいて制御信号を生成して、コモンドライバ28およびセグメントドライバ29に供給する。

【0034】

コモンドライバ28は768本のスキャンラインを駆動し、セグメントドライバ29は1024本のデータラインを駆動する。RGBの各画素に与える画像データが異なるため、セグメントドライバ29は各データラインを独立して駆動する。コモンドライバ28は、RGBのラインを共通に駆動する。本実施形態では、ドライバICは、汎用の2値出力のSTNドライバを使用した。利用可能な汎用STNドライバは、様々なものが使用可能である。

【0035】

上記のように、コレステリック液晶表示装置では、第1ステップにおいて全画素にパルス幅40msの±36Vの電圧パルスを印加する。また、第2ステップでは、書き込みを行う画素には狭いパルス幅の±18.6Vの電圧パルスを印加する。そのため、スキャンラインには選択電圧が印加されるラインおよび非選択電圧が印加されるラインがあり、データラインにはON電圧が印加されるラインおよびOFF電圧が印加されるラインがあり、印加電圧について4つの組合せが生じる。ここで、選択電圧が印加されたスキャンライ

ンとON電圧が印加されるデータラインに対応する画素のみで階調の変化を生じ、他の画素では階調の変化を生じないことが要求される。汎用STNドライバは、4種類の電圧 V_0 、 V_{21} 、 V_{34} 、 V_5 が供給される電圧端子を有し、上記の要求を満たす電圧パルスを出力するように構成されている。

【0036】

図6Aは、セグメントドライバ29およびコモンドドライバ28の、正極および負極フェーズにおいて出力する電圧パルスを示す図である。

【0037】

図6Aに示すように、セグメントドライバ29は、 V_0 、 V_{21S} 、 V_{34S} 、 V_5 として18.6V、9.3V、9.3V、0Vが供給され、正極フェーズにおいて、ON電圧が V_0 (18.6V)、OFF電圧が V_{34} (9.3V)の電圧パルスを出力し、負極フェーズにおいて、ON電圧が V_5 (0V)、OFF電圧が V_{21} (9.3V)の電圧パルスを出力する。同様に、コモンドドライバ28は、 V_0 、 V_{21C} 、 V_{34C} 、 V_5 として18.6V、13.95V、4.65V、0Vが供給され、正極フェーズにおいて、ON電圧が V_5 (0V)、OFF電圧が V_{21} (13.95V)の電圧パルスを出力し、負極フェーズにおいて、ON電圧が V_0 (20V)、OFF電圧が V_{34} (4.65V)の電圧パルスを出力する。

【0038】

コモンドドライバ28およびセグメントドライバ29から上記のような電圧パルスが出力されることにより、各画素には、コモンドドライバ28およびセグメントドライバ29のON/OFFの組み合わせに応じて、図6Bに示すような電圧が画素に印加される。

【0039】

なお、第1ステップでは、セグメントドライバ29に、 V_0 、 V_{21S} 、 V_{34S} 、 V_5 として36V、36V、0V、0Vが供給され、コモンドドライバ28に、 V_0 、 V_{21C} 、 V_{34C} 、 V_5 として36V、36V、0V、0Vが供給される。

【0040】

電源回路の電圧安定部24は、 V_5 、 V_{21S} 、 V_{21C} 、 V_{34S} 、 V_{34C} を出力する。ここで、 V_5 は0V (GND)であり、電圧安定部24から出力する必要はない。従って、電源回路の電圧安定部24は、第1ステップでは、 V_5 、 V_{21S} 、 V_{21C} 、 V_{34S} 、 V_{34C} として、36V、36V、36V、0V、0Vを出力し、第2ステップでは、18.6V、13.95V、9.3V、9.3V、4.65Vを出力する。

【0041】

図7は、電圧切替部23と電圧安定部24の従来の回路構成例を示す図であり、 V_5 、 V_{21S} 、 V_{21C} 、 V_{34S} 、 V_{34C} に対してこのような回路がそれぞれ設けられる。言い換えればこのような回路が5個設けられる。 V_{out} は昇圧部22の出力する昇圧電圧で38Vである。電圧切替部23は、 V_{out} を分圧して所望の電圧を発生する直列抵抗列と、出力する電圧を切り替えるアナログスイッチ31とを有する。例えば、 V_{21C} を生成する回路であれば、抵抗による分圧により電圧Aとして36Vを、電圧Bとして9.3Vを発生し、アナログスイッチ31で電圧AとBの一方を選択して出力する。また、電圧安定部24は、ボルテージフォロア回路を構成するオペアンプ32を有し、液晶ドライバが必要とする高いソース・シンク能力を実現している。

【0042】

図8は、図5に示した従来の液晶表示装置における動作を示すタイムチャートである。第1ステップを開始する直前に、昇圧回路制御信号により昇圧部22が待機状態から稼働状態に切り替えられ、昇圧電圧 V_{out} を発生する。昇圧部22の出力電圧 V_{out} は、第1ステップと第2ステップで同じ38Vである。第1ステップが終了すると、電圧切替信号が切り替わるので、それに応じて液晶ドライバに供給される電圧が切り替わる。

【0043】

第1ステップと第2ステップの合計の消費エネルギーのうち約99%は、第2ステップの消費エネルギーが占める。第2ステップでは、上記のように、5個の電圧安定部24の

オペアンプ 32 に 3.8 V の電圧が印加され、それぞれ 1.8 V、1.3 V、9.3 V、9.3 V、4.6 V の電圧を出力するので、エネルギーの半分以上がオペアンプ 32 で消費される。従って、オペアンプ 32 の電源電圧を第 1 ステップと第 2 ステップで切り替えることで、消費エネルギーを低減することが可能である。

【0044】

例えば、A6 の大きさの表示素子 10 で、オペアンプ 32 の電源電圧を第 1 および第 2 ステップで同じ 3.8 V とした場合、オペアンプ、コモンドライバ 28、セグメントドライバ 29 および表示素子 10 を含む部分の平均消費電力は 146 mW であるのに対して、オペアンプ 32 の電源電圧を第 2 ステップで 2.2 V とした場合、平均消費電力は 85 mW に低減される。オペアンプ 32 の待機時の消費電流は 220 μ A であり、5 個のオペアンプがあるので合計 1.1 mA であり、オペアンプ 32 の待機時の消費電流の合計は、3.8 V 時には 41.8 mW であるのに対して、2.2 V では 24.2 mW になる。

10

【0045】

コレステリック液晶表示装置では、消費エネルギーは電池の寿命と関係するので非常に重要である。上記のように、オペアンプ 32 の電源電圧を第 1 ステップと第 2 ステップでそれぞれ最適な電圧にすることにより消費エネルギーを低減できるが、これまでそのようなことは行われていなかった。以下に行われなかった理由を説明する。

【0046】

昇圧部 22 の出力電圧 V_{out} を切り替えるには 2 つの構成が考えられる。1 つの構成は、昇圧部 22 が 1 個の昇圧回路で構成され、昇圧回路の昇圧比を切り替える構成であり、他の構成は、昇圧部 22 を出力電圧の異なる 2 個の昇圧回路で構成し、出力を選択する構成である。

20

【0047】

図 9 は、1 個の昇圧回路を有し、その昇圧比を切り替える昇圧部 22 の想定される従来例の構成を示す図である。参照番号 35 は、昇圧回路 IC であり、例えば Linear Technology 社製の LT3463 (商品名) である。この昇圧回路 IC は、昇圧型 DC - DC コンバータである。また、参照番号 36 はアナログスイッチ素子である。昇圧回路 IC 35 の SW 端子と V_{out} 端子間には、シャットキーバリアダイオードが内蔵されている。昇圧回路 IC 35 のフィードバック端子 FB にフィードバックする電圧により出力電圧 V_{out} が設定される。ここでは、 V_{out} を 1500 K Ω と、アナログスイッチ素子 36 で選択する 51 K Ω 又は 90.4 K Ω の 2 個の抵抗で分圧してフィードバックする構成である。図示のように、出力電圧制御信号が L の時には、アナログスイッチ素子 36 で 51 K Ω の抵抗が選択され、 V_{out} は 3.8 V になり、出力電圧制御信号が H の時には、アナログスイッチ素子 36 で 90.4 K Ω の抵抗が選択され、 V_{out} は 2.2 V になる。

30

【0048】

しかし、図 9 の昇圧部 22 には、出力 V_{out} を高い電圧から低い電圧に切り替える時に、昇圧回路の出力が所定の低い電圧に達するのに要する時間 (セットリング時間) が長いという問題がある。具体的にはデカップリング容量は 4.7 μ F で、セットリング時間短縮用放電抵抗が 100 k Ω で、放電抵抗での消費電力は、 V_{out} が 3.8 V の時には 14.4 mW で、 V_{out} が 2.2 V の時には 4.8 mW であり、セットリング時間は 0.94 秒である。もしセットリング時間を 0.1 秒以下にするには、放電抵抗の抵抗値を約 1/10 にする必要があるが、その場合消費電力は、 V_{out} が 3.8 V の時には 135 mW で、 V_{out} が 2.2 V の時には 45 mW となり、非常に大きな値になる。これでは第 2 ステップでオペアンプに供給する電圧を低くして消費エネルギーを低減する意味がない。

40

【0049】

また、図 9 の構成では、アナログスイッチ素子 36 で 51 K Ω と 90.4 K Ω の抵抗を選択して、フィードバックする電圧を切り替えることで、出力電圧 V_{out} を切り替えているが、アナログスイッチ素子 36 の非線形性のため、昇圧比の高い $V_{out} = 3.8$ V の時には昇圧動作が不安定になりやすいという問題がある。特に、出力電圧切替後に定常状態になるまでの時間がかなり長く、ノイズも多いという問題がある。

50

【 0 0 5 0 】

以上のような理由で、図 9 に示した 1 個の昇圧回路を有し、その昇圧比を切り替える構成の昇圧部は使用されていないのが現状である。

【 0 0 5 1 】

図 10 は、昇圧部 22 に出力電圧の異なる 2 個の昇圧回路を設け、出力を選択する場合の想定される構成を示す。参照番号 37 と 38 は、図 9 の昇圧回路 IC 35 と同じ IC であり、参照番号 39 はアナログスイッチ素子である。昇圧回路 IC 37 は $V_{out} = 38V$ になるようにフィードバック電圧が設定され、昇圧回路 IC 37 は $V_{out} = 22V$ になるようにフィードバック電圧が設定され、昇圧回路 IC 38 の出力電圧 $V_{out} = 38V$ と昇圧回路 IC 38 の出力電圧 $V_{out} = 22V$ を、アナログスイッチ素子 39 で選択する。

10

【 0 0 5 2 】

図 10 の回路構成は、2 個の昇圧回路 IC を使用するため、その分コストが増加するが、コストの上で問題になるのは、昇圧回路 IC よりアナログスイッチ素子 39 である。アナログスイッチ素子 39 は、大型で高圧電源用であるため、非常に高価である。昇圧部 22 の出力が、高い電圧から低い電圧へ切り替わる時のセットリング時間を短縮するには、高価なアナログスイッチ素子 39 の使用が必須である。実際に、アナログスイッチ素子 39 は昇圧回路 IC に比べても高価である。

【 0 0 5 3 】

【特許文献 1】特開 2001 - 228459 号公報

20

【特許文献 2】特開 2000 - 147466 号公報

【特許文献 3】特開 2000 - 171837 号公報

【特許文献 4】特開平 4 - 62516 号公報

【非特許文献 1】Y.-M. Zhu, D.-K. Yang, Cumulative Drive Schemes for Bistable Reflective Cholesteric LCDs, SID 98 DIGEST, pp798-801, 1998

【発明の開示】

【発明が解決しようとする課題】

【 0 0 5 4 】

本発明は、汎用 STN 液晶ドライバを使用したコレステリック液晶表示装置において、回路面積および回路コストの小さな増加で、第 2 ステップにおいてオペアンプで消費される電力をできるだけ低減することで、装置の消費エネルギーを大幅に低減することを目的とする。

30

【課題を解決するための手段】

【 0 0 5 5 】

本発明は、書換え対象の画素をプレーナ状態に初期化する高電圧パルス印加する第 1 ステップと、初期化された画素においてプレーナ状態に対するフォーカルコニック状態の混在比を増加させる低電圧パルス印加する第 2 ステップと、を実行し、低電圧パルス印加する累積時間で中間調の値が決定されるコレステリック液晶表示装置に適用される。コレステリック液晶表示装置は、所定の電圧を出力する電圧発生回路と、電圧発生回路から供給される所定の電圧に基づいて、画素に印加する電圧パルスを生成するドライバ回路と、を備え、ドライバ回路は汎用の STN 液晶ドライバで構成される。ここで、前述の通り、第 1 ステップでは高電圧 (36V) のパルス印加して液晶をプレーナ状態にするが、印加する電圧パルスは正確に $\pm 36V$ である必要はなく、ある程度の誤差が許容される。これに対して、第 2 ステップで印加する低電圧パルスは、パルス印加の累積時間で中間調を設定するもので、電圧が大きいと累積時間を長くし、電圧が小さいと累積時間を短くするのと同じ効果を生じるので、正確であることが要求されることに注目する必要がある。

40

【 0 0 5 6 】

電圧発生回路は、電源電圧から昇圧電圧を発生する昇圧部と、電圧発生回路からの出力電圧の電圧値を指示する電圧制御信号を発生する電圧切替部と、昇圧部から供給される昇

50

圧電圧から電圧制御信号に応じた所定の電圧を発生する電圧安定部と、を備える。

【 0 0 5 7 】

上記目的を実現するため、本発明の第 1 の態様の表示装置は、電圧安定部を昇圧電圧の変動に対する出力電圧変動を抑圧するように構成し、昇圧部は 1 個の昇圧回路で構成され、第 1 ステップと第 2 ステップで昇圧回路の昇圧比を切り替える。

本発明の第 1 の態様の表示装置では、電圧安定部は、昇圧電圧の変動に対する出力電圧変動を抑圧するように構成するので、電圧安定部に供給される昇圧電圧が出力電圧以上であれば、昇圧電圧にかかわらず、所定の電圧を出力することが可能である。従って、昇圧電圧を高電圧から低電圧への長い切替時間の間にも、所定の出力電圧が得られるので、第 1 ステップの終了後ただちに第 2 ステップを開始できる。上記のように、電圧発生回路の出力電圧は、第 1 ステップより第 2 ステップの方が高精度であることが要求される。本発明の第 1 の態様によれば、昇圧電圧を高電圧から低電圧へ切り替える場合にもただちに高精度の低電圧が得られるので、第 1 ステップ終了後ただちに第 2 ステップを開始することができる。また、出力電圧は、第 2 ステップを開始した時点では低電圧になっていなくても、徐々に低電圧まで低下するので、電圧安定部における消費エネルギーを低減できる。

【 0 0 5 8 】

昇圧部は、昇圧型 DC - DC コンバータを備え、昇圧型 DC - DC コンバータのフィードバック端子に抵抗を介して印加する電圧を変化させることで昇圧比が制御される。この構成により、フィードバック端子に印加するフィードバック電圧を生成する時に、アナログスイッチ素子の非線形性の影響を低減できる。これは後述する第 2 の態様でも同様である。

【 0 0 5 9 】

昇圧部は、昇圧型 DC - DC コンバータを備え、昇圧型 DC - DC コンバータの最大出力電圧は、第 1 ステップ時の高電圧パルスのパルス波高より低い、第 2 ステップ時の低電圧パルスのパルス波高より高く、昇圧型 DC - DC コンバータのスイッチ出力に接続されるトランジスタは、第 1 ステップ時の高電圧パルスのパルス波高より高い耐圧を有するように構成する。昇圧型 DC - DC コンバータのスイッチ出力に接続されるトランジスタは、NMOS - FET であることが望ましい。

【 0 0 6 0 】

また、上記目的を実現するため、本発明の第 2 の態様の表示装置は、電圧安定部を昇圧電圧の変動に対する出力電圧変動を抑圧するように構成し、昇圧部は 1 個のインダクタを用いる昇圧型 DC - DC コンバータを 2 個有し、2 個の昇圧型 DC - DC コンバータのオン/オフを制御することにより、第 1 ステップと第 2 ステップでの昇圧電圧を切り替える。

【 0 0 6 1 】

本発明の第 2 の態様の表示装置は、昇圧部は 2 個の昇圧型 DC - DC コンバータで構成するためその分コストアップするが、より大きなコストアップ要因である高圧電源用スイッチを使用しないため、コストアップは小さい。一方消費エネルギーは半分以下にできるので、電池容量などを適正化することで、トータルコストを低減できる。

【 0 0 6 2 】

また、従来例で高価な高圧電源用スイッチを使用する理由は、高い電圧から低い電圧への切替時のセトリング時間短縮のためであるが、電圧安定部を昇圧電圧の変動に対する出力電圧変動を抑圧するように構成するため、セトリング時間が長いという問題は解決できる。これにより、安価なショットキーバリアダイオード 2 個で、高価な高圧電源用スイッチを代用することが可能になる。

【 0 0 6 3 】

第 1 および第 2 の態様において、電圧安定部は、昇圧電圧の変動に対する出力電圧変動を抑圧するように構成された増幅回路を備え、増幅回路の電圧増幅率 G は 1 より大きく、増幅回路の入力電圧は、ドライバ回路が画素に印加する電圧の $1/G$ であり、昇圧型 DC - DC コンバータの出力電圧に影響されないようにする。なお、増幅回路は、電源回路 (

10

20

30

40

50

電圧安定部)の出力する電圧の種類分の個数設けられる。

【0064】

具体的には、増幅回路は、電源変動抑圧機能を有するオペアンプの反転増幅回路または非反転増幅回路と、高周波数領域での電源電圧変動抑圧比低下を補償する回路と、を有する。このように、オペアンプの電源変動抑圧機能を活用することで、昇圧電圧の変化に伴うセッティング時間、特に高電圧から低電圧への変化に伴う長いセッティング時間内での影響を回避できる。軽負荷時には、オペアンプの電源変動抑圧機能が低下するため、軽負荷時のための補償回路を設けることが望ましい。具体的には、この補償回路は、オペアンプの出力端子に接続された容量素子と抵抗の直列接続回路で実現される。

【発明を実施するための最良の形態】

【0065】

以下、図面を参照して本発明の実施形態を説明する。

【0066】

図11は、本発明の第1実施形態のコレステリック液晶表示装置の全体構成を示す図である。図5と比較して明らかなように、従来の表示装置と類似の構成を有し、昇圧部41、電圧切替部42および電圧安定部43のみが従来の表示装置と異なる。従って、ここでは、異なる部分のみを説明し、他の部分の説明は省略する。

【0067】

図5に示すように、従来の装置では、昇圧部22で、電源21の電圧を昇圧して高い電圧 V_{out} (例えば、38V)を発生し、電圧切替部23で電圧 V_{out} を抵抗により分圧することにより出力する電圧 V_0 、 V_{21S} 、 V_{21C} 、 V_{34S} 、 V_{34C} を発生し、電圧安定部24で安定化して出力していた。これに対して、第1実施形態の装置では、図11に示すように、昇圧部41で発生した高い電圧は電圧安定部43に供給する。電圧切替部42は、電圧安定部43における増幅率を G とした場合、電源21の出力電圧から、電圧安定部43から出力される電圧(ドライバへの出力電圧)の $1/G$ の電圧を、抵抗を利用した分圧などで発生させる。電圧安定部43は、このようにして発生された電圧を増幅して、ドライバへの出力電圧を発生する。電圧安定部43には昇圧部41で発生した高い電圧が供給されており、昇圧部41から供給される電圧以下の電圧であれば、どのような電圧も発生可能であり、発生する電圧の精度は、供給される電圧に影響されない。

【0068】

図12は、第1実施形態の昇圧部41の構成を示す図である。参照番号51は、昇圧回路ICを示し、前述のLinear Technology社製のLT3463(商品名)やNational Semiconductor社のLM2733Y(商品名)などで構成できる。また、参照番号52はアナログスイッチ素子である。LT3463(商品名)のスイッチング端子 SW と出力端子 V_{out} 間には、シャットキーバリアダイオードが内蔵されている。LT3463(商品名)とLM2733Y(商品名)の最大出力電圧は共に40Vである。

【0069】

図12に示すように、昇圧回路IC51の出力端子 V_{out} とフィードバック端子 FB の間には1500K Ω の抵抗が接続され、フィードバック端子 FB とグランド(0V)の間には90.4K Ω の抵抗が接続されている。さらに、フィードバック端子 FB とアナログスイッチ素子52の出力端子 Y との間には抵抗117K Ω が接続されている。アナログスイッチ素子52は、出力電圧制御信号に応じて、出力端子 Y に、グランドレベル(0V)または1.25Vを出力する。出力電圧制御信号は L で、出力端子 Y に0Vが出力される時には、90.4K Ω の抵抗と117K Ω の抵抗は並列接続されて51.0K Ω の抵抗と等価であり、昇圧回路IC51の出力電圧 V_{out} は38Vとなる。出力電圧制御信号は H で、出力端子 Y に1.25Vが出力される時には、 FB 端子と同一電圧になるため、117K Ω の抵抗は開放(オープン)と等価な状態となり、昇圧回路IC51の出力電圧 V_{out} は22Vとなる。アナログスイッチ素子52を、例えばD/Aコンバータまたはオペアンプを利用した出力インピーダンスがほぼゼロの回路とする。これにより、フィードバックループの線形性を維持できる。

10

20

30

40

50

【 0 0 7 0 】

なお、分圧用の抵抗の一端に電圧を印加して昇圧比を制御する方法自体は公知であるが、前述のように、それだけでは高い電圧から低い電圧に変化させた場合のセットリング時間が長くなり実際には使用できなかった。本実施形態では、上記のように、電圧安定部 4 3 に昇圧電圧を供給し、電圧安定部 4 3 は供給される昇圧電圧の電圧値にかかわらず、電圧切替部 4 2 からの電圧を増幅して出力電圧を発生するので、昇圧電圧を高い電圧から低い電圧に変化させた場合のセットリング時間が長くても、電圧安定部 4 3 はただちに出力電圧を正確に切り替えることが可能である。

【 0 0 7 1 】

図 1 3 は、第 1 実施形態の電圧切替部 4 2 と電圧安定部 4 3 の構成を示す図である。参照番号 4 2 は、出力電圧制御信号に応じて入力端子 A と B に入力される電圧の一方を選択して出力するアナログスイッチ素子である。ここでは、入力端子 A には 3 . 6 0 V が入力され、入力端子 B には 1 . 8 6 V が入力され、出力電圧制御信号が L の時に 3 . 6 0 V が出力され、出力電圧制御信号が H の時に 1 . 8 6 V が出力される。3 . 6 0 V と 1 . 8 6 V は電源 2 1 の出力電圧を抵抗で分圧して発生する。

10

【 0 0 7 2 】

電圧安定部 4 3 は、オペアンプ 5 3 を使用して、電圧切替部 4 2 から出力された電圧を 1 0 倍に増幅して出力する。従って、電圧安定部 4 3 は、出力電圧制御信号が L の時には 3 6 . 0 V を出力し、出力電圧制御信号が H の時には 1 8 . 6 V を出力する。増幅率は 9 0 0 K Ω と 1 0 0 K Ω の抵抗で決定される。具体的には、1 0 0 K Ω と (9 0 0 K Ω + 1 0 0 K Ω) の比で決定される。

20

【 0 0 7 3 】

前述のように、電圧安定部 4 3 には昇圧電圧が供給されており、この昇圧電圧より低い電圧であれば発生可能であり、発生する電圧は昇圧電圧に影響されない。昇圧電圧の変動の影響を抑圧する電源変動抑圧比を所定値以上とするために、オペアンプの出力とグランドの間に、容量 C c と抵抗 R c を直接接続した電源変動補償回路を接続する。この電源変動補償回路は、軽負荷時の電源変動抑圧効果を補償する回路であり、オペアンプ 5 3 と昇圧部 4 1 のリップル周波数に応じて実験的に設定する。オペアンプ 5 3 として、On Semiconductor 社製の MC33174 を用いた場合、スイッチング周波数 1 M H z 以下の昇圧部 (昇圧回路) との組み合わせにおいては、容量 C c を 3 0 0 P F 、抵抗 R c を 1 0 K Ω に設定した。なお、前述の昇圧回路 I C である LT3463 のスイッチング周波数は 3 0 0 K H z 以下であり、この設定であれば問題ない。

30

【 0 0 7 4 】

図 1 4 は、電圧切替部 4 2 の別の構成例を示す図である。図 1 3 に示した電圧切替部 4 2 では、基準となる電圧をアナログスイッチ素子で切り替えたが、図 1 4 に示す構成では、データセクタ 5 5 と、D / A コンバータ 5 6 と、を使用する。データセクタ 5 5 は、3 . 6 0 V に対する 8 ビットのデジタル値が入力される A 入力と、1 . 8 6 V に対する 8 ビットのデジタル値が入力される B 入力の一方を、出力電圧制御信号に従って選択して D / A コンバータ 5 6 に出力する。D / A コンバータ 5 6 は、入力された 3 . 6 0 V または 1 . 8 6 V に対する 8 ビットのデジタル値をアナログ信号に変換して電圧安定部 4 3 のオペアンプに出力する。

40

【 0 0 7 5 】

以上、電圧切替部 4 2 および電圧安定部 4 3 の構成を説明したが、説明した回路構成は、電圧発生回路 (電圧安定部 4 3) の出力する電圧の種類に対応した個数設けられる。第 1 実施形態では、前述のように、電圧発生回路 (電圧安定部 4 3) は、V 0 , V 2 1 S , V 2 1 C , V 3 4 S , V 3 4 C の 5 種類の電圧を出力するので、上記のような回路が 5 個設けられる。

【 0 0 7 6 】

図 1 5 は、第 1 実施形態の表示装置の動作を示すタイムチャートである。第 1 ステップを開始する直前に、出力電圧制御信号により昇圧部 2 2 が待機状態から稼動状態に切り替

50

えられ、 $V_{out} = 3.8V$ の昇圧電圧を発生する。電圧切替信号に応じて、電圧安定部43からは、液晶ドライバ28, 29に、 V_0 , V_{21S} , V_{21C} , V_{34S} , V_{34C} として、 $3.6V$, $3.6V$, $3.6V$, $0V$, $0V$ を供給する。

【0077】

第1ステップが終了すると、電圧切替信号が変化し、昇圧部41の出力電圧 V_{out} は $3.8V$ から $2.2V$ に徐々に変化する。しかし、電圧発生回路(電圧安定部43)の出力する電圧 V_0 , V_{21S} , V_{21C} , V_{34S} , V_{34C} は、ただちに $1.8.6V$, $9.3V$, $13.95V$, $9.3V$, $4.65V$ に変化する。これにより、第1ステップの終了後直ちに第2ステップを開始できる。

【0078】

図16は、本発明の第2実施形態のコレステリック液晶表示装置の昇圧部41の構成を示す図である。第2実施形態のコレステリック液晶表示装置は、昇圧部41の昇圧回路IC61が、第1実施形態のIC51と異なり、他の部分は第1実施形態と同じである。

【0079】

例えば、電源21が $2.7V$ を出力する場合、昇圧部41は電圧 $2.7V$ を $3.8V$ へ昇圧する必要がある。しかし、このような大きな昇圧比が直接可能な高電圧昇圧ICの種類は限られており、いずれも変換効率が十分ではないという問題がある。高効率・中電圧昇圧ICに外付け高電圧NMOS-FETを併用することで、高い変換効率が得られることが知られている。第2実施形態はこの構成を本発明に適用したものである。

【0080】

昇圧回路IC61として、最大出力電圧 $28V$ のMaxim社製のMAX8574(商品名)を使用するのが適当である。図示のように、このIC61のスイッチング端子SWにMOS-FET62の一方の端子を接続し、他方の端子と入力電圧端子 V_{in} の間に $47\mu F$ のインダクタを、他方の端子と $1500K\Omega$ の抵抗の間にショットキーバリアダイオードを接続する。MOS-FET62のゲートは、入力電圧端子 V_{in} に接続されると共に、ダイオードを介してスイッチング端子SWに接続される。このような使用方法は既に知られているので詳しい説明は省略するが、極めて広い出力電流範囲で高い変換効率が得られる。

【0081】

図17は、本発明の第3実施形態のコレステリック液晶表示装置の昇圧部41の構成を示す図である。第3実施形態のコレステリック液晶表示装置は、昇圧部41の構成が、第1実施形態の昇圧部41の構成と異なり、他の部分は第1実施形態と同じである。

【0082】

第3実施形態の昇圧部41は、昇圧型DC-DCコンバータの昇圧回路ICを2個使用する。一方の昇圧回路IC65は、 $1500K\Omega$ と $51K\Omega$ の抵抗により出力 V_{out1} を分圧した電圧がフィードバックされ、出力電圧 V_{out1} は $3.8V$ である。他方の昇圧回路IC66は、 $864K\Omega$ と $51K\Omega$ の抵抗により出力 V_{out2} を分圧した電圧がフィードバックされ、出力電圧 V_{out2} は $2.2V$ である。昇圧回路IC65の出力および昇圧回路IC66の出力は、それぞれショットキーバリアダイオードを介して出力端子に接続される。昇圧回路IC65および昇圧回路IC66は、制御端子SHDN*に印加する出力電圧制御信号がHの時には待機状態になり、Lの時に稼動状態になる。

【0083】

図18は、第3実施形態の表示装置の動作を示すタイムチャートである。第1ステップを開始する前に、出力電圧制御信号をLにして、昇圧回路IC65を稼動状態に、昇圧回路IC66を待機状態にする。これに応じて、昇圧回路IC65の出力は急激に $3.8V$ まで上昇するが、昇圧回路IC66の出力は徐々に $0V$ まで低下する。この時、 V_{out} は直ちに $3.8V$ に変化するので、第1ステップは直ぐに開始可能である。

【0084】

第1ステップが終了すると、出力電圧制御信号をHにして、昇圧回路IC65を待機状態に、昇圧回路IC66を稼動状態にする。これに応じて、昇圧回路IC65の出力は徐々に $0V$ まで低下し、昇圧回路IC66の出力は急激に $2.2V$ まで上昇する。 V_{out} は

10

20

30

40

50

十分に短時間のうちに 2.2 V に変化するので、2.2 V に変化した時点で第 2 ステップを開始する。

【0085】

昇圧回路 IC 65 および昇圧回路 IC 66 は、上記のように交互に待機状態と稼動状態を切り替えてもよいが、出力電圧 V_{out} が 2.2 V の時には、待機状態時の消費エネルギーに近いので、第 1 ステップ開始前に昇圧回路 IC 66 を稼動状態にしておいても特に問題は生じない。

【0086】

以上、本発明の実施例を説明したが、他にも各種の実施例が可能であるのはいうまでもない。

【0087】

また、各種の条件は、対象とする表示素子の仕様に応じて決定すべきであることは言うまでもない。

【0088】

以上説明したように、本発明によれば、コレステリック液晶表示装置において、回路面積および回路コストの少しの増加で、階調表示時にオペアンプで消費されるエネルギーを大幅に低減でき、電池容量などを適正化することで、トータルコストを低減できる。

【図面の簡単な説明】

【0089】

【図 1 A】図 1 A は、コレステリック液晶のプレーナ状態を説明する図である。

【図 1 B】図 1 B は、コレステリック液晶のフォーカルコニック状態を説明する図である。

【図 2】図 2 は、パルス電圧によるコレステリック液晶の状態変化を説明する図である。

【図 3 A】図 3 A は、コレステリック液晶に印加する大きな電圧と広いパルス幅のパルスによる反射率の変化を説明する図である。

【図 3 B】図 3 B は、コレステリック液晶に印加する中間電圧と狭いパルス幅のパルスによる反射率の変化を説明する図である。

【図 3 C】図 3 C は、コレステリック液晶に印加する中間電圧とより狭いパルス幅のパルスによる反射率の変化を説明する図である。

【図 4】図 4 は、パルスの印加回数とパルス幅の両方を組み合わせてパルスの累積印加時間を異ならせることにより階調書き込みを行う書き込み方法の例を説明する図である。

【図 5】図 5 は、コレステリック液晶を使用する従来の表示装置の概略構成を示す図である。

【図 6 A】図 6 A は、汎用セグメントドライバと汎用コモンドライバの出力パルスを示す図である。

【図 6 B】図 6 B は、図 6 A の出力パルスによる液晶の印加電圧を示す図である。

【図 7】図 7 は、従来の電圧切替部及び電圧安定部の構成例を示す図である。

【図 8】図 8 は、従来例の装置における動作を示すタイムチャートである。

【図 9】図 9 は、昇圧部の想定される従来の構成例を示す図である。

【図 10】図 10 は、昇圧部の想定される従来の別の構成例を示す図である。

【図 11】図 11 は、第 1 実施形態のカラー表示装置の概略構成を示す図である。

【図 12】図 12 は、第 1 実施形態のカラー表示装置の昇圧部の構成を示す図である。

【図 13】図 13 は、第 1 実施形態のカラー表示装置の電圧切替部及び電圧安定部の構成を示す図である。

【図 14】図 14 は、第 1 実施形態のカラー表示装置の電圧切替部及び電圧安定部の別の構成例を示す図である。

【図 15】図 15 は、第 1 実施形態のカラー表示装置の動作を示すタイムチャートである。

【図 16】図 16 は、本発明の第 2 実施形態のカラー表示装置の昇圧部の構成を示す図である。

10

20

30

40

50

【図 1 7】図 1 7 は、本発明の第 3 実施形態のカラー表示装置の昇圧部の構成を示す図である。

【図 1 8】図 1 8 は、第 3 実施形態のカラー表示装置の動作を示すタイムチャートである。

【符号の説明】

【 0 0 9 0 】

- 1 0 表示素子
- 2 1 電源
- 2 7 制御回路
- 2 8 コモンドライバ (R G B 共通)
- 2 9 セグメントドライバ (R G B 独立)
- 4 1 昇圧部
- 4 2 電圧切替部
- 4 3 電圧安定部

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/070086

A. CLASSIFICATION OF SUBJECT MATTER G02F1/133(2006.01)i, G02F1/141(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G02F1/133, G02F1/141		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/110949 A1 (Fujitsu Ltd.), 04 October, 2007 (04.10.07), Full text; all drawings (Family: none)	1-17
A	JP 2005-242210 A (Optrex Corp.), 08 September, 2005 (08.09.05), Par. Nos. [0002], [0017], [0023], [0043] to [0065], [0080] to [0092], [0118] to [0125], [0145] to [0150]; Fig. 11 (Family: none)	1-17
A	JP 2006-251279 A (Seiko Epson Corp.), 21 September, 2006 (21.09.06), Par. Nos. [0008], [0012], [0027] (Family: none)	1-17
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 December, 2007 (17.12.07)		Date of mailing of the international search report 08 January, 2008 (08.01.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/070086

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-136931 A (NEC Corp.), 21 May, 1999 (21.05.99), Par. Nos. [0079] to [0140] & US 5923542 A1 & TW 390046 B	1-17
A	JP 2004-29801 A (Minolta Co., Ltd.), 29 January, 2004 (29.01.04), Par. Nos. [0051] to [0070]; Figs. 3 to 13 & US 7019737 B1 & EP 1035536 A2	1-17

国際調査報告		国際出願番号 PCT/JP2007/070086	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G02F1/133(2006, 01)i, G02F1/141(2006, 01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G02F1/133, G02F1/141			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	WO 2007/110949 A1（富士通株式会社） 2007. 10. 04, 全文、全図（ファミリーなし）	1-17	
A	JP 2005-242210 A（オプトレックス株式会社） 2005. 09. 08, 第2, 17, 23, 43-65, 80-92, 118-125, 145-150段落、図11 （ファミリーなし）	1-17	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 17. 12. 2007		国際調査報告の発送日 08. 01. 2008	
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 右田 昌士 電話番号 03-3581-1101 内線 3255	2L 9513

様式PCT/ISA/210（第2ページ）（2007年4月）

国際調査報告		国際出願番号 PCT/J P 2 0 0 7 / 0 7 0 0 8 6
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 6 - 2 5 1 2 7 9 A (セイコーエプソン株式会社) 2 0 0 6 . 0 9 . 2 1 , 第 8 , 1 2 , 2 7 段落 (ファミリーなし)	1 - 1 7
A	J P 1 1 - 1 3 6 9 3 1 A (日本電気株式会社) 1 9 9 9 . 0 5 . 2 1 , 第 7 9 - 1 4 0 段落 & US 5 9 2 3 5 4 2 A 1 & TW 3 9 0 0 4 6 B	1 - 1 7
A	J P 2 0 0 4 - 2 9 8 0 1 A (ミノルタ株式会社) 2 0 0 4 . 0 1 . 2 9 , 第 5 1 - 7 0 段落、図 3 - 1 3 & US 7 0 1 9 7 3 7 B 1 & EP 1 0 3 5 5 3 6 A 2	1 - 1 7

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 2 D
	G 0 9 G 3/20	6 4 1 A
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 4 1 B
	G 0 9 G 3/20	6 2 1 F
	H 0 2 M 3/155	F

(72)発明者 新海 知久

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

F ターム(参考) 2H193 ZA22 ZB32 ZB33 ZD26 ZE18 ZE20 ZE33 ZE37 ZF03 ZF06
 ZQ10 ZQ17 ZR12
 5C006 AA15 AA22 AC15 AC24 AC26 AF33 AF44 AF51 AF54 AF67
 AF68 AF69 AF72 BA11 BB12 BC03 BC11 BF23 BF24 BF25
 BF27 BF34 BF36 BF37 BF45 BF46 FA11 FA16 FA31 FA46
 FA47 FA51 FA56
 5C080 AA10 BB05 CC03 DD08 DD12 DD24 DD26 DD27 EE01 EE17
 EE25 EE29 FF03 FF10 FF12 JJ02 JJ03 JJ04 KK05 KK08
 5H730 AA14 AS04 AS11 BB14 DD04 EE59 FD01

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	胆甾型液晶显示装置		
公开(公告)号	JPWO2009050771A1	公开(公告)日	2011-02-24
申请号	JP2009537786	申请日	2007-10-15
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
[标]发明人	新海知久		
发明人	新海 知久		
IPC分类号	G02F1/133 G09G3/36 G09G3/20 H02M3/155		
CPC分类号	G09G3/3622 G02F1/13718 G09G3/3696 G09G2300/0486 G09G2310/06 G09G2330/023 G09G2380/02		
FI分类号	G02F1/133.560 G02F1/133.545 G02F1/133.575 G02F1/133.520 G09G3/36 G09G3/20.612.D G09G3/20.641.A G09G3/20.621.A G09G3/20.611.A G09G3/20.641.B G09G3/20.621.F H02M3/155.F		
F-TERM分类号	2H193/ZA22 2H193/ZB32 2H193/ZB33 2H193/ZD26 2H193/ZE18 2H193/ZE20 2H193/ZE33 2H193/ZE37 2H193/ZF03 2H193/ZF06 2H193/ZQ10 2H193/ZQ17 2H193/ZR12 5C006/AA15 5C006/AA22 5C006/AC15 5C006/AC24 5C006/AC26 5C006/AF33 5C006/AF44 5C006/AF51 5C006/AF54 5C006/AF67 5C006/AF68 5C006/AF69 5C006/AF72 5C006/BA11 5C006/BB12 5C006/BC03 5C006/BC11 5C006/BF23 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF34 5C006/BF36 5C006/BF37 5C006/BF45 5C006/BF46 5C006/FA11 5C006/FA16 5C006/FA31 5C006/FA46 5C006/FA47 5C006/FA51 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD08 5C080/DD12 5C080/DD24 5C080/DD26 5C080/DD27 5C080/EE01 5C080/EE17 5C080/EE25 5C080/EE29 5C080/FF03 5C080/FF10 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK05 5C080/KK08 5H730/AA14 5H730/AS04 5H730/AS11 5H730/BB14 5H730/DD04 5H730/EE59 5H730/FD01		
代理人(译)	青木 笃 小林 龙		
其他公开文献	JP4998556B2		
外部链接	Espacenet		

摘要(译)

胆甾型液晶显示装置，其中在第一步中施加高压脉冲以初始化像素的第一步和在施加低电压脉冲以增加焦点锥状态与平面状态的共存比的第二步是胆甾型液晶显示装置。所述装置包括：电压产生电路；执行步骤，并且由施加低压脉冲的累积时间确定灰度值。驱动器电路，其中：电压产生电路包括：升压部分，其从电源电压产生升压电压；以及电压切换部分；电压稳定部分根据升压电压根据电压控制信号产生预定电压，其中电压稳定部分抑制输出电压的变化。升压部分在第一步和第二步之间切换升压比。

