

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4801247号
(P4801247)

(45) 発行日 平成23年10月26日(2011.10.26)

(24) 登録日 平成23年8月12日(2011.8.12)

(51) Int.Cl.	F I
G 0 9 F 9/30 (2006.01)	G O 9 F 9/30 3 3 8
G 0 2 F 1/13 (2006.01)	G O 2 F 1/13 5 0 5
G 0 2 F 1/133 (2006.01)	G O 2 F 1/133 5 5 0
G 0 9 G 3/20 (2006.01)	G O 9 G 3/20 6 2 1 M
G 0 9 G 3/36 (2006.01)	G O 9 G 3/20 6 2 1 K
請求項の数 1 (全 20 頁) 最終頁に続く	

(21) 出願番号	特願2000-307136 (P2000-307136)	(73) 特許権者	000153878
(22) 出願日	平成12年10月6日(2000.10.6)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2001-175199 (P2001-175199A)		神奈川県厚木市長谷398番地
(43) 公開日	平成13年6月29日(2001.6.29)	(72) 発明者	田中 幸夫
審査請求日	平成19年10月4日(2007.10.4)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願平11-287583		半導体エネルギー研究所内
(32) 優先日	平成11年10月8日(1999.10.8)		
(33) 優先権主張国	日本国(JP)	審査官	田井 伸幸

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1のビデオデータを第2のビデオデータに変換するビデオデータ変換回路と、
n (nは自然数) 本のゲート信号線に選択信号を供給するゲートドライバと、
m (mはn未満の自然数) 本のソース信号線に前記第2のビデオデータを供給するソー
スドライバと、

前記ソース信号線から前記第2のビデオデータが入力されるm×n個の画素と、
を有し、

前記第1のビデオデータが、(1、1)、(1、2)、～、(1、n-1)、(1、n
)、(2、1)、(2、2)、～、(m、1)、(m、2)、～、(m、n-1)、(m
)、n)の第1の順序で構成されている場合、

前記第2のビデオデータは、(1、1)、(2、1)、～、(m-1、1)、(m、1
)、(1、2)、～、(m、n-1)、(1、n)、(2、n)、～、(m-1、n)、
(m、n)の順序で構成され、

前記ゲート信号線を第1番目のゲート信号線から第n番目のゲート信号線の方
向に選択して前記第2のビデオデータを入力する動作と、前記第n番目のゲ
ート信号線から前記第1番目のゲート信号線の方
向に選択して前記第2のビデオデータを入力する動作と、を順
に行う機能を有し、

前記画素は、画素トランジスタを有し、

前記ゲートドライバ又は前記ソースドライバは、pチャネル型トランジスタと第1のn

10

20

チャンネル型トランジスタと第 2 の n チャンネル型トランジスタとを有し、

前記画素トランジスタは L D D 領域を有し、該 L D D 領域は前記画素トランジスタのゲート電極と重ならず、

前記第 1 の n チャンネル型トランジスタは L D D 領域を有し、該 L D D 領域は前記第 1 の n チャンネル型トランジスタのゲート電極と重なり、

前記第 2 の n チャンネル型トランジスタは L D D 領域を有し、該 L D D 領域は前記第 2 の n チャンネル型トランジスタのゲート電極と重なる領域と該ゲート電極と重ならない領域とを有することを特徴とする表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

10

【発明の属する技術分野】

本発明は表示装置に関する。特に、アクティブマトリクス型液晶表示装置に代表されるアクティブマトリクス型表示装置に関する。

【 0 0 0 2 】

【従来の技術】

最近安価なガラス基板上に半導体薄膜を形成した電子装置、例えば薄膜トランジスタ (T F T) を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶パネルの需要が高まってきたことによる。

【 0 0 0 3 】

アクティブマトリクス型液晶パネルはその画素部に数十～数百万個もの T F T がマトリクス状に配置され、各 T F T に接続された画素電極に出入りする電荷を T F T のスイッチング機能により制御し画像を表示するものである。

20

【 0 0 0 4 】

従来、画素部にはガラス基板上に形成されたアモルファスシリコンを利用した薄膜トランジスタが配置されている。

【 0 0 0 5 】

また近年、基板として石英を利用し多結晶珪素膜で薄膜トランジスタを作製する技術も知られている。この場合、周辺駆動回路も画素部も石英基板上に一体形成される。

【 0 0 0 6 】

また、レーザーアニール等の技術を利用することにより、ガラス基板上に結晶性珪素膜を用いた薄膜トランジスタを作製する技術も知られている。

30

【 0 0 0 7 】

【発明が解決しようとする課題】

最近、アクティブマトリクス型液晶パネルは、パーソナルコンピュータのディスプレイ装置として用いられる大型のものだけでなく、フロントプロジェクターやリアプロジェクターや H M D (ヘッドマウントディスプレイ) 等に用いられる小型のものが注目されてきている。これらの電子装置に用いられる小型のアクティブマトリクス型液晶パネルは、できる限り小さいものが好ましく、最近では、対角 0 . 7 インチ程度のものが量産され始めている。

【 0 0 0 8 】

40

ここで、図 1 7 に従来のアクティブマトリクス型液晶パネルの概略構成図を示す。図 1 7 において、1 1 0 0 0 は液晶パネル、1 1 1 0 0 はソースドライバ、1 1 2 0 0 はゲートドライバ、1 1 3 0 0 は画素部、1 1 4 0 0 は F P C 端子である。F P C 端子は液晶パネルにビデオデータやクロック信号、電源等が入力される端子である。なお、画素部の横の長さを W、画素部の縦の長さを H とすると、一般に、 $W / H = 4 / 3$ 、または $W / H = 1 6 / 9$ である。

【 0 0 0 9 】

しかし、近年の小型化の要求に伴い、図 1 7 に示す回路レイアウトを構成できないケースが生じてきている。例えば、ゲートドライバの長手方向の液晶パネルの基板のサイズをより小さくしなければならない場合等である。この場合、ソースドライバの占有面積が問題

50

となってくる。つまり、ソースドライバはゲートドライバに比較して、それを構成する素子数が多く占有面積が大きい。よって、ソースドライバの占有面積が大きいために、従来の回路レイアウトに無理が生じてきている。

【 0 0 1 0 】

そこで、本発明は上述の問題を鑑みてなされたものであり、液晶パネルの小型化の要求を達成することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

本発明の表示装置は、画素部の縦の長さを W 、画素部の横の長さを L 、画素部の画素数を $m \times n$ （縦 $\times$ 横）としたときに、 $L > W$ かつ $m < n$ であり、ゲートドライバを画素部の上部に配置し、かつソースドライバを画素部の側部に配置する。そして、外部から入力されるビデオデータを並び替え、ソースドライバに入力する。

10

【 0 0 1 2 】

以下に本発明の構成を記載する。

【 0 0 1 3 】

本発明によると、

$m \times n$ 個の画素を有する画素部であって、前記画素はT F Tを有する画素部と（ m 、 n は共に自然数、 $m < n$ ）、

n 本のゲート信号線に選択信号を供給するゲートドライバと、

m 本のソース信号線にビデオデータを供給するソースドライバと、

20

を有する表示装置が提供される。

【 0 0 1 4 】

本発明によると、

複数の画素を有する画素部と、

前記画素にゲート信号線を介して選択信号を供給するゲートドライバと、

前記画素にソース信号線を介してビデオデータを供給するソースドライバと、を有する表示装置であって、

前記ゲート信号線の本数は、前記ソース信号線の本数よりも多いことを特徴とする表示装置が提供される。

30

【 0 0 1 5 】

本発明によると、

$m \times n$ 個の画素を有する画素部であって、前記画素はT F Tを有する画素部と（ m 、 n は共に自然数、 $m < n$ ）、

n 本のゲート信号線に選択信号を供給するゲートドライバと、

m 本のソース信号線にビデオデータを供給するソースドライバと、

ビデオデータ変換回路と、

を有する表示装置であって、

前記ビデオデータ変換回路は、第1のビデオデータ（ h 、 k ）（ $h = 1 \sim m$ 、 $k = 1 \sim n$ ）を第2のビデオデータに変換し、

前記第1のビデオデータを構成するビデオデータ（ h 、 k ）は、前記第2のビデオデータを構成する $m(k - 1) + h$ 番目のビデオデータに変換されることを特徴とする表示装置が提供される。

40

【 0 0 1 6 】

本発明によると、

$m \times n$ 個の画素（画素（ h 、 k ）とし、 $h = 1 \sim m$ 、 $k = 1 \sim n$ 、 m 、 n は共に自然数、 $m < n$ ）を有する画素部であって、前記画素はT F Tを有する画素部と、

n 本のゲート信号線に選択信号を供給するゲートドライバと、

m 本のソース信号線にビデオデータを供給するソースドライバと、

ビデオデータ変換回路と、

を有する表示装置であって、

50

前記ビデオデータ変換回路は、前記画素（ h 、 k ）に供給される第１のビデオデータ（ h 、 k ）（ $h = 1 \sim m$ 、 $k = 1 \sim n$ ）を第２のビデオデータに変換し、前記第１のビデオデータを構成するビデオデータ（ h 、 k ）は、前記第２のビデオデータを構成する $m(k - 1) + h$ 番目のビデオデータに変換されることを特徴とする表示装置が提供される。

【００１７】

【発明の実施の形態】

以下、本発明の表示装置の実施の形態として液晶表示装置を例にとって説明する。図１を参照する。

【００１８】

図１に示す本実施の形態の液晶表示装置は、液晶パネル１０００およびビデオデータ変換回路２０００を有している。液晶パネル１０００はゲートドライバ１１００、ソースドライバ１２００、画素部１３００およびＦＰＣ端子１４００を有している。ビデオデータ変換回路２０００にはビデオデータ（VIDEO）が入力される。ビデオデータ変換回路２０００は、ビデオデータ（VIDEO）をビデオデータ n （VIDEON）に変換し、ビデオデータ n （VIDEON）を液晶パネル１０００のソースドライバ１２００に出力する。ビデオデータ n の添え字“ n ”は、“new”を意味する。なお、ここでは、本発明の液晶表示装置を（ 5×4 ）画素（横×縦）の画素部を有する液晶パネルを例にとって説明しているが、本発明の液晶表示装置はこれに限定されるわけではない。

【００１９】

本発明の液晶表示装置の液晶パネルにおいては、液晶パネル１０００の横の長さ（ゲートドライバの長手方向の液晶パネルの長さ）を a 、液晶パネル１０００の縦の長さ（ソースドライバの長手方向の液晶パネルの長さ）を b とすると、 $a > b$ である。また、画素部１３００の横の長さ（ゲートドライバの長手方向の画素部１３００の長さ）を W 、画素部１３００の縦の長さ（ソースドライバの長手方向の画素部１３００の長さ）を H とすると、 $W > H$ である。

【００２０】

ここで、本発明の液晶表示装置の液晶パネルの回路構成の概略図を図２に示す。図２には、画素部１３００の回路構成が示されている。画素部１３００は、画素１３１０がマトリクス状に配置されている構成をとる。画素１３１０は、ＴＦＴ１３２０、保持容量１３３０、液晶１３４０を有している。なお、ＴＦＴのソースまたはドレインのいずれか一端に接続された画素電極（図示せず）と対向電極（図示せず）とによって液晶に電圧が印加されるようになっている。対向電極は共通電位（COM）に接続されている。なお、保持容量１３３０は、図２に示す通りでなくてもよい。なお、画素部１３００を構成する画素１３１０には、それぞれ、（１、１）、（１、２）、・・・、（４、５）という符号が付けられている。以後、それぞれの画素を画素（１、１）等と呼ぶ。

【００２１】

ゲートドライバ１１００からはゲート信号線 G_1 、 G_2 、 G_3 、 G_4 および G_5 に順次選択信号が供給される。ゲート信号線 G_1 は、画素（１、１）、画素（２、１）、画素（３、１）および画素（４、１）のそれぞれのＴＦＴ１３２０のゲート電極に接続されている。ゲート信号線 G_2 は、画素（１、２）、画素（２、２）、画素（３、２）および画素（４、２）のそれぞれのＴＦＴ１３２０のゲート電極に接続されている。ゲート信号線 G_3 は、画素（１、３）、画素（２、３）、画素（３、３）および画素（４、３）のそれぞれのＴＦＴ１３２０のゲート電極に接続されている。ゲート信号線 G_4 は、画素（１、４）、画素（２、４）、画素（３、４）および画素（４、４）のそれぞれのＴＦＴ１３２０のゲート電極に接続されている。また、ゲート信号線 G_5 は、画素（１、５）、画素（２、５）、画素（３、５）および画素（４、５）のそれぞれのＴＦＴ１３２０のゲート電極に接続されている。

【００２２】

ソースドライバ１２００へはビデオデータ変換回路２０００で作成されたビデオデータ n

10

20

30

40

50

(VIDEO_n)が入力される。ソースドライバ1200は、ソース信号線S1、S2、S3、S4を通して各画素のTFTのソース電極へビデオデータを供給する。なお、ソース信号線S1は、画素(1、1)、画素(1、2)、画素(1、3)、画素(1、4)および画素(1、5)のそれぞれのTFTのソース領域に接続されている。ソース信号線S2は、画素(2、1)、画素(2、2)、画素(2、3)、画素(2、4)および画素(2、5)のそれぞれのTFTのソース領域に接続されている。ソース信号線S3は、画素(3、1)、画素(3、2)、画素(3、3)、画素(3、4)および画素(3、5)のそれぞれのTFTのソース領域に接続されている。ソース信号線S4は、画素(4、1)、画素(4、2)、画素(4、3)、画素(4、4)および画素(4、5)のそれぞれのTFTのソース領域に接続されている。

10

【0023】

ここでビデオデータ変換回路2000の機能および動作について説明する。ビデオデータ変換回路2000は、ビデオデータ(VIDEO)をビデオデータ_n(VIDEO_n)に変換する。図3を参照する。図3には、ビデオデータ(VIDEO)がビデオデータ_n(VIDEO_n)に変換される様子が示されている。ビデオデータ(VIDEO)において、各ビデオデータには、(1、1)、(1、2)、・・・、(4、5)等の符号が付けられている。以後、各ビデオデータをビデオデータ(1、1)等と呼ぶ。

【0024】

各ビデオデータに付されている符号は画素に付されている符号に対応している。つまり、ビデオデータ(1、1)は画素(1、1)に供給され(つまり、画素(1、1)のTFTのソース領域に供給され)、ビデオデータ(1、2)は画素(1、2)に供給される。

20

【0025】

変換前のビデオデータ(VIDEO)は、ビデオデータ(1、1)、ビデオデータ(1、2)、ビデオデータ(1、3)、・・・、ビデオデータ(4、4)、ビデオデータ(4、5)という順序で構成されている。しかし、本発明の液晶表示装置の液晶パネル1000においては、ビデオデータが供給される順序は、画素(1、1)、画素(2、1)、画素(3、1)、画素(4、1)、画素(1、2)、・・・、画素(3、5)、画素(4、5)となる。そこで、ビデオデータ(VIDEO)の各ビデオデータが変換前の順序で構成されたままであると、ビデオデータを適切な画素に入力することができない。

【0026】

そこで、変換前のビデオデータ(VIDEO)は、ビデオデータ変換回路2000によってビデオデータ_n(VIDEO_n)に変換される。変換後のビデオデータ_n(VIDEO_n)は、ビデオデータ(1、1)、ビデオデータ(2、1)、ビデオデータ(3、1)、・・・、ビデオデータ(3、5)、ビデオデータ(4、5)という順序で構成されている。よって、各ビデオデータを適切な画素に入力することができる。

30

【0027】

ここで、本実施の形態におけるビデオデータ変換回路2000の概略回路構成図を図4に示す。本実施の形態においては、ビデオデータ変換回路2000は、ビデオフォーマッタ2100、メモリ2200およびアドレスジェネレータ2300を有している。ビデオデータ(VIDEO)は、ビデオデータ変換回路2000のビデオフォーマッタ2100に入力され、メモリ2200に順次記憶される。アドレスジェネレータ2300は、メモリ2200に記憶されたビデオデータを所定の順序で読み出すためのアドレスを指定し、メモリ2200からビデオフォーマッタ2100へビデオ信号の送出を制御する。そして、ビデオフォーマッタ2100からビデオデータ_n(VIDEO_n)が出力される。

40

【0028】

なお、本実施の形態においては、ビデオデータ(VIDEO)およびビデオデータ_n(VIDEO_n)はいずれもデジタルデータであるとした。しかし、D/A変換回路およびA/D変換回路を用いることによってアナログビデオデータを入出力することができる。

【0029】

ここで図5を参照する。図5には、本発明の液晶表示装置において、(m×n)画素(縦

50

×横)の画素部を有する液晶パネルを示す。なお、 m 、 n は共に自然数である。なお、各画素には、符号がつけられており、各画素を画素(h 、 k)($h = 1 \sim m$ 、 $k = 1 \sim n$)で示している。

【0030】

ゲートドライバ3100からはゲート信号線 G_1 、 G_2 、 $\dots$ 、 G_{n-1} および G_n に順次選択信号が供給される。ゲート信号線 G_1 は、画素($1, 1$)、画素($2, 1$)、 $\dots$ 、画素($m-1, 1$)および画素($m, 1$)のそれぞれのTFT3320のゲート電極に接続されている。ゲート信号線 G_2 は、画素($1, 2$)、画素($2, 2$)、 $\dots$ 、画素($m-1, 2$)および画素($m, 2$)のそれぞれのTFT3320のゲート電極に接続されている。同様に、ゲート信号線 G_n は、画素($1, n$)、画素($2, n$)、 $\dots$ 、画素($m-1, n$)および画素(m, n)のそれぞれのTFT3320のゲート電極に接続されている。。

10

【0031】

ソースドライバ3200へはビデオデータ変換回路で作成されたビデオデータ n (VIDEO n)が入力される。ソースドライバ3200は、ソース信号線 S_1 、 S_2 、 $\dots$ 、 S_{m-1} および S_m を通して各画素のTFTのソース電極へビデオデータを供給する。なお、ソース信号線 S_1 は、画素($1, 1$)、画素($1, 2$)、 $\dots$ 、画素($1, n-1$)および画素($1, n$)のそれぞれのTFT3320のソース領域に接続されている。ソース信号線 S_2 は、画素($2, 1$)、画素($2, 2$)、 $\dots$ 、画素($2, n-1$)および画素($2, n$)のそれぞれのTFT3320のソース領域に接続されている。同様に、ソース信号線 S_m は、画素($m, 1$)、画素($m, 2$)、 $\dots$ 、画素($m, n-1$)および画素(m, n)のそれぞれのTFT3320のソース領域に接続されている。

20

【0032】

ここで、図5に示す本発明の液晶パネルに入力されるビデオデータ(VIDEO n)の作成について説明する。

【0033】

図6を参照する。ビデオデータ変換回路に入力前(変換前)のビデオデータ(VIDEO)は、ビデオデータ($1, 1$)、ビデオデータ($1, 2$)、 $\dots$ 、ビデオデータ($1, n-1$)、ビデオデータ($1, n$)、ビデオデータ($2, 1$)、ビデオデータ($2, 2$)、 $\dots$ 、ビデオデータ($m, 1$)、ビデオデータ($m, 2$)、 $\dots$ 、ビデオデータ($m, n-1$)、ビデオデータ(m, n)という順序で構成されている。

30

【0034】

変換前のビデオデータ(VIDEO)は、ビデオデータ変換回路によってビデオデータ n (VIDEO n)に変換される。変換後のビデオデータ n (VIDEO n)は、ビデオデータ($1, 1$)、ビデオデータ($2, 1$)、 $\dots$ 、ビデオデータ($m-1, 1$)、ビデオデータ($m, 1$)、ビデオデータ($1, 2$)、 $\dots$ 、ビデオデータ($m, n-1$)、ビデオデータ($1, n$)、ビデオデータ($2, n$)、 $\dots$ 、ビデオデータ($m-1, n$)、ビデオデータ(m, n)という順序で構成されている。よって、各ビデオデータを適切な画素に入力することができる。

【0035】

よって、本実施の形態の液晶パネルにおいては、ビデオデータ(VIDEO)のビデオデータ(h, k)は、ビデオデータ n (VIDEO n)を構成する、 $m(k-1)+h$ 番目のビデオデータとなる。

40

【0036】

例えば、ビデオデータ(VIDEO)のビデオデータ($1, 1$)は、ビデオデータ n (VIDEO n)を構成する1番目のビデオデータとなる。また、ビデオデータ(VIDEO)のビデオデータ($2, 2$)は、ビデオデータ n (VIDEO n)を構成する($m+2$)番目のビデオデータとなる。また、ビデオデータ(VIDEO)のビデオデータ(m, n)は、ビデオデータ n (VIDEO n)を構成する mn 番目のビデオデータとなる。

【0037】

50

このようにビデオデータ変換回路のアドレスジェネレータを制御することによって、メモリからビデオデータを適切な順序で読み出し、液晶パネルに入力することによって、所望の映像を得ることができる。

【 0 0 3 8 】

図 7 を参照する。図 7 には、本実施の形態の液晶パネルにおいて、左右両側にソースドライバを設けている。

【 0 0 3 9 】

ソースドライバ 4 2 0 0 は奇数番目のソース信号線 S 1 および S 3 にビデオデータを供給し、ソースドライバ 4 3 0 0 は偶数番目のソース信号線 S 2 および S 4 にビデオデータを供給する。

10

【 0 0 4 0 】

こうすることによって、ソースドライバの回路構造が複雑になりソースドライバの占有面積が大きくなった場合においても、本発明を適用することができる。

【 0 0 4 1 】

また、ゲートドライバの動作方向（選択信号の供給順序）を逆にすることで、表示画面の左右反転を行うことが簡単に実現できる。

【 0 0 4 2 】

また、図 1 6 に示すように、ビデオデータ（V I D E O）をビデオデータ変換回路によって変換する際に、各ビデオデータの 4 分割を行い、V I D E O n 1、V I D E O n 2、V I D E O n 3 および V I D E O n 4 を作成している。ここでは、ビデオデータ（V I D E O）を 4 分割した例を示したが、分割数はこれに限定されるわけではない。

20

【 0 0 4 3 】

以下に本発明の実施例について説明する。

【 0 0 4 4 】

【実施例】

（実施例 1）

本実施例においては、本発明の表示装置の液晶パネルの作製方法例を図 8 ～ 図 1 2 を用いて説明する。本実施例の液晶パネルにおいては、画素部、ソースドライバ、ゲートドライバ等を一つの基板上に一体形成される。なお、説明の便宜上、画素の T F T とソースドライバ（駆動回路）のアナログスイッチを構成する N c h T F T とインバータ回路を構成する P c h T F T および N c h T F T とが同一基板上に形成されることを示すものとする。

30

【 0 0 4 5 】

図 8（A）において、基板 6 0 0 1 には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも 1 0 ～ 2 0 程度低い温度であらかじめ熱処理しておいても良い。この基板 6 0 0 1 の T F T 形成表面には、基板 6 0 0 1 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜 6 0 0 2 を形成する。例えば、プラズマ C V D 法で S i H₄、N H₃、N₂O から作製される酸化窒化シリコン膜を 1 0 0 n m、同様に S i H₄、N₂O から作製される酸化窒化シリコン膜を 2 0 0 n m の厚さに積層形成する。

40

【 0 0 4 6 】

次に、2 0 ～ 1 5 0 n m（好ましくは 3 0 ～ 8 0 n m）の厚さで非晶質構造を有する半導体膜 6 0 0 3 a を、プラズマ C V D 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ C V D 法で非晶質シリコン膜を 5 4 n m の厚さに形成する。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 6 0 0 2 と非晶質シリコン膜 6 0 0 3 a とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。その場合、下地膜を形成した後、一旦大気雰囲気中に晒すことがなくその表面の汚染を防ぐことが可能となり、作製する T F T の特性バラツキやしきい値電圧の変動を低減させることができる（図 8（A））。

50

【0047】

そして、公知の結晶化技術を使用して非晶質シリコン膜6003aから結晶質シリコン膜6003bを形成する。例えば、レーザー結晶化法や熱結晶化法（固相成長法）を適用すれば良いが、ここでは、特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜6003bを形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400～500で1時間程度の熱処理を行い、含有水素量を5atom%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では54nm）よりも1～15%程度減少する（図8（B））。

10

【0048】

そして、結晶質シリコン膜6003bを島状にパターンニングして、島状半導体層6004～6007を形成する。その後、プラズマCVD法またはスパッタ法により50～150nmの厚さの酸化シリコン膜によるマスク層6008を形成する（図8（C））。本実施例では、マスク層6008の厚さは130nmとする。

【0049】

そしてレジストマスク6009を設け、nチャネル型TFTを形成することとなる島状半導体層6004～6007の全面に $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン（B）を添加する。このボロン（B）の添加は、しきい値電圧を制御する目的でなされる。ボロン（B）の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン（B）添加は必ずしも必要ではない（図8（D））。

20

【0050】

ドライバ等の駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層6010～6012に選択的に添加する。そのため、あらかじめレジストマスク6013～6016を形成する。n型を付与する不純物元素としては、リン（P）や砒素（As）を用いれば良く、ここではリン（P）を添加すべく、フォスフィン（ PH_3 ）を用いたイオンドープ法を適用した。形成された不純物領域6017、6018のリン（P）濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域6017～6019に含まれるn型を付与する不純物元素の濃度を（ n^+ ）と表す。また、不純物領域6019は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン（P）を添加する（図9（A））。その後、レジストマスク6013～6016を除去する。

30

【0051】

次に、マスク層6008をフッ酸などにより除去した後、図8（D）と図9（A）で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500～600で1～4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用いる。レーザー光にはKrFエキシマレーザー光（波長248nm）を用いる。本実施例では、レーザー光の形状を線状ビームに加工して用い、発振周波数5～50Hz、エネルギー密度100～500mJ/cm²として線状ビームのオーバーラップ割合を80～98%で走査することによって島状半導体層が形成された基板全面を処理する。尚、レーザー光の照射条件には何ら限定される事項はなく適宜決定することができる。

40

【0052】

そして、ゲート絶縁膜6020をプラズマCVD法またはスパッタ法を用いて10～150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い（図9（B））。

【0053】

次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で

50

形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層(A)6021と金属膜から成る導電層(B)6022とを積層させる。導電層(B)6022はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜またはMo-Ta合金膜)で形成すれば良く、導電層(A)6021は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。また、導電層(A)6021は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)6022は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで $20\mu\Omega\text{cm}$ 以下の比抵抗値を実現することができる。

10

【0054】

導電層(A)6021は10~50nm(好ましくは20~30nm)とし、導電層(B)6022は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、導電層(A)6021に50nmの厚さの窒化タンタル膜を、導電層(B)6022には350nmのTa膜を用い、いずれもスパッタ法で形成する。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層(A)6021の下に2~20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜6020に拡散するのを防ぐことができる(図9(C))。

20

【0055】

次に、レジストマスク6023~6027を形成し、導電層(A)6021と導電層(B)6022とを一括でエッチングしてゲート電極6028~6031と容量配線6032を形成する。ゲート電極6028~6031と容量配線6032は、導電層(A)から成る6028a~6032aと、導電層(B)から成る6028b~6032bとが一体として形成されている。この時、後にドライバ等の駆動回路を構成するTFETのゲート電極6028~6030は不純物領域6017、6018の一部と、ゲート絶縁膜6020を介して重なるように形成する(図9(D))。

30

【0056】

次いで、ドライバのPチャネル型TFETのソース領域およびドレイン領域を形成するために、P型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極6028をマスクとして、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFETが形成される領域はレジストマスク6033で被覆しておく。そして、ジボラン(B_2H_6)を用いたイオンドーブ法で不純物領域6034を形成した。この領域のボロン(B)濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域6034に含まれるP型を付与する不純物元素の濃度を(p^{++})と表す(図10(A))。

40

【0057】

次に、Nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク6035~6037を形成し、N型を付与する不純物元素が添加して不純物領域6038~6042を形成した。これは、フォスフィン(PH_3)を用いたイオンドーブ法で行い、この領域のリン(P)濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域6038~6042に含まれるN型を付与する不純物元素の濃度を(n^+)と表す(図10(B))。

【0058】

不純物領域6038~6042には、既に前工程で添加されたリン(P)またはボロン(B)が含まれているが、それに比して十分に高い濃度でリン(P)が添加されるので、前

50

工程で添加されたリン（P）またはボロン（B）の影響は考えなくても良い。また、不純物領域6038に添加されたリン（P）濃度は図10（A）で添加されたボロン（B）濃度の $1/2 \sim 1/3$ なのでp型の導電性が確保され、TFETの特性に何ら影響を与えることはなかった。

【0059】

そして、画素部のnチャネル型TFETのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極6031をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。添加するリン（P）の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、図9（A）および図10（A）と図10（B）で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域6043、6044のみが形成される。本明細書中では、この不純物領域6043、6044に含まれるn型を付与する不純物元素の濃度を（ n^{++} ）と表す（図10（C））。

10

【0060】

ここで、ゲート電極のTaのピーリングを防止するために層間膜としてSiON膜等を200nmの厚さで形成しても良い。

【0061】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファースアニール法、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）で行うことができる。ここではファースアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～800℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行った。また、基板6001に石英基板のような耐熱性を有するものを使用した場合には、800℃で1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができる。なお、上述のゲート電極のTaのピーリングを防止するための層間膜を形成した場合には、この効果は得られない場合がある。

20

【0062】

この熱処理において、ゲート電極6028～6031と容量配線6032形成する金属膜6028b～6032bは、表面から5～80nmの厚さでその表面に導電層（C）6028c～6032cが形成される。例えば、導電層（B）6028b～6032bがタングステン（W）の場合には窒化タングステン（WN）が形成され、タンタル（Ta）の場合には窒化タンタル（Ta₂N）を形成することができる。また、導電層（C）6028c～6032cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極6028～6031及び容量配線6032を晒しても同様に形成することができる。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

30

【0063】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留する。勿論、そのような状態でもTFETを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つにリン（P）によるゲッタリング作用を利用する手段がある。ゲッタリングに必要なリン（P）の濃度は図10（B）で形成した不純物領域（ n^{+} ）と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TFETおよびpチャネル型TFETのチャネル形成領域から触媒元素をゲッタリングをすることができた（図10（D））。

40

【0064】

第1の層間絶縁膜6045は500～1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域また

50

はドレイン領域に達するコンタクトホールを形成し、ソース配線 6046 ~ 6049 と、ドレイン配線 6050 ~ 6053 を形成する (図 11 (A))。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜 500 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の積層膜とする。

【0065】

次に、パッシベーション膜 6054 として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を 50 ~ 500 nm (代表的には 100 ~ 300 nm) の厚さで形成する。本実施例においては、パッシベーション膜 6054 は窒化シリコン膜 50 nm と酸化シリコン膜 24.5 nm との積層膜とした。この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 °C で 1 ~ 12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 6054 に開口部を形成しておいても良い (図 11 (A))。

【0066】

その後、有機樹脂からなる第 2 層間絶縁膜 6055 を 1.0 ~ 1.5 μm の厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのアクリルを用い、250 °C で焼成して形成する (図 11 (B))。

【0067】

ここで、ソースドライバの D/A 変換回路の容量を形成する。D/A 変換回路の容量の電極となるべき電極はドレイン配線と同一配線層に形成されている。前記電極の上部の第 2 層間絶縁膜 6055 を全部除去する (図示せず)。次に、ブラックマトリクスを形成する (図示せず)。本実施例ではブラックマトリクスは、Ti 膜を 100 nm に形成し、その後 Al と Ti の合金膜を 300 nm に形成した積層構造とする。よって、本実施例では、前記電極とブラックマトリクスとの間で D/A 変換回路の容量が形成される。

【0068】

その後、有機樹脂からなる第 3 層間絶縁膜 6059 を 1.0 ~ 1.5 μm の厚さに形成する。有機樹脂としては、第 2 層間絶縁膜と同様の樹脂をもちいることができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300 °C で焼成して形成した。

【0069】

そして、第 2 層間絶縁膜 6055 および第 3 層間絶縁膜 6059 にドレイン配線 6053 に達するコンタクトホールを形成し、画素電極 6060 を形成する。本発明の透過型液晶パネルにおいては、画素電極 6060 には ITO 等の透明導伝膜を用いる。(図 11 (B))。

【0070】

こうして同一基板上に、駆動回路の TFT と画素部の画素 TFT とを有した基板を完成させることができる。駆動回路には p チャネル型 TFT 6101、第 1 の n チャネル型 TFT 6102、第 2 の n チャネル型 TFT 6103、画素部には画素 TFT 6104、保持容量 6105 が形成されている (図 12)。本明細書では便宜上このような基板をアクティブマトリクス基板と呼んでいる。

【0071】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、透過型液晶パネルを作製する工程を説明する。

【0072】

図 12 の状態のアクティブマトリクス基板に配向膜 6061 を形成する。本実施例では、配向膜 6061 にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板 6062、透明導電膜からなる対向電極 6063、配向膜 6064 とで構成される。

【0073】

10

20

30

40

50

なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0074】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶6065を注入し、封止剤（図示せず）によって完全に封止する。よって、図12に示すような透過型液晶パネルが完成する。

【0075】

なお本実施例では、透過型液晶パネルがTN（ツイスト）モードによって表示を行うようにした。そのため、偏光板（図示せず）が透過型液晶パネルの上部に配置された。

10

【0076】

駆動回路のpチャネル型TFT6101には、島状半導体層6004にチャネル形成領域806、ソース領域807a、807b、ドレイン領域808a、808bを有している。第1のnチャネル型TFT6102には、島状半導体層6005にチャネル形成領域809、ゲート電極6071と重なるLDD領域810（以降、このようなLDD領域をLovと記す）、ソース領域811、ドレイン領域812を有している。このLov領域のチャネル長方向の長さは0.5～3.0μm、好ましくは1.0～1.5μmとした。第2のnチャネル型TFT6103には、島状半導体層6006にチャネル形成領域813、LDD領域814、815、ソース領域816、ドレイン領域817を有している。このLDD領域はLov領域とゲート電極6072と重ならないLDD領域（以降、このようなLDD領域をLoffと記す）とが形成され、このLoff領域のチャネル長方向の長さは0.3～2.0μm、好ましくは0.5～1.5μmである。画素TFT6104には、島状半導体層6007にチャネル形成領域818、819、Loff領域820～823、ソースまたはドレイン領域824～826を有している。Loff領域のチャネル長方向の長さは0.5～3.0μm、好ましくは1.5～2.5μmである。また、画素TFT6104のチャネル形成領域818、819と画素TFTのLDD領域であるLoff領域820～823との間には、オフセット領域（図示せず）が形成されている。さらに、容量配線6074と、ゲート絶縁膜6020から成る絶縁膜と、画素TFT6104のドレイン領域826に接続し、n型を付与する不純物元素が添加された半導体層827とから保持容量805が形成されている。図12では画素TFT6104をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

20

30

【0077】

以上の様に本実施例においては、画素TFTおよびドライバが要求する仕様に応じて各回路を構成するTFTの構造を最適化し、液晶パネルの動作性能と信頼性を向上させることを可能とすることができる。

【0078】

なお、本実施例においては透過型の液晶パネルについて説明した。しかし、本発明の液晶パネルは、これに限定されるわけではなく、反射型の液晶パネルとすることもできる。

40

【0079】

（実施例2）

上述の本発明の液晶表示装置の液晶パネルにはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCDC Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いる

50

ことが可能である。

【0080】

等方相 - コレステリック相 - カイラルスメクティック C 相転移系列を示す強誘電性液晶 (FLC) を用い、DC 電圧を印加しながらコレステリック相 - カイラルスメクティック C 相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定 FLC の電気光学特性を図 13 に示す。図 13 に示すような強誘電性液晶による表示モードは「Half - V 字スイッチングモード」と呼ばれている。図 13 に示すグラフの縦軸は透過率 (任意単位)、横軸は印加電圧である。「Half - V 字スイッチングモード」については、寺田らの「Half - V 字スイッチングモード FLC D」、第 46 回応用物理学関係連合講演会講演予稿集、1999 年 3 月、第 1316 頁、および吉原らの「強誘電性液晶による時分割フルカラー LCD」、液晶第 3 巻第 3 号第 190 頁に詳しい。

10

【0081】

図 13 に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置の液晶パネルには、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0082】

また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶 (AFLC) という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆる V 字型の電気光学応答特性を示すものがあり、その駆動電圧が約 ± 2.5 V 程度 (セル厚約 $1 \mu\text{m} \sim 2 \mu\text{m}$) のものも見出されている。

20

【0083】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0084】

なお、このような無しきい値反強誘電性混合液晶を本発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0085】

30

(実施例 3)

【0086】

本発明の表示装置は、様々な電子機器に組み込んで用いることができる。

【0087】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター (リア型またはフロント型)、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。それらの一例を図 14 および図 15 に示す。

【0088】

40

図 14 (A) はフロント型プロジェクタ - であり、本体 10001、本発明の液晶表示装置 10002、光源 10003、光学系 10004、スクリーン 10005 で構成されている。なお、図 14 (A) には、液晶表示装置を 1 つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を 3 個 (R、G、B の光にそれぞれ対応させる) 組み込むことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

【0089】

図 14 (B) はリア型プロジェクターであり、10006 は本体、10007 は本発明の液晶表示装置であり、10008 は光源であり、10009 はリフレクター、10010 はスクリーンである。なお、図 14 (B) には、液晶表示装置を 3 個 (R、G、B の光に

50

それぞれ対応させる)組み込んだリア型プロジェクタが示されている。また、本発明の液晶表示装置を1個組み込んだリア型プロジェクタも提供することができる。

【0090】

図15(A)はパーソナルコンピュータであり、本体7001、映像入力部7002、本発明の液晶表示装置7003、キーボード7004で構成される。

【0091】

図15(B)はビデオカメラであり、本体7101、本発明の液晶表示装置7102、音声入力部7103、操作スイッチ7104、バッテリー7105、受像部7106で構成される。

【0092】

図15(C)はモバイルコンピュータ(モビルコンピュータ)であり、本体7201、カメラ部7202、受像部7203、操作スイッチ7204、本発明の液晶表示装置7205で構成される。

【0093】

図15(D)はゴーグル型ディスプレイであり、本体7301、本発明の液晶表示装置7302、アーム部7303で構成される。

【0094】

図15(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体7401、本発明の液晶表示装置7402、スピーカ部7403、記録媒体7404、操作スイッチ7405で構成される。なお、この装置は記録媒体としてD
VD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0095】

図15(F)は、本発明の液晶表示装置を用いたディスプレイ装置である。7501は本体、7502は本発明の液晶表示装置である。

【0096】

以上の様に、本発明の液晶表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用できる。

【0097】

【発明の効果】

本発明によるとソースドライバの占有面積が大きい場合においても、小型のパネルを用いた表示装置が実現できる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の概略構成図である。

【図2】 本発明の液晶表示装置の液晶パネルの回路構成図である。

【図3】 本発明のビデオデータ変換回路のビデオデータ(VIDEO)の変換動作を示すチャートである。

【図4】 本発明のビデオデータ変換回路の回路構成例である。

【図5】 本発明の液晶表示装置の液晶パネルの回路構成図である。

【図6】 本発明のビデオデータ変換回路のビデオデータ(VIDEO)の変換動作を示すチャートである。

【図7】 本発明の液晶表示装置の液晶パネルの回路構成図である。

【図8】 本発明の液晶表示装置の液晶パネルの作製工程例を示す図である。

【図9】 本発明の液晶表示装置の液晶パネルの作製工程例を示す図である。

【図10】 本発明の液晶表示装置の液晶パネルの作製工程例を示す図である。

【図11】 本発明の液晶表示装置の液晶パネルの作製工程例を示す図である。

【図12】 本発明の液晶表示装置の液晶パネルの作製工程例を示す図である。

【図13】 Half-V字型の電気光学特性を示す強誘電性液晶の印加電圧-透過率特性を示すグラフである。

【図14】 本発明の液晶表示装置を組み込んだ電子機器の例である。

10

20

30

40

50

【図 15】 本発明の液晶表示装置を組み込んだ電子機器の例である。

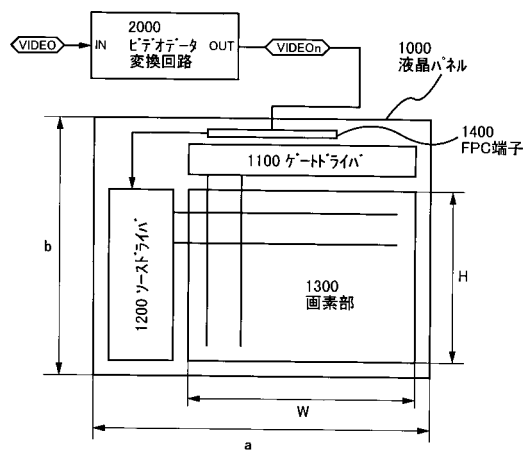
【図 16】 本発明のビデオデータ変換回路のビデオデータ (VIDEO) の変換動作を示すチャートである。

【図 17】 従来の液晶パネルの概略構成図である。

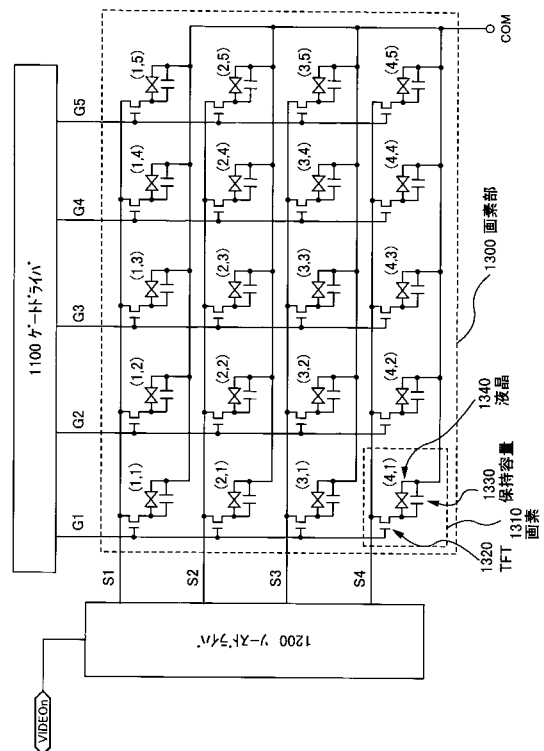
【符号の説明】

- 1 0 0 0 液晶パネル
- 1 1 0 0 ゲートドライバ
- 1 2 0 0 ソースドライバ
- 1 3 0 0 画素部
- 1 4 0 0 F P C 端子
- 2 0 0 0 ビデオデータ変換回路

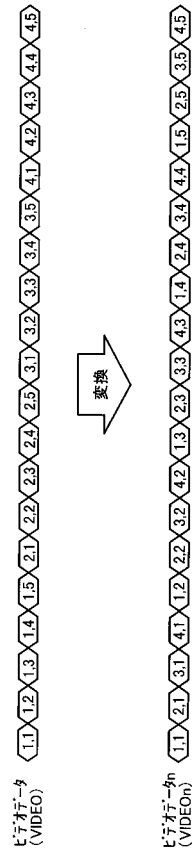
【図 1】



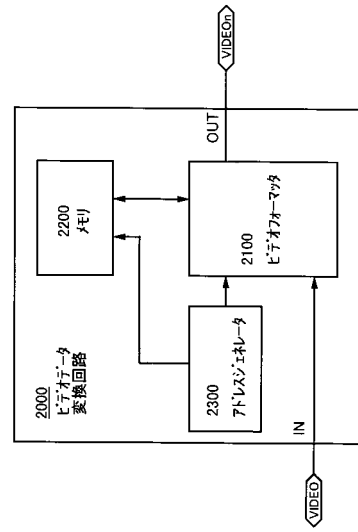
【図 2】



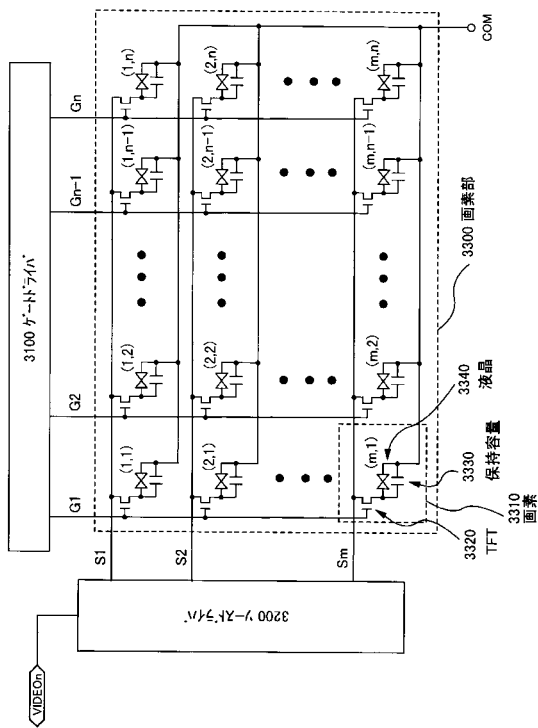
【図 3】



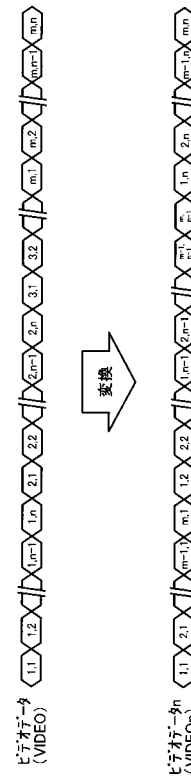
【図 4】



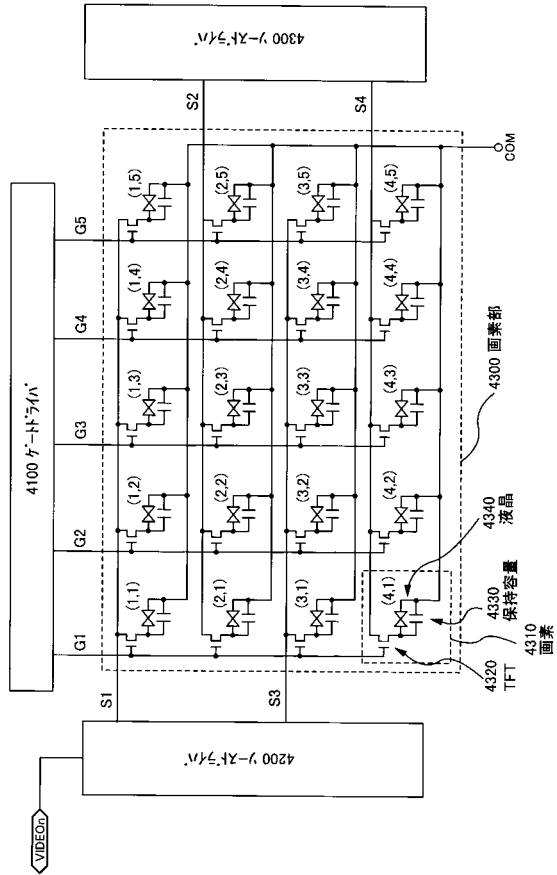
【図 5】



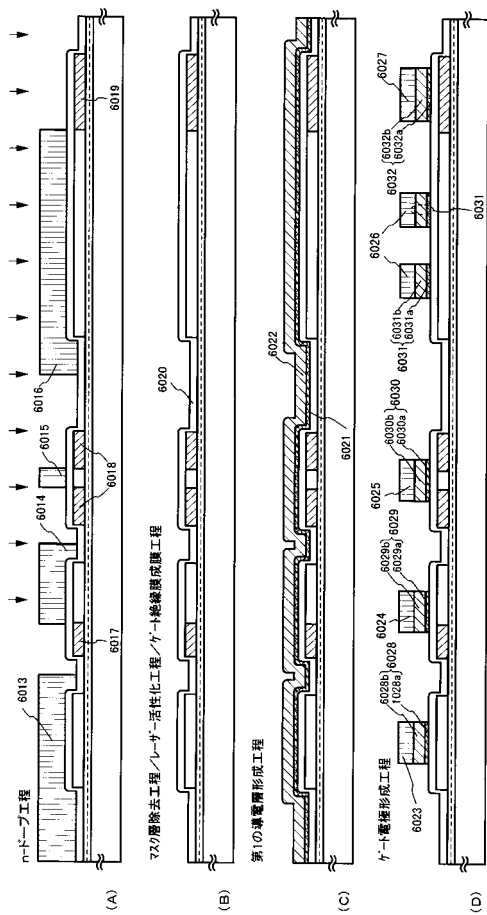
【図 6】



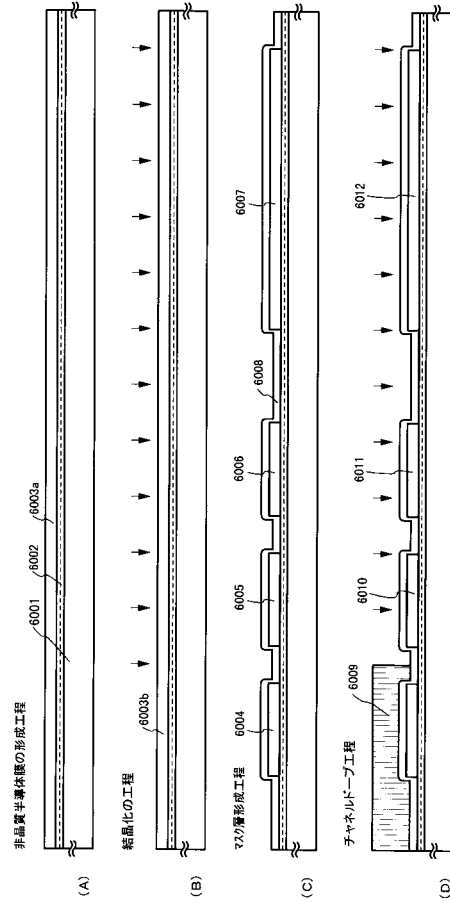
【 図 7 】



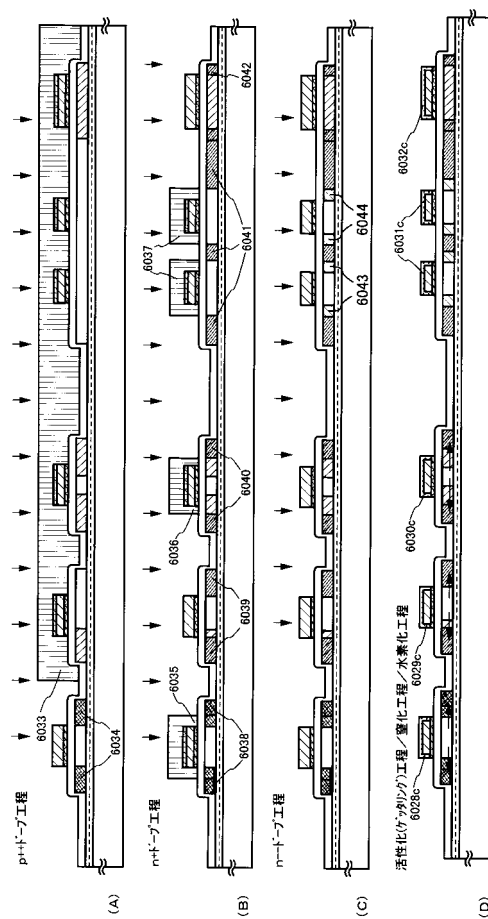
【 圖 9 】



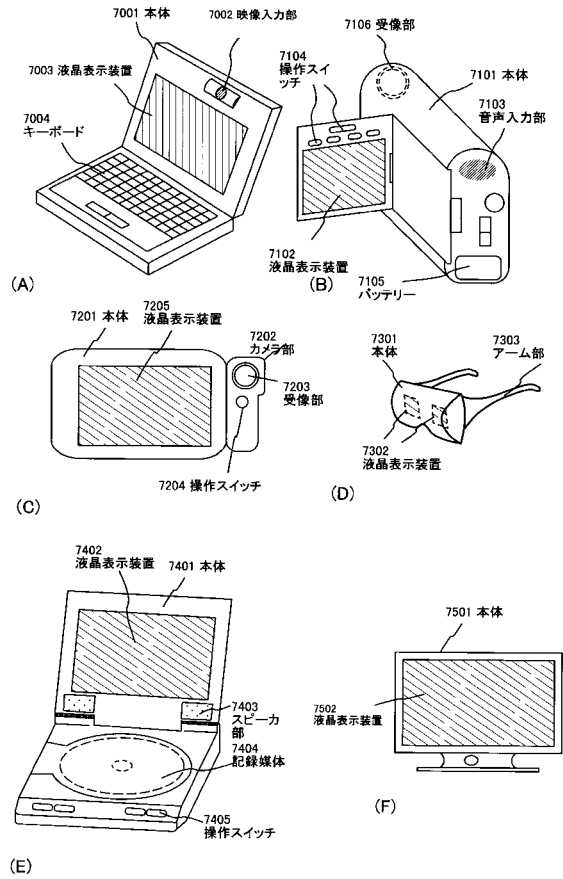
【 図 8 】



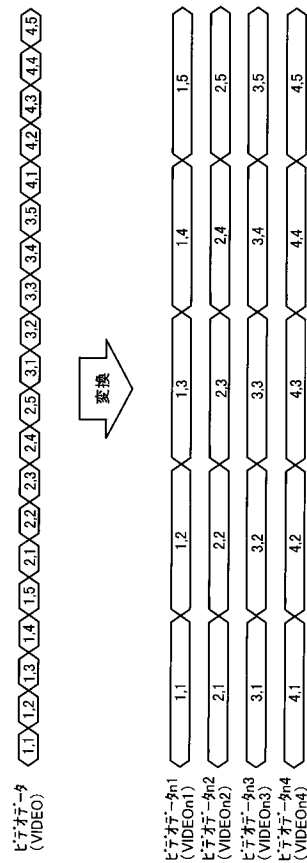
【 図 1 0 】



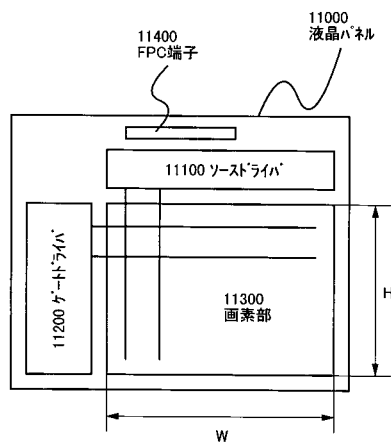
【図 15】



【図 16】



【図 17】



 フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/786	(2006.01)	G 0 9 G	3/20 6 3 2 Z
			G 0 9 G	3/36
			H 0 1 L	29/78 6 1 4

(56)参考文献 特開平 0 5 - 3 1 3 6 0 4 (J P , A)
 特開平 1 1 - 2 0 2 8 3 4 (J P , A)
 特開平 1 1 - 2 0 2 2 9 5 (J P , A)
 特表平 1 1 - 5 0 6 2 2 9 (J P , A)
 特開平 1 0 - 0 9 7 0 0 0 (J P , A)
 特開平 1 0 - 3 2 5 9 8 2 (J P , A)
 特開平 0 4 - 0 2 2 9 3 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09F 9/30
 G02F 1/13
 G02F 1/133
 G09G 3/20
 G09G 3/36
 H01L 29/786

专利名称(译)	表示装置		
公开(公告)号	JP4801247B2	公开(公告)日	2011-10-26
申请号	JP2000307136	申请日	2000-10-06
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	田中幸夫		
发明人	田中 幸夫		
IPC分类号	G09F9/30 G02F1/13 G02F1/133 G09G3/20 G09G3/36 H01L29/786 G02F1/136 G02F1/1368 G09F9/00		
FI分类号	G09F9/30.338 G02F1/13.505 G02F1/133.550 G09G3/20.621.M G09G3/20.621.K G09G3/20.632.Z G09G3/36 H01L29/78.614 G02F1/136.500 G02F1/1368 G09F9/00.348.C G09F9/00.348.Z G09F9/00.360.N		
F-TERM分类号	2H088/EA10 2H088/EA15 2H088/HA08 2H092/GA59 2H092/HA28 2H092/JA24 2H092/JA33 2H092/JA35 2H092/JA36 2H092/JA39 2H092/JA40 2H092/JB24 2H092/JB33 2H092/JB36 2H092/JB52 2H092/JB56 2H092/KA05 2H092/KA10 2H092/KA12 2H092/KA18 2H092/KB04 2H092/KB24 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA27 2H092/MA29 2H092/MA30 2H092/MA41 2H092/NA24 2H092/PA01 2H092/QA07 2H092/QA13 2H092/RA05 2H093/NA43 2H093/NA53 2H093/NA62 2H093/NC13 2H093/NC34 2H093/NG02 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB52 2H192/CC32 2H192/CC72 2H192/DA23 2H192/DA44 2H192/DA81 2H192/EA02 2H192/EA32 2H192/EA34 2H192/EA74 2H192/FA73 2H192/FB05 2H192/FB15 2H192/GD61 2H192/JA25 2H192/JB02 2H193/ZA04 2H193/ZD23 2H193/ZF37 2H193/ZR02 5C006/AA01 5C006/AF22 5C006/AF23 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC16 5C006/BC20 5C006/BF02 5C006/EB05 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/EE17 5C080/FF11 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA15 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA14 5C094/DA15 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EB02 5F110/AA04 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/DD25 5F110/EE01 5F110/EE04 5F110/EE05 5F110/EE06 5F110/EE09 5F110/EE11 5F110/EE14 5F110/EE15 5F110/EE28 5F110/EE44 5F110/FF02 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG24 5F110/GG25 5F110/GG32 5F110/GG43 5F110/GG45 5F110/GG51 5F110/GG55 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ23 5F110/HK03 5F110/HK04 5F110/HK22 5F110/HM14 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN72 5F110/NN73 5F110/PP03 5F110/PP34 5F110/PP35 5F110/QQ09 5F110/QQ11 5F110/QQ24 5F110/QQ25 5F110/QQ28 5G435/AA18 5G435/BB12 5G435/BB17 5G435/CC12 5G435/DD02 5G435/DD07 5G435/EE33 5G435/EE37 5G435/HH12 5G435/HH14 5G435/LL15		
审查员(译)	泰信行		
优先权	1999287583 1999-10-08 JP		
其他公开文献	JP2001175199A5 JP2001175199A		
外部链接	Espacenet		
摘要(译)			

要解决的问题：提供一种使用电路布局的显示装置，其允许在源极驱动器占据大面积的情况下实现小型液晶面板。解决方案：这是一种液晶显示装置，包括具有 $(m \text{ 和 } n)$ 个像素TFT $(m, n \text{ 都是整数, } m < n)$ 的像素部分，用于向 m 条栅极信号线提供选择信号的栅极驱动器用于向 m 条源信号线提供视频数据的源驱动器，以及视频数据变换电路，其特征在于视频数据变换电路变换第1视频数据 $(h, k) \text{ } (h = 1 \sim m) \text{ } (k = 1 \sim n)$ ，第二视频数据，并且构成第一视频数据的视频数据 (h, k) 被变换为构成第二视频数据的 $m(k-1) + h$ 视频数据。

