

(19) 日本国特許庁 (JP)

## (12) 特 許 公 報 (B2)

(11) 特許番号

特許第4667587号  
(P4667587)

(45) 発行日 平成23年4月13日 (2011. 4. 13)

(24) 登録日 平成23年1月21日 (2011. 1. 21)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/13 (2006. 01)

G O 2 F 1/13 5 0 0

G O 2 F 1/133 (2006. 01)

G O 2 F 1/133 5 5 0

G O 2 F 1/1337 (2006. 01)

G O 2 F 1/1337 5 2 0

G O 2 F 1/1345 (2006. 01)

G O 2 F 1/1345

請求項の数 4 (全 44 頁)

(21) 出願番号 特願2000-367769 (P2000-367769)  
 (22) 出願日 平成12年12月1日 (2000. 12. 1)  
 (65) 公開番号 特開2002-169179 (P2002-169179A)  
 (43) 公開日 平成14年6月14日 (2002. 6. 14)  
 審査請求日 平成19年8月27日 (2007. 8. 27)

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100083552  
 弁理士 秋田 収喜  
 (72) 発明者 柳川 和彦  
 千葉県茂原市早野3300番地 株式会社  
 日立製作所 ディスプレイグループ内  
 (72) 発明者 岩壁 靖  
 千葉県茂原市早野3300番地 株式会社  
 日立製作所 ディスプレイグループ内  
 (72) 発明者 仲吉 良彰  
 千葉県茂原市早野3300番地 株式会社  
 日立製作所 ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

## 【請求項 1】

液晶層を介して対向配置される各基板のうち一方の基板の液晶側の面にて、  
 一对のゲート信号線と一对のドレイン信号線で囲まれた複数の画素領域を備え、  
 前記各画素領域に、前記ゲート信号線からの走査信号によって作動されるスイッチング  
 素子と、このスイッチング素子を介して前記ドレイン信号線からの映像信号が供給される  
 画素電極と、この画素電極に離間して配置されて基準信号線からの基準信号が供給される  
 基準電極とを備え、

前記基準電極は、絶縁膜を介してゲート信号線、ドレイン信号線より上層に形成され、  
 少なくともゲート信号線に沿って重畳された導電層と一体に形成され前記ドレイン信号  
 線に沿って重畳された導電層を前記基準電極の一部とし、

ゲート信号線上に重畳された該導電層は少なくとも前記スイッチング素子と対向する部  
 分にて開口が形成されていることを特徴とする液晶表示装置。

## 【請求項 2】

前記開口は前記ドレイン信号線側へ前記ゲート信号線に沿って延在するようにして形成  
 され、該ドレイン信号線の一部が該開口に対向して形成されていることを特徴とする請求  
 項 1 に記載の液晶表示装置。

## 【請求項 3】

前記ドレイン信号線に重畳する前記基準電極に隣接する他の基準電極との間に形成され  
 る前記導電層の開口が前記スイッチング素子の形成領域に及んで形成されていることを特

10

20

徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記ドレイン信号線に重畳する前記基準電極に隣接する他の基準電極との間に形成され前記導電層の前記開口は前記スイッチング素子の形成領域を超えて、前記ゲート信号線に間にして隣接する他の画素領域にまで及んで形成されていることを特徴とする請求項 3 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に、アクティブ・マトリクス型の液晶表示装置に関する。 10

【0002】

【従来の技術】

アクティブ・マトリクス型の液晶表示装置は、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x 方向に延在し y 方向に並設されるゲート信号線と y 方向に延在し x 方向に並設されるドレイン信号線とで囲まれる各領域を画素領域とし、この画素領域にはゲート信号線からの走査信号によって作動するアクティブ素子と、このアクティブ素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に生じせしめる容量を備えている。

【0003】

このような液晶表示装置は、アクティブ素子により一定時間の書き込みと一定時間の保持を行って画素表示を実現している。 20

【0004】

この保持方式として、ゲート信号線と画素電極の間で容量を形成する C a d d (付加容量) 方式と、保持容量信号線と画素電極の間で容量を形成する C s t g (保持容量) 方式とが知られている。

【0005】

C s t g 方式は保持容量信号線が必要なために開口率が低下するが、保持電位を安定にできるため、比較的高画質を得ることができる。

【0006】

また、C s t g 方式を用いた液晶表示装置として、いわゆる横電界方式と称されるのが知られている。この種の液晶表示装置は、画素電極が形成された基板側に該画素電極との間に電界を生じせしめる基準電極が設けられて構成され、この基準電極に基準信号を供給する基準信号線に絶縁膜を介して画素電極を重畳させることによって保持容量を形成している。 30

【0007】

これは、液晶表示装置の表示の広視野角化を実現できるものとして、近年、この方式を用いたものが製品化されている。

【0008】

一方、液晶を介して対向配置される各基板の間隙 (セルギャップ) を均一に確保するため、該液晶内にポリマー静ビーズを分散する構成、あるいは一方の基板面にホトリソグラフィ技術による選択エッチングにより有機材料の支柱を設ける構成が知られている。 40

【0009】

ビーズあるいは支柱の周辺では光漏れが生じるが、画面内に支柱を配置する手法では予めその位置を設定できるため、ビーズ分散による手法よりもコントラスト比の向上を実現できる。

【0010】

また、アクティブ素子に信号を供給するドライバ (半導体チップ) の実装として、T C P 方式と F C A (C O G と称す) 方式とが知られている。

【0011】

T C P方式は、F C P方式よりも容易に製造でき、歩留まりが向上できるという特徴を有する。また、F C P方式は外部への引き出し配線の本数を低減できるため、高精細化に適する。

【 0 0 1 2 】

【発明が解決しようとする課題】

(課題1)

まず、広視野角かつ高精細度の液晶表示装置を実現するためには、前述の横電界方式にF C A方式を採用することが望ましい。

【 0 0 1 3 】

しかし、横電界方式は、その液晶の表示モードは複屈折モードであるため、たとえばT Nモードと比べると液晶層の厚みの変動に対して敏感となり、同じ液晶層厚の変動量に対しより着色して見えるという不都合が有する。

10

【 0 0 1 4 】

また、F C A方式は、そのドライバが直接に液晶表示装置の基板に搭載されるため、該ドライバからの発熱が液晶表示装置の基板に直接伝わり、該ドライバの近傍の液晶に局所的な温度上昇を招き、この部分に変色して見えるという不都合が生じることを見出した。

(課題2)

また、F C A方式を採用した場合、半導体チップのみからなるドライバをそのまま液晶表示装置の基板に実装する場合が多く、該半導体チップの周辺の基板に応力が生じ易くなる。

20

【 0 0 1 5 】

そして、この応力のために、表示面のドライバの近傍の部分に変色して見える不都合が生じることを見出した。

【 0 0 1 6 】

この場合、いわゆるノーマリブラックモードの場合、黒表示時に光抜けが生じ、コントラスト比の低下にまで至ることを確認した。ここで、ノーマリブラックモードとは液晶に電界を印加していない状態で該液晶の光透過率は最低となるように構成された態様をいう。

(課題3)

また、液晶を介して対向配置させる各基板のギャップを均一にするため、片側の基板に支柱を形成する場合、上記課題2で示した応力が原因して、チップ近傍の領域で上下基板の併せずれが他の領域より悪化するということが判明した。

30

【 0 0 1 7 】

ビーズを用いた場合、その形状が球体でありかつ強固な固定はされていないことにより、局所的な応力が加わった場合、それを緩和する方向にビーズの再配置が起こり、結果として半導体チップの近傍の上下基板の合わせずれが低減する。

【 0 0 1 8 】

しかし、支柱の場合、支柱と基板が面接触であり接触面積が大きいため、また、支柱自体は片側の基板に固定されているため、応力による半導体チップ近傍の局所的アライメントずれがそのままとなり、緩和されることがない。

(課題4)

40

さらに、横電界方式の場合、互いに電界を発生せしめる画素電極と基準電極のうち、基準電極は映像信号線に隣接した配置させることが知られている。

【 0 0 1 9 】

映像信号線からの電界を基準電極側に終端させて画素電極側にまで影響させないようにするためである。

【 0 0 2 0 】

そして、映像信号線と基準電極との間には間隙が形成され、この間隙部において液晶が駆動しいわゆるドメインの発生が生じるため、この部分に遮光膜を形成することが行われている。

【 0 0 2 1 】

50

しかし、該遮光膜の形成は画素の開口率を向上を妨げるということが指摘されている。

(課題5)

さらに、ゲート信号線あるいはドレイン信号線のドライバとの接続にあって、該ドライバの近傍の信号線は半導体チップの寸法にまで絞り込むパターンとして形成されている。

【0022】

この場合において、上記以外の信号線たとえば基準信号線をも半導体チップ側に引出し、上記各信号線の絞り込まれた部分で別の配線層に接続させることが必要とされ、このためのコンタクト領域の確保が要求される。

【0023】

しかし、そのための領域の確保からいわゆる額縁(基板の外輪郭から表示面までの幅で形成される部分)の縮小を確保できない不都合が生じる。

10

【0024】

本発明は、上記課題1に示した不都合を解消するため、すなわち、ドライバ近傍の液晶の局所的な温度上昇を抑制させた液晶表示装置を提供することにある。

【0025】

本発明は、上記課題2に示した不都合を解消するため、すなわち、ドライバの基板に対する応力の伝達を抑制させた液晶表示装置を提供することにある。

【0026】

本発明は、上記課題3に示した不都合を解消するため、すなわち、ドライバ近傍の表示面にてアライメントずれを抑制させた液晶表示装置を提供することにある。

20

【0027】

本発明は、上記課題4に示した不都合を解消するため、すなわち、開口率を向上させた液晶表示装置を提供することにある。

【0028】

本発明は、上記課題5に示した不都合を解消するため、すなわち、いわゆる額縁の縮小を図った液晶表示装置を提供することにある。

【0029】

【課題を解決するための手段】

本発明において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

30

【0030】

上記課題1を解決するための代表的な手段としては、たとえば、液晶層を介して対向配置される各基板のうち一方の基板の液晶側の面にて、

その各画素領域に、ゲート信号線からの走査信号によって作動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を生じせしめる基準電極とを備えとともに、

前記ドレイン信号線からの映像信号は前記一方の基板上に実装されたドライバチップによってなされ、

画素電極と基準電極との間の電圧が印加されていない場合に前記液晶層の光透過率が最低になるように構成されているとともに、

40

前記映像信号の電圧最大振幅を前記液晶層の相対透過率を90%とするのに要する電圧以下に設定されていることを特徴とするものである。

【0031】

上記課題2を解決するための代表的な手段としては、たとえば、液晶層を介して対向配置される各基板のうち一方の基板の液晶側の面にて、

その各画素領域に、ゲート信号線からの走査信号によって作動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を生じせしめる基準電極とを備えとともに、

前記ドレイン信号線からの映像信号は前記一方の基板上に実装されたドライバチップによってなされ、

50

該ドライバチップの前記一方の基板との間に応力緩衝層が介在されていることを特徴とするものである。

【 0 0 3 2 】

上記課題 3 を解決するための代表的な手段としては、たとえば、液晶層を介して対向配置される各基板のうち一方の基板の液晶側の面にて、

その各画素領域に、ゲート信号線からの走査信号によって作動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を生じせしめる基準電極とを備えとともに、

前記各信号線からの信号は前記一方の基板上に実装されたドライバチップによってなされ、

10

前記各基板のうちいずれかの基板の液晶側の面に対向する他の基板とのギャップを確保する支柱を備え、

該支柱は、隣接する 2 つの画素領域当たり 1 個以下の密度で配置されていることを特徴とするものである。

【 0 0 3 3 】

上記課題 4 を解決するための代表的な手段としては、たとえば、液晶層を介して対向配置される各基板のうち一方の基板の液晶側の面にて、

その各画素領域に、ゲート信号線からの走査信号によって作動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を生じせしめる複数の基準電極とを備え、

20

前記各基準電極のうちの一つは、無機材料よりも低誘電率の絶縁膜を介してドレイン信号線と重畳して形成され、かつその幅は該ドレイン信号線の幅よりも大きく形成されていることを特徴とするものである。

【 0 0 3 4 】

上記課題 5 を解決するための代表的な手段としては、たとえば、液晶層を介して対向配置される各基板のうち一方の基板の液晶側の面にて、

その各画素領域に、ゲート信号線からの走査信号によって作動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極に離間して配置されて基準信号線からの基準信号が供給される基準電極とを備え、

30

前記ドレイン信号線からの映像信号は前記一方の基板上に実装されたドライバチップによってなされ、

前記ゲート信号線、ドレイン信号線、および基準信号線はそれぞれ絶縁膜を介して互いに異なる層に形成されていることを特徴とするものである。

【 0 0 3 5 】

【 発明の実施の形態 】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

( 実施例 1 )

〔 液晶表示装置の等価回路 〕

図 2 は、本発明による液晶表示装置の一実施例を示す等価回路図である。同図は、回路図ではあるが、実際の幾何学的配置に対応して描かれている。

40

【 0 0 3 6 】

この実施例では、広い視野角をもつものとして知られているいわゆる横電界方式を採用した液晶表示装置に本発明を適用させている。

【 0 0 3 7 】

まず、液晶表示パネル P N L があり、その液晶表示パネル P N L は、液晶を介して互に対向配置された透明基板 S U B 1、S U B 2 を外囲器としている。この場合、一方の透明基板 ( 図中下側の基板 : マトリクス基板 ) は他方の透明基板 ( 図中上側の基板 : カラーフィルタ基板 ) に対して若干大きく形成され、図中下側と右側の周辺端はほぼ面一に合わせ配置されている。

50

## 【 0 0 3 8 】

この結果、一方の透明基板 S U B 1 の図中左側の周辺および図中上側の周辺は他方の基透明基板 S U B 2 に対して外方に延在されるようになっていいる。後に詳述するが、この部分はゲート駆動回路 ( I C ) 5 およびドレイン駆動回路 ( I C ) 6 が搭載される領域となっている。

## 【 0 0 3 9 】

各透明基板 S U B 1、S U B 2 の重畳する領域にはマトリクス状に配置された画素 2 が構成され、この画素 2 は、図中 x 方向に延在され y 方向に並設されるゲート信号線 G L と y 方向に延在され x 方向に並設されるドレイン信号線 D L とで囲まれる領域に形成され、少なくとも、一方のゲート信号線 G L からの走査信号の供給によって駆動されるスイッチング素子 T F T と、このスイッチング素子 T F T を介して一方のドレイン信号線 D L から供給される映像信号が印加される画素電極とが備えられている。

10

## 【 0 0 4 0 】

ここでは、上述したように、各画素 2 は、いわゆる横電界方式を採用したもので、後に詳述するように、上記のスイッチング素子 T F T および画素電極 P X の他に、基準電極 C T および保持容量 C s t g が備えられるようになっていいる。

## 【 0 0 4 1 】

そして、各ゲート信号線 G L はその一端 ( 図中左側の端部 ) が透明基板 S U B 1 外にまで延在され、透明基板 S U B 1 に搭載されたゲート駆動回路 5 の出力端子に接続されるようになっていいる。

20

## 【 0 0 4 2 】

この場合、ゲート駆動回路 5 は複数設けられているとともに、前記ゲート信号線 G L は互いに隣接するもの同士でグループ化され ( 図 5 8 参照 )、これら各グループ化されたゲート信号線 G L が近接する各ゲート駆動回路 5 にそれぞれ接続されるようになっていいる。

## 【 0 0 4 3 】

また、同様に、各ドレイン信号線 D L はその一端 ( 図中上側の端部 ) が透明基板 S U B 1 外にまで延在され、透明基板 S U B 1 に搭載されたドレイン駆動回路 6 の出力端子に接続されるようになっていいる。

## 【 0 0 4 4 】

この場合も、ドレイン駆動回路 6 は複数設けられているとともに、前記ドレイン信号線 D L は互いに隣接するもの同士でグループ化され、これら各グループ化されたドレイン信号線 D L が近接する各ドレイン駆動回路 6 にそれぞれ接続されるようになっていいる。

30

## 【 0 0 4 5 】

一方、このようにゲート駆動回路 5 およびドレイン駆動回路 6 が搭載された液晶表示パネル P N L に近接して配置されるプリント基板 1 0 ( コントロール基板 1 0 ) があり、このプリント基板 1 0 には電源回路 1 1 等の他に、前記ゲート駆動回路 5 およびドレイン駆動回路 6 に入力信号を供給するためのコントロール回路 ( I C ) 1 2 が搭載されている。

## 【 0 0 4 6 】

そして、このコントロール回路 1 2 からの信号はフレキシブル配線基板 ( ゲート回路基板 1 5、ドレイン回路基板 1 6 A、ドレイン回路基板 1 6 B ) を介してゲート駆動回路 5 およびドレイン駆動回路 6 に供給されるようになっていいる。

40

## 【 0 0 4 7 】

すなわち、ゲート駆動回路 5 側には、これら各ゲート駆動回路 5 の入力側の端子にそれぞれ対向して接続される端子を備えるフレキシブル配線基板 ( ゲート回路基板 1 5 ) が配置されている。

## 【 0 0 4 8 】

そのゲート回路基板 1 5 は、その一部が前記コントロール基板 1 0 側に延在されて形成され、その延在部において、該コントロール基板 1 0 と接続部 1 8 を介して接続されている。

## 【 0 0 4 9 】

50

コントロール基板 10 に搭載されたコントロール回路 12 からの出力信号は、該コントロール基板 10 上の配線層、前記接続部 18、さらにはゲート回路基板 15 上の配線層を介して各ゲート駆動回路 5 に入力されるようになっている。

【0050】

また、ドレイン駆動回路 6 側には、これら各ドレイン駆動回路 6 の入力側の端子にそれぞれ対向して接続される端子を備えるドレイン回路基板 16A、16B が配置されている。

【0051】

このドレイン回路基板 16A、16B は、その一部が前記コントロール基板 10 側に延在されて形成され、その延在部において、該コントロール基板 10 と接続部 19A、19B を介して接続されている。

10

【0052】

コントロール基板 10 に搭載されたコントロール回路 12 からの出力信号は、該コントロール基板 10 上の配線層、前記接続部 19A、19B、さらにはドレイン回路基板 16A、16B 上の配線層を介して各ドレイン駆動回路 16A、16B に入力されるようになっている。

【0053】

なお、ドレイン駆動回路 6 側のドレイン回路基板 16A、16B は、図示のように、2 個に分割されて設けられている。液晶表示パネル 1 の大型化にともなって、たとえばドレイン回路基板の図中 x 方向への長さの増大による熱膨張による弊害を防止する等のためである。

20

【0054】

そして、コントロール基板 10 上のコントロール回路 12 からの出力は、ドレイン回路基板 16A の接続部 19A、およびドレイン回路基板 16B の接続部 19B をそれぞれ介して、対応するドレイン駆動回路 6 に入力されている。

【0055】

さらに、コントロール基板 10 には、映像信号源 22 からケーブル 23 によってインターフェース基板 24 を介して映像信号が供給され、該コントロール基板 10 に搭載されたコントロール回路 12 に入力されるようになっている。

【0056】

なお、この図では、液晶表示パネル PNL、ゲート回路基板 15、ドレイン回路基板 16A、16B、およびコントロール基板 10 がほぼ同一平面内に位置づけられるように描かれているが、実際には該コントロール基板 10 はゲート回路基板 15、ドレイン回路基板 16A、16B の部分で屈曲されて液晶表示パネル 1 に対してほぼ直角になるように位置づけられるようになっている。

30

【0057】

いわゆる額縁の面積を小さくさせる趣旨からである。ここで、額縁とは、液晶表示パネル PNL の外枠の輪郭と表示領域 AR の輪郭の間の領域をいい、この領域を小さくすることによって、外枠に対して表示部の面積を大きくできる効果を得ることができる。

《画素の構成》

ここで、前記液晶表示パネル PNL は、上述したように、その表示領域部 AR がマトリクス状に配置された多数の画素 2 から構成され、このうちの一の画素の構成は図 3 に示すようになっている。また、図 4 は図 3 の IV-IV 線における断面図を、図 5 は図 3 の V-V 線における断面図を示している。

40

【0058】

同図において、透明基板 SUB1 の主表面に、x 方向に延在するゲート信号線 GL と基準電圧信号線 CL とが形成されている。そして、これら各信号線 GL、CL と後述の y 方向に延在するドレイン信号線 DL とで囲まれる領域が画素領域として形成されることになる。

【0059】

すなわち、この実施例では、ゲート信号線 GL との間に基準電圧信号線 CL が走行して形

50

成され、その基準電圧信号線 C L を境にして  $\pm y$  方向のそれぞれに画素領域が形成されることになる。

【 0 0 6 0 】

このようにすることによって、 $y$  方向に並設される基準電圧信号線 C L は従来の約半分に減少させることができ、それによって閉められていた領域を画素領域側に分担させることができ、該画素領域の面積を大きくすることができるようになる。

【 0 0 6 1 】

各画素領域において、前記基準電圧信号線 C L にはそれと一体となって  $y$  方向に延在された基準電極 C T がたとえば 3 本等間隔に形成されている。これら各基準電極 C T はゲート信号線 G L に接続されることなく近接して延在され、このうち両脇の 2 本はドレイン信号線 D L に隣接して配置され、残りの 1 本は中央に位置づけられている。

10

【 0 0 6 2 】

さらに、このようにゲート信号線 G L、基準電圧信号線 C L、および基準電極 C T が形成された透明基板 S U B 1 の主表面には、これらゲート信号線 G L 等をも被ってたとえばシリコン窒化膜からなる絶縁膜 G I が形成されている。この絶縁膜 G I は後述するドレイン信号線 D L に対してはゲート信号線 G L および基準電圧信号線 C L との絶縁を図るための層間絶縁膜として、薄膜トランジスタ T F T に対してはゲート絶縁膜として、蓄積容量 C s t g に対しては誘電体膜として機能するようになっている。

【 0 0 6 3 】

この絶縁膜 G I の表面には、まず、その薄膜トランジスタ T F T の形成領域において半導体層 A S が形成されている。この半導体層 A S はたとえばアモルファス S i からなり、ゲート信号線 G L 上において後述するドレイン信号線 D L に近接された部分に重畳されて形成されている。これにより、ゲート信号線 G L の一部が薄膜トランジスタ T F T のゲート電極を兼ねた構成となっている。

20

【 0 0 6 4 】

そして、この絶縁膜 G I の表面にはその  $y$  方向に延在しかつ  $x$  方向に並設されるドレイン信号線 D L が形成されている。このドレイン信号線 D L は、薄膜トランジスタ T F T を構成する前記半導体層 A S の表面の一部にまで延在されて形成されたドレイン電極 S D 1 が一体となって備えられている。

【 0 0 6 5 】

さらに、画素領域における絶縁膜 G I の表面には薄膜トランジスタ T F T のソース電極 S D 2 に接続された画素電極 P X が形成されている。この画素電極 P X は前記基準電極 C T のそれぞれの中央に  $y$  方向に延在して形成されている。すなわち、画素電極 P X の一端は前記薄膜トランジスタ T F T のソース電極 S D 2 を兼ね、そのまま  $y$  方向に延在され、さらに基準電圧信号線 C L 上を  $x$  方向に延在された後に、 $y$  方向に延在するコ字形状となっている。

30

【 0 0 6 6 】

ここで、画素電極 P X の基準電圧信号線 C L に重畳される部分は、該基準電圧信号線 C L との間に前記絶縁膜 G I を誘電体膜とする蓄積容量 C s t g を構成している。この蓄積容量 C s t g によってたとえば薄膜トランジスタ T F T がオフした際に画素電極 P X に映像情報を長く蓄積させる効果を奏するようにしている。

40

【 0 0 6 7 】

なお、前述した薄膜トランジスタ T F T のドレイン電極 S D 1 とソース電極 S D 2 との界面に相当する半導体層 A S の表面にはリン ( P ) がドーピングされて高濃度層となっており、これにより前記各電極におけるオーミックコンタクトを図っている。この場合、半導体層 A S の表面の全域には前記高濃度層が形成されており、前記各電極を形成した後に、該電極をマスクとして該電極形成領域以外の高濃度層をエッチングするようにして上記の構成とすることができる。

【 0 0 6 8 】

そして、このように薄膜トランジスタ T F T、ドレイン信号線 D L、画素電極 P X、およ

50



び蓄積容量  $C_{stg}$  が形成された絶縁膜  $G_I$  の上面にはたとえばシリコン窒化膜からなる保護膜  $P_{SV}$  が形成され、この保護膜  $P_{SV}$  の上面には配向膜  $O_{RI1}$  が形成されて、液晶表示パネル  $P_{NL}$  のいわゆる下側基板を構成している。

【0069】

ここで、基準電極  $C_T$  および画素電極  $P_X$  はそのいずれにおいても金属のような不透光性の材料層で形成してもよく、また、少なくともいずれか一方をたとえば  $ITO$  (Indium-Tin-Oxide) 等の透光性の材料層で形成してもよい。後者の場合、画素の開口率を向上させる効果を奏する。

【0070】

また、上側基板となる透明基板 (カラーフィルタ基板)  $SUB2$  の液晶側の部分には、各画素領域に相当する部分に開口部を有するブラックマトリクス  $B_M$  が形成されている。

10

【0071】

さらに、このブラックマトリクス  $B_M$  の画素領域に相当する部分に形成された開口部を被ってカラーフィルタ  $FIL$  が形成されている。このカラーフィルタ  $FIL$  は  $x$  方向に隣接する画素領域におけるそれとは異なった色を備えたとともに、それぞれブラックマトリクス  $B_M$  上において境界部を有するようになっている。

【0072】

また、このようにブラックマトリクス  $B_M$ 、およびカラーフィルタ  $FIL$  が形成された面には樹脂膜等からなる平坦膜  $OC$  が形成され、この平坦膜  $OC$  の表面には配向膜  $O_{RI2}$  が形成されている。

20

【0073】

ここで、この実施例では、画素電極  $P_X$  と基準電極  $C_T$  との間に電界を生じせしめない場合には、液晶の光透過率が最小となるいわゆるノーマリブラックモードの構成となっている。

【0074】

そして、ドレイン信号線  $DL$  に供給される映像信号 (電圧) の最大振幅を、液晶層  $LC$  の相対透過率を 90% とするのに要する電圧 ( $V_{90}$ ) 以下となるように設定されている。

【0075】

本実施例の液晶表示装置がノーマリブラックモードであり、このことを背景に、液晶駆動電圧の大幅な減少と、コントラスト比低下の影響を抑制することができる。

30

【0076】

すなわち、図 1 は、ノーマリブラックモードでの液晶駆動電圧 ( $V$ ) と相対輝度 (%) の関係を示したグラフである。ノーマリブラックモードの場合、白表示輝度は電圧に依存するが、相対輝度 100% を与える電圧 ( $V_{max}$ ) の近傍では飽和傾向を示すことになる。このことは相対輝度 100% を与える電圧 ( $V_{max}$ ) の近傍で液晶を駆動させても輝度にあまり変化はないことを意味する。

【0077】

このため、輝度を 90% 以下に抑えて白表示をすることによって、液晶の駆動電圧を大幅に低減できることになる。

【0078】

40

このことは、映像信号をドレイン信号線  $DL$  に供給するドレイン駆動  $IC$  として、その出力の小さいものを選択でき、また発熱の量も低減させることができるようになる。

【0079】

また、この場合の黒表示は無通電状態であるため、ノーマリホワイトモードの場合 (その特性を図 6 に示す) と比べて、コントラスト比への影響を抑制できるようになる。

(実施例 2)

また、この実施例では、基準電圧信号線  $CL$  を介して各画素領域の基準電極  $C_T$  に供給する基準信号をフレーム単位で反転させていることにある。

【0080】

このことは、図 7 に示すように、フレーム単位で反転される基準信号に対して映像信号の

50

振幅  $V$  を定めることから、全体としての映像信号の振幅を小さくすることができる。

【0081】

比較のため、図8に示すように基準信号をフレーム単位で一定である場合を考えると、映像信号は基準信号に対して(+)側に振幅  $V$ 、(-)側に振幅  $V$  を取る必要が生じる。

【0082】

このため、本実施例の場合、図8と比較すると映像信号の振幅を半分にすることができる。

【0083】

このことは、ドレイン駆動ICとして、その出力の小さいものを選択でき、また発熱の量も低減させることができるようになる。

10

(実施例3)

また、この実施例では、ドレイン信号線DLと基準電圧信号線CLのうち、1フレームあたりの平均電圧振幅の大きい方の信号が供給される信号線が他方の信号線よりも低抵抗に構成されている。

【0084】

信号線に入力される各種駆動波形はその入力端では図9(a)に示すように方形波に近い形状を有するが、信号線の抵抗および寄生容量のため、遠端では図9(b)に示すような歪んだ波形となる。

【0085】

液晶表示パネルPNLでは表示面の全域で均一な表示が要求され、実際の入力信号はこの波形の歪み分を考慮して入力電圧振幅を予め高めておくことが必要となるが、これにともない駆動電圧のさらなる上昇を行なわなければならない。

20

【0086】

そこで、1フレームあたりの平均振幅の最も大きい信号が加わる信号線に、他方の信号線よりも低抵抗の配線を用いることにより、特に大きな電圧信号を用いることなく、振幅の大きい信号線での波形歪を低減させるようにしている。

【0087】

この場合、基準信号(電圧)を一定とする駆動(図8参照)では、ドレイン信号線DLの配線の比抵抗を基準電圧信号線CLのそれよりも低くすることが得策となる。

【0088】

たとえば、ドレイン信号線DLはAlもしくはそれを含む合金あるいはそれらの多層構造とし、基準信号線はAl、Cr、Ta、Mo、Wもしくはそれらのうち少なくとも1つを含む合金あるいはそれらの多層構造とすることができる。

30

【0089】

また、ドレイン信号線DLはCrもしくはそれを含む合金あるいはそれらの多層構造とし、基準信号線はCr、Ta、Mo、Wもしくはそれらのうち少なくとも1つを含む合金あるいはそれらの多層構造とすることができる。

【0090】

さらに、ドレイン信号線DLはAl、Cr、Mo、Ta、Wもしくはそれを含む合金あるいはそれらの多層構造とし、基準信号線はITO、 $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、IZO、 $\text{ZnO}_2$  もしくはそれらのうち2つの混合体あるいはそれらの多層構造とすることができる。

40

【0091】

また、基準電圧信号CLをフレーム毎に反転させる駆動では、基準電圧信号線CLの比抵抗をドイン信号線DLのそれよりも低くすることが得策となる。

【0092】

たとえば、ドレイン信号線DLはAl、Cr、Ta、Mo、Wもしくはそれらのうち一つを含む合金あるいはそれらの多層構造とし、基準信号線はAl、Crもしくはそれらのうち少なくとも1つを含む合金あるいはそれらの多層構造とすることができる。

【0093】

なお、ドレイン信号線DLと基準電圧信号線CLは同種の材料の多層構造で構成して、上

50

記の関係をたとえば一方の線幅を大きくしたり小さくしたりして充足させるようにしてもよいことはいうまでもない。

(実施例4)

図10(a)は図2のx-x線における断面を示した図である。半導体チップからなるドレイン駆動IC6はその入力パンプ、出力パンプが形成された面を透明基板SUB1に対向させ(フェースダウン)、それぞれの各パンプは透明基板SUB1面に形成された配線層の端子と接続されている(この明細書ではFCA方式と称す)。

【0094】

この場合、ドレイン駆動IC6は並設された入力パンプ群と出力パンプ群との間の領域にて、少なくとも該パンプの高さ以上の間隙を透明基板SUB1側との間に有している。

10

【0095】

そして、この間隙を埋めるようにして該透明基板SUB1側に応力緩衝層31が形成されている。これにより、該透明基板SUB1側に形成された応力緩衝層31によって前記ドレイン駆動IC6の撓み(該ドレイン駆動ICの中央部において透明基板SUB1側へ凹部となる撓み)を吸収するようになっている。

【0096】

このようにした場合、ドレイン駆動IC6に生じる応力が透明基板SUB1側へ伝達し難くなり、その近傍における透明基板SUB1と透明基板SUB2との局所的アライメントずれを回避できるようになる。

【0097】

20

また、図10(b)は、他の実施例を示す構成図で、図10(b)と対応した図となっている。

【0098】

この図10(b)において、応力緩衝層31はドレイン駆動IC6の実装領域に限らずその周辺にまで到って形成されている。また、ドレイン駆動IC6の各パンプと接続される配線層(ドレイン信号線DL)は該応力緩衝層31の上面に形成されている。

【0099】

なお、各画素領域に形成される前記保護膜PSVをたとえばSiN膜からなる無機材料層および樹脂からなる有機材料層の順次積層体で形成する場合がある。たとえば保護膜PSVとしてその誘電率を小さくさせたい場合、あるいは無機材料層のクラック等を有機材料層で被覆させたい場合等の要求があるからである。

30

【0100】

この場合において、前記応力緩衝層31として前記有機材料層の形成の際に同時に形成することによって(そのまま延在させて形成してもよい)製造工数の増大を回避できる効果を有する。

【0101】

なお、この実施例ではドレイン駆動IC6について説明したものであるが、ゲート駆動IC5においても事情が同じであることから、このゲート駆動IC5の実装領域においても同様の構成を採用してもよいことはもちろんである。

(実施例5)

40

上述した各実施例では、透明基板SUB1をガラス基板として説明したものであるが、この実施例では該透明基板SUB1として特に樹脂で構成された樹脂基板を用いたものである。

【0102】

この透明基板SUB1にはドレイン駆動IC6およびゲート駆動IC5が実装されており、その基板としてガラスより伸縮性の高い樹脂を用いることにより、該各駆動ICに生じる応力による不都合が解消できる。

【0103】

上述した各実施例のうち少なくとも一つを採用することにより、駆動ICの駆動電力を低減させることができ、また、それによる発熱量をも低減させることができることができる

50

ことから、図 1 1 に示すように、表示領域部 A R のうち該駆動 I C に近接する領域 T R において、該発熱による影響（変色等）を回避することができる。

（実施例 6）

図 1 2 に示すように、液晶を介して対向配置される各透明基板のうち透明基板 S U B 2 にはブラックマトリクス B M と称される遮光膜が形成されている。なお、同図において、その（a）は平面図を、（b）は（a）の b - b 線における断面図を示している。

【0104】

そして、透明基板 S U B 1 と透明基板 S U B 2 とのギャップを確保するためのスペーサとして、たとえば透明基板 S U B 2 側に形成した樹脂層をフォトリソグラフィ技術による選択エッチングによって形成した支柱 3 3 を用いている。

【0105】

この支柱 3 3 は各画素領域の集合として形成される表示部内に所定どおりの位置に配置させることができ、前記ブラックマトリクス B M と重ねられるようにして形成されている。

【0106】

支柱 3 3 の周辺には液晶の分子の配向乱れが生じやすく、これが目視されやすいからである（ドメインと称される）。

【0107】

そして、この実施例では、ドレイン駆動 I C 6、ゲート駆動 I C 5 の近傍におけるブラックマトリクスの幅を他の部分におけるブラックマトリクスの幅よりも大きく形成している。

【0108】

このようにした理由は、各駆動 I C の近傍は該駆動 I C の発熱のために透明基板 S U B 1、S U B 2 のアライメントずれが発生しやすく、該アライメントずれによって前記ドメインが目視され易くするからである。

【0109】

なお、この遮光膜としてはブラックマトリクス B M に限定されることはなく、他の目的で形成される遮光膜であっても適用できることはいうまでもない。

（実施例 7）

この実施例では、表示部内の前記支柱を、2 単位画素 ~ 8 単位画素あたり 1 個となる密度で配置させたことにある。

【0110】

ここで、単位画素とは R G B もしくは C M Y セットで 1 単位画素と定めるものとする。

【0111】

仮に、前記支柱を 8 単位画素あたり 1 個未満で配置させた場合、応力によって上下の基板が容易に動いてしまい、かえってアライメントのずれが悪化し、また該応力に対して支柱の強度がもたず、塑性変形で上下基板のギャップの均一性が阻害されるに到る。

【0112】

上述した各実施例は、たとえば図 1 3 に示す画素構成の液晶表示装置に適用したものであるが、これ以降に示す画素構成の液晶表示装置にも適用できるものである。

（実施例 8）

この実施例では、図 1 3 に示すように、ドレイン信号線 D L と画素電極 P X が同層に位置づけられ、基準電極 C T は保護膜 P S V 1 を介して該ドレイン信号線 D L と画素電極 P X の上層に形成されている。また、この基準電極 C T はゲート信号線 G L と同層に形成された基準電圧信号線 C L とスルホール T H を通して互いに接続されている。なお、同図において、その（a）は平面図を、（b）は（a）の b - b 線における断面図を、（c）は（a）の c - c 線における断面図を示している。

【0113】

そして、基準電極 C T をドレイン信号線 D L に重なるようにして形成し、これによりドレイン信号線 D L と基準電極 C T の間に発生する電界による液晶の予期しない挙動（ドメイン）を目視できないようにしている。

## 【0114】

すなわち、ドレイン信号線DLからの電界によって発生するドメインを前記基準電極CTによって遮光させた構成となっている。

## 【0115】

また、このようにすることによって、ドレイン信号線DLからの電界は電位が固定された基準電極CT側に終端され、画素領域側への影響を抑制できるようになる。

## 【0116】

そして、前記基準電極CTとしては、金属層のような不透明の導電層で形成する場合と、ITO (Indium-Tin-Oxide) のような透明の導電層で形成する場合とが考えられる。

## 【0117】

ここで、透明の導電層で基準電極CTを構成した場合、この基準電極CTをドメインの目視を遮光する遮光膜としての機能をもたせるためには、いわゆるノーマリホワイトモードにすることが必要になる。

## 【0118】

ノーマリホワイトモードは、画素電極CTと基準電圧電極CLとの間に電界が発生していない場合に液晶の光透過率を最低にできる該液晶の材料の選択によって構成することができる。

## 【0119】

なお、透明の導電層としてはITOに限定されることはなく、たとえば $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、 $\text{IZO}$ 、 $\text{ZnO}_2$ 、それらの混合物、あるいは積層体であってもよい。

## 【0120】

また、この実施例では、基準電極CTの上面に保護膜PSV2が形成され、この保護膜PSV2の上面に配向膜（図示せず）が形成されている。

## 【0121】

この場合、保護膜PSV2として樹脂等の有機材料を用いることができ、このようにした場合、その表面を平坦化できる等の効果を奏する。

## （実施例9）

この実施例は、実施例8（図13）に示した構成において、保護膜PSV1をたとえばSiNからなる無機材料と樹脂からなる有機材料との順次積層体で構成したものである。

## 【0122】

このようにした場合、画素電極PXと基準電極CTとの間の誘電率を低く抑えることができる効果を奏する。

## （実施例10）

この実施例では、上述した実施例8（図13）の構成において、基準電極CTを特に金属層で構成した場合に、その上面に該基準電極CTをも被って保護膜PSV2を形成し、この保護膜PSV2の上面に配向膜を形成する構成としたものである。

## 【0123】

基準電極CTを金属層で構成した場合に、この金属層は極めて薄い配向膜を介して液晶と対向することになり、該金属層は液晶と化学反応を起こしやすく、たとえば電食等の不都合な現象が生じる。

## 【0124】

このため、基準電極CTと配向膜との間に絶縁膜を介在させることによって、該基準電極CTの保護を図っている。

## 【0125】

前記絶縁膜としてはたとえばSiN、 $\text{SiO}_2$ のような無機材料、あるいは樹脂のような有機材料であってもよい。

## （実施例11）

この実施例では、図13に示すように、基準電極CTに基準信号を供給するための基準信号線CLがゲート信号線GTと同層に形成され、かつ、ゲート信号線GTと同一の材料（金属層）で形成されている。

## 【 0 1 2 6 】

基準信号線 C L はゲート信号線 G L とほぼ平行に配置されているとともに、互いに隣接するゲート信号線 G L のほぼ中央に位置づけられている。

## 【 0 1 2 7 】

そして、基準電極 C T は前記基準信号線 C L が形成された透明基板 S U B 1 の面から絶縁膜 G I および保護膜 P S V 1 を介して該保護膜上に形成されている。

## 【 0 1 2 8 】

基準信号線 C L と基準電極 C T との接続は画素領域のほぼ中央にて保護膜 P S V 1 と絶縁膜 G I に形成されたスルホール T H を通してなされている。

## 【 0 1 2 9 】

基準電極 C T はたとえば I T O 膜によって形成され、図中 y 方向に延在して x 方向に並設される合計 3 本の電極として形成されている。

## 【 0 1 3 0 】

この場合、中央の基準電極 C T は前記スルホール T H を介して基準信号線 C L に接続され、この基準電極 C T を除く残りの 2 本の基準電極 C T はそれぞれ映像信号線 D L に重畳されて形成され、また、各基準電極 C T の上下の端部はそれぞれゲート信号線 G L に重畳された I T O 膜によって互いに接続されている。

## 【 0 1 3 1 】

このため、保護膜 P S V 1 上に形成された I T O 膜は画素領域を囲むようにして、換言すれば、ドレイン信号線 D L およびゲート信号線 G L 上に重ねられ、かつそれら信号線の幅よりも大きな幅を有するようにして形成されている。

## 【 0 1 3 2 】

そして、この I T O 膜は他の隣接する画素領域の I T O 膜と一体に形成されている。

## 【 0 1 3 3 】

このようにした場合、I T O 膜は表示領域内において格子状のパターンとして形成されるため、それ自体の抵抗値を低減させる効果を有する。

## 【 0 1 3 4 】

そして、この I T O 膜に基準信号を供給する基準信号線 C L は抵抗値の低い金属層で形成していることから、基準電極 C T に供給される基準信号の信号歪みの発生を抑制できるようになる。

## ( 実施例 1 2 )

この実施例では、上記実施例 1 1 の構成において、保護膜 P S V 1 をたとえば S i N からなる無機材料と樹脂からなる有機材料との順次積層体から構成されるようにしたものである。

## ( 実施例 1 3 )

実施例 1 1、1 2 において、基準電圧信号線 C L を金属層で形成するとともに、基準電極 C T を I T O 等の透光性の導電層で形成したものであるが、基準電圧信号線 C L の材料層の抵抗が基準電極 C T の材料層の抵抗より小さい限り、これらの材料は必ずしも限定されることはない。

## 【 0 1 3 5 】

このようにすることにより、基準電圧信号線 C L と基準電極 C T の全体の抵抗を低減でき、各基準電極 C T に供給される基準信号の電位の安定化を確保できるようになる。

## ( 実施例 1 4 )

実施例 1 1 ( 図 1 3 ) の構成において、ノーマリブラックモードを採用していることにある。

## 【 0 1 3 6 】

すなわち、画素電極 P X と基準電極 C T の間に電界が印加されていない場合は液晶の光透過率が最低となる ( 黒表示 ) ようになっている。

## 【 0 1 3 7 】

この場合、基準電極 C T を一部として構成した I T O 膜は遮光膜として機能し、ゲート信

10

20

30

40

50

号線GLおよびドレイン信号線DLを十分に被った遮光膜が形成されるようになる。

【0138】

このことは、同様の機能を有するたとえばブラックマトリクス等の遮光膜を別個の工程で形成しなくてもよいという効果を奏する。

【0139】

なお、この場合、基準電極を一部として形成する材料としては、ITOに限ることはなく、 $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、IZO、 $\text{ZnO}_2$ またはそれらの混合体、積層体であってもよい。

(実施例15)

実施例11ないし14の各構成において、基準電極CTを一部として形成する材料層は、表示領域内において格子状のパターンとして形成されるため、この材料層にも基準信号を供給することができる。

10

【0140】

このため、この実施例では、基準電圧信号線CLはもちろんのこと、基準電極CTを一部として形成する材料層にも基準信号を供給するようにし、この場合、基準信号線CLの延在方向と直交する方向から該基準信号を供給する構成としている。

【0141】

すなわち、基準電極CTを一部として形成する材料層の周辺のうち、図中x方向に平行なる周辺のうちいずれか、あるいはその双方から基準信号を供給するようになっている。

【0142】

この場合、図14に示すように、該材料層の一辺に帯状の低抵抗の金属層35を重畳させ、この金属層を介して基準信号を供給するようになっている。

20

【0143】

このようにすることによって、各画素領域における基準電極CTに供給される基準信号の波形歪みを緩和させることができる。

【0144】

なお、この実施例においては、前記基準電極CTを一部とする材料層は透光性の高い材料あるいは金属層であってもよいことはいうまでもない。

(実施例16)

この実施例では、上記実施例13ないし15のいずれかの構成において、基準信号を1フレーム毎に反転(コモン反転駆動)させるように構成したものである。

30

【0145】

上述したように、基準電圧信号線CLは基準電極CTより低抵抗に構成しているため、基準信号の基準電極CTへの供給の際の信号波形歪みを少なくできる。

【0146】

また、コモン反転駆動をしていることから、ドレイン駆動ICの出力を低減でき、該ドレイン駆動ICとして出力の小さいものを用いることができる。

【0147】

この場合、ドレイン駆動ICの実装としてFCA方式を採用している場合、該ドレイン駆動ICの発熱が小さいことから、信頼性あるドレイン駆動ICの使用ができる。

【0148】

40

なお、このような構成として、基準電圧信号線DL(A1、Cr、Ta、Mo、Wおよびそれらの混合体あるいは積層体)における信号歪みの抑制とともに、ドレイン信号線における信号歪みもその材料をA1、Crおよびそれらの混合体あるいは積層体とすることによって抑制できるようになる。

(実施例17)

この実施例では、図13に示すように、画素領域内に形成するスルホールTHを隣接する各画素電極PXのほぼ中央に形成し、このスルホールTHによって基準電圧信号線CLと基準電極CTの接続を図っている。

【0149】

このように構成した場合、スルホールTHとそれに隣接する画素電極PXとの短絡の発生

50

の確率を小さくできるようになる。

(実施例 18)

この実施例では、スルホール TH の径を、図 13 に示すように、基準電圧信号線 CL の幅よりも小さく、しかも基準電極 CT の幅よりも小さくしたことにある。

【0150】

このようにした場合、基準電極 CT の該スルホール TH 部での断線の発生を低減することができるようになる。

(実施例 19)

この実施例では、図 15 に示すように、基準電圧信号線 CL と保護膜 PSV1 を介して該保護膜 PSV1 上に基準電極 CT を一部とする材料層が形成され、この材料層は少なくとも基準信号線 CL に沿って重畳された帯状の部分 37 と、この帯状の部分 37 と交差するようにして延在する基準電極 CT を有し、これらの交差部において、スルホール TH を通して前記基準電圧信号線 CL に接続された構成となっている。

10

【0151】

このように構成することによって、基準電圧信号線 CL からの電位を基準電極 CT に低抵抗で伝達できるので、基準電位の歪をいっそう抑制できる。

(実施例 20)

この実施例では、図 16 に示すように、基準電圧信号線 CL と保護膜 PSV1 を介して該保護膜 PSV1 上に基準電極 CT を一部とする材料層が形成され、この材料層は少なくとも基準電圧信号線 CL と交差して延在する基準電極 CT を有するとともに、該基準電圧信号線 CL との交差部にてそれ以外の部分よりも幅が広く形成され、この幅が広く形成された部分において、スルホール TH を通して前記基準電圧信号線 CL に接続された構成となっている。

20

【0152】

このように構成することによって、スルホール TH 部での基準電極 CT の断線を回避することができる。

(実施例 21)

この実施例は、図 17 に示すように、図 15 に示した構成と類似し、まず、基準電極 CT を一部とする材料層が金属層からなる不透光性の導電材で構成されている。

【0153】

そして、基準電圧信号線 CL に沿って重畳して形成される材料層は、その中心軸が該基準電圧信号線 CL の中心軸とほぼ一致づけられているとともに、その幅が該基準電圧信号線 CL の幅よりも小さく形成されている。

30

【0154】

このように構成することによって、画素領域における光透過領域を大きくでき、開口率の向上が図れる。

(実施例 22)

この実施例は、図 18 に示すように、基準電圧信号線 CL と保護膜 PSV1 を介して該保護膜 PSV1 上に基準電極 CT を一部とする材料層が形成され、この材料層は少なくとも基準電圧信号線 CL に沿って重畳された帯状の部分と、この帯状の部分と交差にして延在する基準電極 CT を有し、これら交差部において、スルホール TH を通して前記基準電圧信号線 CL に接続された構成となっているとともに、該スルホール TH の近傍にて、前記基準電極 CT が該スルホール TH に近づくにつれ幅広に構成されている。

40

【0155】

そして、この場合、基準電極 CT は不透光性の金属層から形成され、基準電圧信号線 CL に沿って重畳された前記帯状の部分の幅は該基準電圧信号線 CL のそれよりも小さく形成されている。

(実施例 23)

この実施例では、図 19 に示すように、たとえば実施例 11 (図 15) の構成において、ゲート信号線 GL を被って形成される基準電極を一部とする材料層をその薄膜トランジス

50



タ T F T に対向する部分に開口（該材料層の非形成領域）を設けていることにある。

【 0 1 5 6 】

薄膜トランジスタ T F T の上部に電位が加わると、該薄膜トランジスタ T F T のしきい値が変動することから（バックチャネル）、上記開口によってこの不都合を回避せんとするものである。

（実施例 2 4）

この実施例では、図 2 0 に示すように、たとえば実施例 1 1 の構成において、薄膜トランジスタ T F T に対向する部分に形成された前記材料層の開口をドレイン信号線 D L 側へゲート信号線 G L に沿って延在するようにして大きく形成し、該ドレイン信号線 D L の一部が該開口に対向するようにしている。

10

【 0 1 5 7 】

このように構成することによって、基準電極 C T の電位から薄膜トランジスタ T F T のバックチャネルへの飛込み電圧の影響を回避できるようになる。

（実施例 2 5）

この実施例では、図 2 1 に示すように、ドレイン信号線 D L と重畳する基準電極 C T と隣接する他の基準電極 C T との間に形成される材料層の開口を薄膜トランジスタ T F T の形成領域にまで広げることによって該材料層が薄膜トランジスタと重なることのないようにしている。

【 0 1 5 8 】

このように構成した場合でも基準電極 C T から薄膜トランジスタ T F T のバックチャネルへの飛込み電圧の影響を回避できる。

20

【 0 1 5 9 】

また、該材料層の微細加工を必要としないことから（たとえば実施例 1 1 と比較して）、歩留まりの向上が図れる。

（実施例 2 6）

この実施例では、図 2 2 に示すように、実施例 2 5 の構成（図 2 1）において、ドレイン信号線 D L と重畳する基準電極 C T と隣接する他の基準電極 C T との間に形成される材料層の開口を薄膜トランジスタ T F T の形成領域を超えて、ゲート信号線 G L を間にして隣接する他の画素領域にまで及んで形成されている。

【 0 1 6 0 】

30

この場合においても、該材料層の微細加工を必要としないことから（たとえば実施例 2 4 と比較して）、歩留まりの向上が図れる。

【 0 1 6 1 】

なお、実施例 2 3 ないし 2 6 の構成は、そのいずれもが基準電極 C T と基準電圧信号線 C L とが異なる層として形成されるものであるが、これに限定されず、該基準電極と基準信号線とが同層でかつ一体に形成されている場合であっても適用できることはいうまでもない。

（実施例 2 7）

図 2 3 はたとえば図 1 3 の XXIII - XIII 線における断面図で、基準電圧信号線 C L と基準電極 C T との接続を行うためのスルホール T H の断面を示している。

40

【 0 1 6 2 】

透明基板 S U B 1 の表面にまず基準電圧信号線 C L が形成され、この基準電圧信号線 C L をも被って基板上に S i N 膜からなる絶縁膜 G I が形成されている。この絶縁膜 G I は薄膜トランジスタ T F T のゲート絶縁膜として機能するものである。また、この絶縁膜 G I の上面には保護膜 P S V 1、P S V 2 が形成され、これら保護膜 P S V 1、P S V 2 は S i N 膜からなる無機材料および樹脂膜からなる有機材料の順次積層体からなっている。

【 0 1 6 3 】

そして、前記保護膜 P S V 2、P S V 1 および絶縁膜 G I にまで到って前記基準電圧信号線 C L の一部を露出させるスルホール T H が形成され、このスルホール T H 内の前記絶縁膜 G I としての S i N 膜と前記保護膜 P S V 1 としての S i N 膜の側壁には S i O<sub>2</sub> 膜 4

50

0が形成されている。

【0164】

これにより、該スルホールTHの側壁における斜面を滑らかな面に形成でき、基準電極CTの段差による段切れを回避できる構成となっている。

【0165】

比較のため、図26は前記SiO<sub>2</sub>膜を形成していない状態を示す断面図であり、絶縁膜GIとしてのSiN膜と保護膜PSV1としてのSiN膜との間、保護膜PSV1としてのSiN膜と保護膜PSV2としての樹脂膜との間には段差が生じている。

【0166】

絶縁膜GIとしてのSiN膜は薄膜トランジスタFTのゲート絶縁膜としての機能をもたすことからその密度が緻密になるのに対し、保護膜PSV1としてのSiNはスループットの向上を優先させることからその密度が該絶縁膜GIよりも疎となっている。

10

【0167】

このため、積層体の各材料においてエッチングレートが異なることから、図26に示したような段差が生じることになる。

【0168】

前記SiO<sub>2</sub>膜40の形成方法としては、たとえば前記SiN膜のエッチングの際にO<sub>2</sub>ガスを導入しアッシング処理を行う方法を採用できる。

【0169】

また、他の方法として、樹脂層をドライエッチングし、その際にO<sub>2</sub>を含むガスによりエッチングを行う方法を採用できる。

20

(実施例28)

この実施例は前記スルホールTHの構成の他の実施例であり、図24にその断面図を示している。

【0170】

ここでは、保護膜PSV2としての樹脂膜が、その保護膜PSV1の下層に形成されるSiN膜(保護膜PSV1)さらにその下層のSiN膜(絶縁膜GI)の各側壁を被うようにして形成されている。

【0171】

このように構成した場合、SiN膜(絶縁膜GI)とSiN膜(保護膜PSV1)との間の段差は樹脂膜によって被われるとともに、スルホールTHの側壁の全域にわたって樹脂膜が形成されることからその斜面は滑らかなものとして形成される。

30

【0172】

このため、このスルホールTHを通して基準電圧信号線CLと接続される基準電極CTの段差による段切れを回避できる。

【0173】

なお、このようなスルホールTHの生成方法として、まず、透明基板SUB1上に形成された絶縁膜GIとしてのSiN膜、保護膜PSV1としてのSiN膜にスルホールTHを形成する。そして、このスルホールTHをも被って基板上に保護膜PSV2としての樹脂膜を形成し、この樹脂膜に前記スルホールTHと同心的にしかも該スルホールTHの径よりも小さい径でスルホールTHを形成する方法が採用される。

40

【0174】

この場合、樹脂膜として光分解性のものあるいは光硬化性のものを用いることができることはいうまでもない。

(実施例29)

この実施例では、図25に示すように、スルホールTHを形成する絶縁膜が多層構造であることに鑑み、基準電圧信号線CLと基準電極CTとの接続において他の導電層42を介在させていることにある。

【0175】

すなわち、絶縁膜GI、無機材料からなる保護膜PSV1、有機材料からなる保護膜PS

50

V 2 との順積層体において、前記絶縁膜 G I に形成したスルホール T H を介して基準電圧信号線 C L と接続される導電層 4 2 を形成し、さらに、無機材料および有機材料の順次積層体からなる保護膜 P S V に形成したスルホール T H を介して前記導電層 4 2 と接続させる基準電極 C T を形成している。

【 0 1 7 6 】

スルホール T H はその底部にいくに従い径が小さくなる形状となっているため、該スルホール T H からの露呈面積が基準電圧信号線 C L の場合よりも大きな前記導電層 4 2 を介して基準電圧信号線 C L と基準電極 C T との接続を行うことにより、断線の発生率を低減させるとともに、接触抵抗の低減を図ることができる。

【 0 1 7 7 】

また、基準電圧信号線 C L に対して接続が良好でない材料からなる基準電極 C T の場合、該導電層 4 2 の材料の選択によってこの不都合を回避できる効果も奏する。

【 0 1 7 8 】

たとえば基準電圧信号線 C L が A l 系の材料、基準電極 C T が I T O 等のような透光性の導電膜の場合がそうであり、この場合、前記導電層 4 2 として C r 系の材料を用いることにより、互いの接続が良好となる。

【 0 1 7 9 】

また、この導電層 4 2 は、たとえばドレイン信号線 D L の形成と同時に形成することによって、製造工数の増大を回避できる。

【 0 1 8 0 】

なお、この実施例では、基準電圧信号線 C L と基準電極 C T との接続について説明したものであるが、これらに限定することなく、スルホールを介して各導電層を接続する場合に適用できる。

( 実施例 3 0 )

図 2 7 ( a ) ないし ( b ) は、それぞれ画素領域内に形成するスルホールを、表示領域を全体として見た場合にその配置状態の各実施例を示した平面図である。

【 0 1 8 1 】

各図は、カラー表示の三原色 R、G、B をそれぞれ担当する各画素領域が隣接して形成され、以下の説明では、この 3 つの各画素をカラー表示における単位画素と表現する場合がある。

【 0 1 8 2 】

図 2 7 ( a ) は、スルホール T H がたとえば一個おきの画素領域に形成されている。このため、各単位画素において該スルホールが 1 個の場合もあるし、2 個の場合もある。

【 0 1 8 3 】

このようにした場合、スルホールが低減する分だけ開口率が向上するという効果を奏する。

【 0 1 8 4 】

なお、このように構成する場合、画素領域の構成は、たとえば図 1 3 に示すように、基準電極 C T が表示面上に格子状に形成され、この基準電極 C T に基準電圧信号線 C L を介して基準信号を供給できる構成となっている。

【 0 1 8 5 】

図 2 7 ( b ) は、単位画素あたり 1 個のスルホール T H が形成され、このスルホールは G ( 緑 ) の色を担当する画素領域内に形成されている。

【 0 1 8 6 】

G ( 緑 ) の色を担当する画素領域は他の色を担当する画素領域よりも光の透過率が高いため、この領域にスルホール T H を形成することにより、該スルホール T H の形成による開口率の低減を極力抑えるようにしている。

( 実施例 3 1 )

この実施例では、図 2 8 に示すように、基準電圧信号線 C L と基準電極 C T との接続を図るスルホール T H を形成する場合においてその形状を基準電圧信号線 C L の延在方向に沿

10

20

30

40

50

って広がるように構成したものである。

【0187】

すなわち、基準電圧信号線CLと絶縁膜（絶縁膜GI、保護膜PSV1、PSV2）を介して該絶縁膜上にある基準電極CTとの接続は、該絶縁膜に該基準電圧信号線CLの幅内の領域上でかつ該基準電圧信号線CLの延在方向に沿って広がるようにして形成したスルホールTHを通してなされている。

【0188】

このように構成した場合、基準電圧信号線CLに対する基準電極CTとの接続面積を大きくとれ、その接続抵抗を大幅に低減できる効果を奏する。

（実施例32）

この実施例では、基準電圧信号線CLと画素電極PXとの間に形成する容量素子Cstgの構成を示したものである。

【0189】

すなわち、図29に示すように、基準電極CTとして前記基準電圧信号線CLと絶縁膜を介して交差する方向に形成され、かつ該絶縁膜に形成されたスルホールTHを通して接続されたものを備えたとともに、

画素電極PXとして前記基準電極CTの両脇に位置づけられたものを備え、この画素電極PXは前記基準電圧信号線CL上にて前記スルホールTHと遠ざかる方向に延在する延在部45を有している。

【0190】

この延在部45によって、画素電極PXと基準電圧信号線CLとの間にはある値以上の容量を有する容量素子Cstgを形成することができ、しかも該延在部45はスルホールTHから遠ざかって形成されるため、画素電極PXと基準電圧信号線CLとの短絡の発生を回避できる効果を奏する。

（実施例33）

この実施例は、実施例32をさらに改良したものであり、図30に示すように、基準電圧信号線CLとスルホールTHを通して接続された基準電極CTの両脇に位置づけられた画素電極PXは、前記基準電圧信号線CL上にて前記スルホールTHと近づく方向に延在する延在部46も有し、かつ該スルホールTHと遠ざかる方向に延在する前記延在部45よりも長さが小さく形成されているように構成したものである。

【0191】

このように構成することによって、延在部46のスルホールTHとの緩衝を回避できるとともに、容量素子Cstgの容量を大きくできる効果を奏する。

（実施例34）

この実施例は、図31に示すように、上述した基準電圧信号線CLを形成せず、これにより開口率の向上を図った構成となっている。

【0192】

図31に示すように、基準電極CTは、ゲート信号線GL、薄膜トランジスタTFET、ドレイン信号線DL、画素電極PXよりも上層に位置づけられているとともに、前記ゲート信号線GLおよびドレイン信号線DLに重畳されて形成される導電層の一部として構成され、該基準電極CTへの基準信号の供給は前記導電層を介してなされている。

【0193】

すなわち、該導電層は隣接する他の画素領域に対応する他の導電層とも一体に形成され、これにより表示領域の周辺にまで及んで形成されることになる。このため、基準信号はこの導電層の周辺から容易に供給することができる。

【0194】

この場合の給電はたとえば図14に示したように金属層35を介して行うことにより、前記導電層に均一に基準信号を供給することができる。

【0195】

なお、この実施例の場合、基準電極はITO膜等の光透光性を有する導電層に限らず、金

10

20

30

40

50

属層のような不透明の導電層であってもよいことはいうまでもない。

(実施例 3 5)

この実施例は、上述した基準電圧信号線 C L と称したものを形成しない場合に、画素電極 P X と基準電極 C T との間の容量素子 C a d d を確保するための構成を示したものである。

【 0 1 9 6 】

すなわち、図 3 2 に示すように、基準電極 C T の両脇に配置される各画素電極の接続部 4 8 を設け、この接続部 4 8 が前記基準電極 C T と交差するようにし、この交差部にて容量素子 C a d d を形成している。

【 0 1 9 7 】

この基準電極 C T はゲート信号線 G L を被う材料層と一体に形成され、前記各基準電極 C T のそれぞれの両端は前記材料層と重ねられるようにして、この重ねられた部分においても容量素子 C a d d を形成している。

(実施例 3 6)

また、図 3 3 に示すように、各画素電極 P X の接続部 4 8 と重ねられるように、基準電極 C T を一部として形成する材料層に接続部 4 9 を形成するようにしてもよい。

(実施例 3 7)

この実施例では、一の画素領域に容量素子 C s t g と容量素子 a d d とを形成した構成となっている。

【 0 1 9 8 】

図 3 4 に示すように、画素電極 P X の延在部は絶縁膜 G I を介してゲート信号線 G L の一部に重畳されて容量素子 C a d d を形成するとともに、保護膜 P S V を介して前記基準電極 C T の延在部にも重畳されて容量素子 C s t g を形成している。なお、図 3 5 は図 3 4 の 3 5 - 3 5 線における断面を示した図である。

(実施例 3 8)

また、図 3 5 に示す実施例に対する他の実施例を図 3 6 に示すように、保護膜 P S V が無機材料と有機材料との順次積層体 ( P S V 1 、 P S V 2 ) で構成されている場合、容量素子 C s t g の容量を充分確保できないことから、容量素子 C a d d を併用させた構成とすることは有益となる。

【 0 1 9 9 】

また、図 3 6 に対応する図 3 7 に示すように、基準電極 C T の上面にさらに保護膜 P S V 3 が形成されていてもよいことはもちろんである。

(実施例 3 9)

また、上述した構成から、容量素子 C s t g と容量素子 C a d d はほぼ同じ領域内に形成され、換言すれば各素子 C s t g 、 C a d d は重畳されて形成されているため、それらの占有面積を小さくでき開口率の向上を図ることができる。

(実施例 4 0)

また、上述した構成から、容量素子 C s t g の面積より容量素子 C a d d の面積を小さく形成することにより、必要な容量を確保しつつ、より電氣的に安定な容量素子 C s t g での保持の役割を確保して保持電位の安定化を図ることができる。

(実施例 4 1)

また、上述した構成から、画素電極 P X の延在部は他の隣接する画素電極 P X との接続部とゲート信号線 G L の一部と重畳する部分 ( 容量素子 C a d d 形成部 ) とで構成しているため、たとえば該容量素子 C a d d の形成部にてショートが生じた場合、ゲート信号線と重畳する部分を他の部分とたとえばレーザ光線によって切り離すことによって、救済を図ることができる。

【 0 2 0 0 】

この場合、容量素子 C s t g によって一定の容量が確保でき、該画素の画質の低下を抑制できる。

(実施例 4 2)

また、実施例 4 1 の場合において、基準電極 C T を一部とする材料層を光透光性の材料層で構成することにより、該容量素子 C a d d の形成部にて生じるショートを容易に目視できる効果を奏する。

(実施例 4 3)

上述した実施例 3 7 ~ 4 2 に示した効果は、図 3 8 に示すように、基準信号線を形成し、この基準信号線と基準電極をスルホールによって接続させた構成の場合においても同様に適用できる。

(実施例 4 4)

図 3 9 は、上述した実施例 3 7 ないし 4 3 の構成をいわゆるマルチドメイン方式に適用した場合の構成を示している。

【0201】

マルチドメイン方式とは、画素電極 P X と基準電極 C T との間に発生する電界の方向を画素領域内に 2 個形成するようにし、これにより、表示面の垂直方向に対して異なる方向から観察しても色調の変化が生じないようにしたものである。

【0202】

そのための一実施例として、画素電極および基準電極をそれぞれその延在方向に沿って複数の屈曲部を形成してジグザグ形状としたものである。

【0203】

なお、本実施例では、図 3 9 として、容量素子 C a d d を構成した例を示したが、容量素子 C s t g のみの場合であっても適用できる。

(実施例 4 5)

図 4 0 は実施例 4 4 の構成にゲート信号線 G L と平行に基準電圧信号線 C L を設け、絶縁膜に形成されたスルホール T H を通して基準電極 C T に接続された構成となっている。

(実施例 4 6)

図 4 1 は実施例 4 4 の構成において、ドレイン信号線 D L をその上層に形成されている基準電極 C T の形状に対応させてその走行方向にジグザグ状にしたものである。

【0204】

これにより基準電極 C T は、ドレイン信号線 D L を均一な幅で被うことになり、該ドレイン信号線 D L からの電界の基準電極 C T 側への終端を信頼性よく行うことができるようになる。

(実施例 4 7)

この実施例は、図 4 2 に示すように、上述の実施例 4 6 の構成において基準電圧信号線 C L を備えた構成とするとともに、スルホール T H を通して接続される基準電極 C T の該接続部の幅を広く形成している。

(実施例 4 8)

この実施例は、実施例 2 3 ないし 2 6 の各構成において、薄膜トランジスタ T F T のバックチャネルの発生を回避するため、基準電極 C T を一部として構成する導電膜の該薄膜トランジスタ T F T 上の領域において開口を設けた構成としたものである。

(実施例 4 9)

この実施例は、実施例 3 7 ないし 4 8 の各構成において、基準電極 C T として、A l、C r、M o、T a、W のいずれかの材料、あるいはそれらの合金からなる材料、あるいはそれらのいくつかを積層させた材料を用いたものである。

【0205】

このようにすることによって、ドレイン信号線 D L 上の遮光膜の特別の形成を不要とし、また、低抵抗となるためコモン反転駆動での波形歪みを抑制できるようになる。

(実施例 5 0)

この実施例は、実施例 3 7 ないし 4 8 の各構成において、基準電極 C T として、A l、C r、M o、T a、W のいずれかの材料、あるいはそれらの合金からなる材料、あるいはそれらのいくつかを積層させた材料を用いるとともに、基準電圧信号線 C L として、A l、C r のいずれかの材料、あるいはそれらの合金からなる材料、あるいはそれらのいくつ

10

20

30

40

50

かを積層させた材料を用いたものである。

(実施例 5 1)

この実施例は、基準電極 C T として、I T O、 $I n_2 O_3$ 、 $S n O_2$ 、I Z O、 $Z n O_2$  いずれかの材料、あるいはそれらの合金からなる材料、あるいはそれらのいくつかを積層させた材料を用いたものである。

【 0 2 0 6 】

この場合、ゲート信号線 G L、ドレイン信号線 D L、基準電圧信号線 C L の端子部において、電食を防止するために上記材料を被覆する構成とした場合、該基準電極の形成はそれと同時に進行することができ、製造工数の増大を回避することができる。

【 0 2 0 7 】

また、この場合、容量素子の修復の際において、該容量素子を該基準電極 C T を通して直接に目視できるので、レーザ切断によるリペア時の位置決めが容易となる効果を奏する。

(実施例 5 2)

この実施例は、実施例 5 1 の構成において、いわゆるノーマリブラックモードとなっていることにある。

【 0 2 0 8 】

これにより、ドレイン信号線上の基準電極 C T は遮光膜として機能し、たとえばノーマリホワイトモードで構成した場合と比較して、光漏れによる不都合を解消することができる。

【 0 2 0 9 】

ここで、ノーマリホワイトモードとは、画素電極 P X と基準電極 C T との間に電界を発生せしめた場合、液晶の光透過率が最高となる構成をいう。

(実施例 5 3)

この実施例は、実施例 5 1、5 2 の各構成において、いわゆるドット反転駆動で基準電極 C T と画素電極 P X との間に電圧を印加することにある。

【 0 2 1 0 】

基準電極 C T が上述した材料 ( I T O、 $I n_2 O_3$ 、 $S n O_2$ 、I Z O、 $Z n O_2$  等 ) で構成しその抵抗が比較的高くなることに鑑み、該ドット反転を行うことにより、表示面の輝度の均一化を向上させるようにするものである。

(実施例 5 4)

この実施例は、上述した各構成のうち、薄膜トランジスタ T F T の上方に基準電極 C T を一部とする導電層が形成されたもの ( 開口が形成されていないもの ) において、基準電極をその電位が ( - ) 5 V 以上 ( + ) 1 0 V 以下の範囲内となるように駆動させることにある。

【 0 2 1 1 】

このようにした理由は、上記範囲での基準電極の駆動は、薄膜トランジスタ T F T のしきい値の変動が許容範囲内に抑えられることが判明したからである。

(実施例 5 5)

上述した各実施例では、画素内に形成されるスイッチング素子として薄膜トランジスタ T F T に限定されることなく他の構成のスイッチング素子にも適用できる。

【 0 2 1 2 】

しかし、薄膜トランジスタ T F T を適用した場合、それを O N 状態とするのにゲート信号線に供給する走査信号は + 1 2 V 以上、O F F 状態とするためには - 5 V 以下に設定されている。

【 0 2 1 3 】

このため、基準電極 C T の電位を該条件にかからない領域として駆動することにより、この基準電極 C T によって該薄膜トランジスタ T F T の誤動作を防止できる。

(実施例 5 6)

この実施例では、上述した各構成のうち、薄膜トランジスタ T F T の上方に基準電極を一部とする導電層が形成されたもの ( 開口が形成されていないもの ) において、いわゆるコ

10

20

30

40

50

モン反転駆動方法において、該基準電極の電位の最小値を - 5 V 以上としたものである。

【 0 2 1 4 】

このようにした場合においても、薄膜トランジスタ T F T のしきい値変動を抑制させることができる。

( 実施例 5 7 )

この実施例では、上述した各構成のうち、薄膜トランジスタ T F T の上方に基準電極 C T を一部とする導電層が形成されたもの（開口が形成されていないもの）において、基準電極の電位をほぼ一定とする駆動において、その電位を - 5 V 以上 + 1 0 V 以下の範囲、望ましくは - 1 V 以上 + 7 V 以下の範囲に設定したものである。

【 0 2 1 5 】

このようにした場合においても、薄膜トランジスタ T F T のしきい値変動を抑制させることができる。

( 実施例 5 8 )

この実施例は、たとえばゲート信号線 G L のゲート駆動 I C 5 の接続近傍の構成を示したものである。

【 0 2 1 6 】

図 4 3 に示すように、ゲート信号線 G L のゲート駆動 I C 5 の接続近傍は、上述したように、隣接する他のゲート信号線 G L ととともにゲート駆動 I C 5 側に収束するパターンとして形成されている。なお、この部分は図 5 8 の一点鎖線枠 A に囲まれる部分に対応している。

【 0 2 1 7 】

この場合において、各ゲート信号線 G L の間に基準電圧信号線 C L が同層で配置され、この基準電極信号線 C L もゲート駆動 I C 5 側に引き出す場合、各ゲート信号線 G L の前記収束する領域にて隣接するゲート信号線 G L と干渉し、ショートを起こし易くなる。

【 0 2 1 8 】

このため、この実施例では、基準電圧信号線 C L はゲート信号線 G L に対して絶縁膜を介した他の層で形成するとともに、各ゲート信号線 G L の前記収束する領域にて該ゲート信号線 G L とほぼ直交する方向に延在する配線層 5 0 と前記絶縁膜に形成したスルホールを通して接続させる構成としたものである。

【 0 2 1 9 】

このように構成することによって、いわゆる額縁と称される領域の増大を回避することができる。

【 0 2 2 0 】

すなわち、先の例で、基準電圧信号線 C L を各ゲート信号線 G L の前記収束する領域にてショートなく形成しようとした場合、該収束の部分の各ゲート信号線の屈曲角度を小さく形成しなければならず、それだけゲート駆動 I C 5 を表示領域 A R から遠のく位置に実装しなければならないからである。

【 0 2 2 1 】

なお、この実施例の画素としてたとえば図 1 3 に示すように構成した場合に、前記配線層 5 0 はドレイン信号線 D L と同時に形成する配線層とすることができる。

【 0 2 2 2 】

また、この実施例では、ゲート信号線 G L のゲート駆動 I C 5 の接続近傍の構成を示したものであるが、ドレイン信号線 D L のドレイン駆動 I C 6 の接続近傍においても適用できることはもちろんである。

( 実施例 5 9 )

この実施例は、図 4 3 ( b ) に対応する図 4 4 に示すように、前記配線層 5 0 を基準電圧信号線 C L と一体に形成したものである。

( 実施例 6 0 )

この実施例は、実施例 5 8 に示す構成において、画素領域における構成をも示した図である。すなわち、ゲート信号線 G L と基準電圧信号線 C L とを同層に形成し、絶縁膜を介し

10

20

30

40

50



て該絶縁膜の上面に形成された基準電極 C T と該絶縁膜に形成されたスルホール T H によって接続されている。

(実施例 6 1)

この実施例は、実施例 5 9 に示す構成において、やはり画素領域における構成をも示した図である。

(実施例 6 2)

図 4 7 は、図 4 3 に対応する図であり、図 4 3 と異なる構成は、配線層 5 0 に引き出される基準電圧信号線 C L は、一つ置きに配置されたものとなっている。この場合、一つ置きに限定されることはなく、二つ置き、あるいは三つ置き等であってもよいことはいうまでもない。

10

【0223】

なお、この場合において、基準電極 C T は、上述したように材料層の一部として形成されるもので、この材料層は隣接する他の画素領域における対応する材料層と接続されて形成されるようになっている。

【0224】

このように構成した場合、各ゲート信号線 G L が収束する領域において、信号線の密集を回避できるようになる。

【0225】

なお、この実施例では基準電圧信号線について説明したものであるが、たとえば保持容量線においても適用できることはいうまでもない。

20

(実施例 6 3)

この実施例では、図 4 8 に示すように、前記配線層 5 0 は一つのドライバチップ (ドレイン駆動 I C 6、ゲート駆動 I C 5) に接続される各ゲート信号線 G L の束の外側を迂回し、さらに、該ドライバチップに隣接して引き出されるように構成されている。

【0226】

このように構成した場合、該配線層 5 0 を該ドライバチップの入力側の端子側に引き出せるようにできる。

【0227】

なお、図 4 8 に示す部分は図 5 8 に示す一点鎖線枠 B に示す部分に対応している。

(実施例 6 4)

30

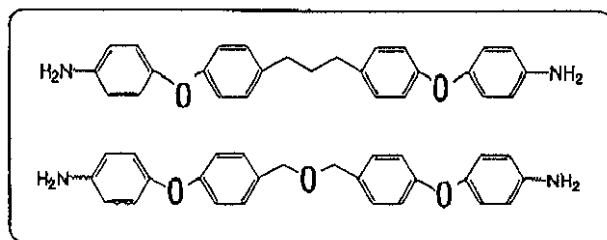
この実施例では、図 4 8 に対する他の実施例を示すもので、図 4 9 に示すように、ドライバチップに隣接して引き出される配線層 5 0 はドライバチップの下側に位置するように構成されている。

(実施例 6 5)

この実施例では、上述した各実施例の構成において、配向膜 O R I 1、O R I 2 として、下記の構造式からなる材料を用いていることにある。

【0228】

【化 5】

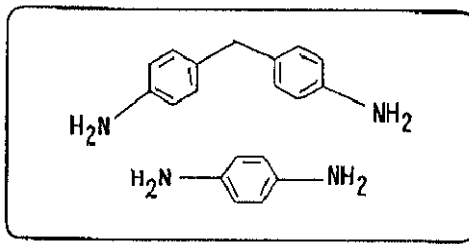


... (1)

40

【0229】

【化 6】



... (2)

#### 【0230】

このような配向膜ORI1、ORI2を用いることにより、液晶層内のイオン性不純物の移動による残像（イオン性残像）の発生を抑制できるようになる。

10

#### 【0231】

さらに、配向膜中の式(1)および式(2)の物質の合計の成分比に対し、式(1)の物質が30%～70%の割合である場合に、さらに発生を抑制できるようになる。

#### 【0232】

ここで、イオン性残像とは、図50(a)に示すように、初期状態で隣接する領域に白および黒の表示を1時間行い、その表示を中間調で表示、その輝度変化を白表示の領域から黒表示の領域にわたって検出した際の該中間調に対応する輝度から突出した輝度の部分をいう。

#### 【0233】

この場合、前記配向膜ORI1、ORI2として上述した材料を用いることによって、図50(a)に示すイオン性残像強度を3以下（好ましくは2以下）に抑えることができ、イオン性残像の回避を達成することができる。

20

#### 【0234】

なお、図50(b)は、図50(a)の初期の黒の表示を共通の部分とし、その右側に白の表示があることを示している。

#### 【0235】

図50(a)の場合と比べて中間調における輝度分布が異なるのはイオンが図中左側へ移動する現象が見られるからである。

#### （実施例66）

この実施例では、たとえば図31の構成において、その(b)に対応する図51(a)に示すように、基準電極CTが保護膜PSV（その上層が有機材料からなる保護膜PSV2）上に形成され、該基準電極CTをも被って該保護膜PSV上に配向膜ORI1が形成されている。

30

#### 【0236】

そして、該保護膜PSVの上面の該基準電極CTが形成されている部分に凹陷部が形成されている。

#### 【0237】

これにより、該基準電極CTの段差を極力小さくし、前記配向膜ORI1の該基準電極CTの近傍におけるラビング性の低下、および残像悪化、配向不良による光ぬけを解消した構成となっている。

40

#### 【0238】

この場合、図51(b)に示すように、電極の厚さをH(=300nm)、凹陷部から突出した電極の高さをH<sub>1</sub>(=0、90、150、300nm)とした場合、それぞれの電極の光抜けの状態を調査した結果、図52に示すようになった。図中、○は光抜けの回避が最も良い状態、△は良好な状態、×は良好でない状態を示している。

#### 【0239】

このことから、該基準電極CTは保護膜PSV2に埋め込ませた構成とすることがよく、該基準電極CTの厚さをH<sub>1</sub>、凹陷部から突出した電極の高さをH<sub>2</sub>は次式(3)に示す関係にあることが好ましいことがわかる。

50

【 0 2 4 0 】

【 数 1 1 】

$0 \leq (H - H_1) / H \leq 0.5 \dots\dots (3)$

そして、この実施例では、基準電極 C T の表面に直接配向膜 O R I 1 を形成した場合について説明したものである。しかし他の絶縁膜を形成しその表面に配向膜 O R I 1 を形成した構成の場合にも適用できる。

【 0 2 4 1 】

この場合、基準電極 C T による段差が前記他の絶縁膜の表面に顕在化した段差におけるその高さを  $H_1$  として換算すればよい。

【 0 2 4 2 】

なお、この場合の電極として基準電極 C T に限定されることはなく、他の電極であってもよく、また、透光性あるいは非透光性の材料層に限定されることはない。

( 実施例 6 7 )

この実施例では、上述した各実施例で、保護膜 P S V を無機材料からなる保護膜 P S V 1 と有機材料からなる保護膜 P S V 2 の順次積層体で形成する場合において、該保護膜 P S V 2 の材料として、アクリル系（透明性が高い、ポジ型感光性）、ポリイミド系（耐熱性が高い）、ノボラック系（着色し易い）、ポリイミド - エポキシ共重合体（配向膜を兼用しうる）のいずれか、あるいはそれらの積層体を用いていることにある。

【 0 2 4 3 】

このような保護膜 P S V 2 は、膜厚 4 0 0 n m で 9 5 % の透光性、2 3 0 以上の耐熱性を有する。

【 0 2 4 4 】

また、液晶に対する汚染性が低く、耐プロセス性（スパッタ、エッチング液、剥離液、配向膜溶媒、U V / O<sub>3</sub> 洗浄に耐える）を有する。

( 実施例 6 8 )

画素電極 P X と基準電極 C T との間に電圧を印加して電界を形成する場合、それら各電極との間に有機材料の保護膜 P S V 2 が介在されている場合、該保護膜 P S V 2 による駆動電圧を増加せざるを得ないことが確かめられる。

【 0 2 4 5 】

この場合、ドライバ、すなわちゲート信号線 G L に走査信号を供給するゲート駆動 I C 5、あるいはドレイン信号線 D L に映像信号を供給するドレイン駆動 I C 6 が、透明基板 S U B 1 に直接実装されている場合（F C A 方式）において、該駆動 I C の発熱対策が必要となる。

【 0 2 4 6 】

そこで、ノーマリブラックモードで最大輝度となる液晶駆動電圧  $V_{max}$  を有機材料からなる保護膜 P S V 2 の膜厚、画素電極 P x と基準電極 C T との間隔、液晶の誘電率異方性との関係を究明した。

【 0 2 4 7 】

まず、液晶の誘電率異方性、画素電極 P X と基準電極 C T との間隔、 $V_{max}$  との関係を示すグラフである図 5 3、液晶の誘電率異方性 = 1 0 での保護膜 P S V 2 の膜厚、画素電極 P X と基準電極 C T との間隔、 $V_{max}$  との関係を示すグラフである図 5 4、液晶の誘電率異方性 = 1 4 . 5 での保護膜 P S V 2 の膜厚、画素電極 P X と基準電極 C T との間隔、 $V_{max}$  との関係を示すグラフである図 5 5 を得た。

【 0 2 4 8 】

このことから、図 5 3 に示すように、液晶の誘電率異方性の高い液晶材料を用いることにより  $V_{max}$  を低減できる。そして、保護膜 P S V 2 の膜厚の増加とともに  $V_{max}$  は増大し、画素電極 P X と基準電極 C T との間隔の増加とともに  $V_{max}$  は増大する。この関係は図 5 4、および図 5 5 に示される。

【 0 2 4 9 】

従って、上述のグラフから次式（ 4 ）の関係が成立することが導かれる。

【 0 2 5 0 】

【 数 1 2 】

$$V_{\max} = 1.9d + 0.4146W - 0.2328 \quad + 2.8218 \quad \dots\dots (4)$$

ここで、 $d$ は有機材料からなる保護膜 P S V 2 の膜厚 (  $\mu\text{m}$  )、 $W$ は画素電極 P x と基準電極 C T との間隔 (  $\mu\text{m}$  )、 $\epsilon$  は液晶の誘電率異方性を示している。

【 0 2 5 1 】

このことから、まず、高い  $\epsilon$  を有する液晶の材料としては、図 5 5 の化学構造式に示すようにシアノジフッ素液晶を用いるのが望ましく、また、 $\epsilon$  が 1 4 . 5 以上のような高い領域を実現するには、図 5 7 の化学構造式に示すようにトリフッ素ジオキサン液晶を用いるのが望ましい。

10

【 0 2 5 2 】

いずれにしても、上記各液晶のうち少なくとも一方を含む液晶を用いることにより、上記  $V_{\max}$  を低減できることになる。

( 実施例 6 9 )

ノーマリブラックモードの構成において、画素電極 P X と基準電極 C T とが有機材料からなる保護膜 P S V 2 を介して異なる層にある場合、白表示の際のドレインドライバの出力電圧の振幅を片側 7 . 5 V 以下とすることによって、液晶表示を可能ならしめる。

( 実施例 7 0 )

また、ノーマリブラックモードの構成において、画素電極 P X と基準電極 C T とが有機材料からなる保護膜 P S V 2 を介して異なる層にある場合、上記式 ( 4 ) が 1 5 V より小さくなるように  $d$ 、 $W$ 、 $\epsilon$  を設定し、さらに、いわゆるコモン反転を行い、白表示の際のドレインドライバの出力電圧の振幅を片側 7 . 5 V 以下とすることによって、液晶表示を可能ならしめる。

20

【 0 2 5 3 】

これは、コモン反転駆動によれば、同じ液晶駆動電圧を得るのに必要なドライバの出力電圧をほぼ半減できるからである。

( 実施例 7 1 )

また、ノーマリブラックモードの構成において、画素電極 P X と基準電極 C T とが有機材料からなる保護膜 P S V 2 を介して異なる層にある場合、上記式 ( 4 ) が 7 . 5 V より小さくなるように  $d$ 、 $W$ 、 $\epsilon$  を設定し、さらに、白表示の際のドレインドライバの出力電圧の振幅を片側 7 . 5 V 以下とすることによって、液晶表示を可能ならしめる。

30

( 実施例 7 2 )

また、ノーマリブラックモードの構成において、画素電極 P X と基準電極 C T とが有機材料からなる保護膜 P S V 2 を介して異なる層にある場合、映像信号の電圧最大振幅を前記液晶層の相対透過率を 9 0 % とするのに要する電圧以下に設定することによって、上記式 ( 4 ) が 9 . 3 7 5 V より小さい場合において、白表示の際のドレインドライバの出力電圧の振幅を 7 . 5 V 以下として、液晶表示を可能ならしめる。

【 0 2 5 4 】

これは、ノーマリブラックモードにおいては、 $V_{\max}$  近辺で B - V のカーブが緩やかになるため、透過率 1 0 0 を得るのに要する電圧に対し、透過率 9 0 % を得るのに要する電圧はその 8 0 % で済むことによる。

40

( 実施例 7 3 )

また、ノーマリブラックモードの構成において、画素電極 P X と基準電極 C T とが有機材料からなる保護膜 P S V 2 を介して異なる層にある場合、いわゆるコモン反転を行い、映像信号の電圧最大振幅を前記液晶層の相対透過率を 9 0 % とするのに要する電圧以下に設定することによって、上記式 ( 4 ) が 1 8 . 7 5 V より小さい場合において、白表示の際のドレインドライバの出力電圧の振幅を 7 . 5 V 以下として、液晶表示を可能ならしめる。

。

( 実施例 7 4 )

ノーマリブラックモードの構成において、画素電極 P X と基準電極 C T とが有機材料から

50

なる保護膜 P S V 2 を介して異なる層にある場合、白表示の際のドライバの出力電圧の振幅を片側 5 V 以下とすることによって、ドレインドライバの発熱の対策を図る。

(実施例 7 5)

また、ノーマリブラックモードの構成において、画素電極 P X と基準電極 C T とが有機材料からなる保護膜 P S V 2 を介して異なる層にある場合、いわゆるコモン反転を行い、白表示の際のドレインドライバの出力電圧の振幅を片側 5 V 以下とし、かつ上記式 (4) を 10 V より小さくなるように d、W、 を設定し、ドライバの発熱の対策を図る。

(実施例 7 6)

また、ノーマリブラックモードの構成において、画素電極 P X と基準電極 C T とが有機材料からなる保護膜 P S V 2 を介して異なる層にある場合、いわゆるコモン反転を行い、白表示の際のドレインドライバの出力電圧の振幅を片側 5 V 以下とし、かつ上記式 (4) を 10 V より小さくなるように d、W、 を設定することによって、ドライバの発熱の対策を図る。

(実施例 7 7)

また、ノーマリブラックモードの構成において、画素電極 P X と基準電極 C T とが有機材料からなる保護膜 P S V 2 を介して異なる層にある場合、映像信号の電圧最大振幅を前記液晶層の相対透過率を 90 % とするのに要する電圧以下に設定することによって、上記式 (4) が 6.25 V より小さい場合において、白表示の際のドレインドライバの出力電圧の振幅を片側 5 V 以下とし、ドライバの発熱の対策を図る。

(実施例 7 8)

また、ノーマリブラックモードの構成において、画素電極 P X と基準電極 C T とが有機材料からなる保護膜 P S V 2 を介して異なる層にある場合、いわゆるコモン反転を行い、映像信号の電圧最大振幅を前記液晶層の相対透過率を 90 % とするのに要する電圧以下に設定して、上記式 (4) が 12.5 V より小さい場合において、白表示の際のドレインドライバの出力電圧の振幅を片側 5 V 以下として、ドライバの発熱の対策を図る。

【0255】

【発明の効果】

以上説明したことから明らかなように、本発明による液晶表示装置によれば、ドライバ近傍の液晶の局所的な温度上昇を抑制させた液晶表示装置を得ることができる。

【0256】

また、ドライバの基板に対する応力の伝達を抑制させた液晶表示装置を得ることができる。

【0257】

また、ドライバ近傍の表示面にてアライメントずれを抑制させた液晶表示装置を得ることができる。

【0258】

また、開口率を向上させた液晶表示装置を得ることができる。

【0259】

さらに、いわゆる額縁の縮小を図った液晶表示装置を得ることができる。

【図面の簡単な説明】

【図 1】本発明による液晶表示装置の一実施例を示す説明図で、ノーマリブラックモードにおける液晶駆動電圧と相対輝度との関係を示したグラフである。

【図 2】本発明による液晶表示装置の一実施例を示す全体構成図である。

【図 3】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図 4】図 3 の IV - IV 線における断面図である。

【図 5】図 3 の V - V 線における断面図である。

【図 6】ノーマリホワイトモードにおける液晶駆動電圧と相対輝度との関係を示したグラフである。

【図 7】コモン反転における画素電極と基準電極との間の電圧値を時間との関係で示したグラフである。

【図 8】コモン電圧一定における画素電極と基準電極との間の電圧値を時間との関係で示したグラフである。

【図 9】信号線に伝達する際の信号の歪みの発生を示した説明図である。

【図 10】信号線に接続されるドライバ（ゲート駆動 IC、ドレイン駆動 IC）およびその近傍の構成を示す側面図である。

【図 11】液晶表示装置の表示領域のうちドライバに近接する部分に変色が生じることを示す説明図である。

【図 12】液晶表示装置の液晶を介して対向配置させる各基板の間に配置される支柱の一実施例を示す構成図である。

【図 13】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

10

【図 14】本発明による液晶表示装置に形成される基準電極の一実施例を示す平面図である。

【図 15】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 16】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 17】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 18】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 19】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 20】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 21】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 22】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

20

【図 23】本発明による液晶表示装置の画素内に形成されるスルホールの一実施例を示す断面図である。

【図 24】本発明による液晶表示装置の画素内に形成されるスルホールの他の実施例を示す断面図である。

【図 25】本発明による液晶表示装置の画素内に形成されるスルホールの他の実施例を示す断面図である。

【図 26】本発明による液晶表示装置の画素内に形成されるスルホールの他の実施例を示す断面図である。

【図 27】本発明による液晶表示装置の画素内に形成されるスルホールの配置の実施例を示す断面図である。

30

【図 28】本発明による液晶表示装置の画素内に形成されるスルホールの他の実施例を示す断面図である。

【図 29】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 30】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 31】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 32】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 33】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 34】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 35】図 34 の 35 - 35 線における断面図である。

【図 36】本発明による液晶表示装置の他の実施例を示す図で、図 35 に対応する図である。

40

【図 37】本発明による液晶表示装置の他の実施例を示す図で、図 35 に対応する図である。

【図 38】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 39】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 40】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 41】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 42】本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 43】本発明による液晶表示装置の他の実施例を示す構成図で、各基準電圧信号線の引出部を示した平面図である。

50

【図４４】本発明による液晶表示装置の他の実施例を示す構成図で、各基準電圧信号線の引出部を示した断面図である。

【図４５】本発明による液晶表示装置の他の実施例を示す構成図で、各基準電圧信号線の引出部を示した断面図である。

【図４６】本発明による液晶表示装置の他の実施例を示す構成図で、各基準電圧信号線の引出部を示した断面図である。

【図４７】本発明による液晶表示装置の他の実施例を示す構成図で、各基準電圧信号線の引出部を示した断面図である。

【図４８】本発明による液晶表示装置の他の実施例を示す構成図で、ドライバの実装部分の近傍を示す平面図である。

10

【図４９】本発明による液晶表示装置の他の実施例を示す構成図で、ドライバの実装部分の近傍を示す平面図である。

【図５０】液晶内のイオン性残像の現象およびイオン性残像強度を示す説明図である。

【図５１】本発明による液晶表示装置の他の実施例を示す構成図である。

【図５２】図５１に示した構成において電極の絶縁膜に対する埋込具合と該電極近傍の光抜け具合の関係を示したグラフである。

【図５３】液晶の誘電率異方性、画素電極と基準電極との間隔、電極間電圧  $V_{max}$  との関係を示すグラフである。

【図５４】液晶の誘電率異方性 = 1.0 での有機材料からなる保護膜の膜厚、画素電極と基準電極との間隔、 $V_{max}$  との関係を示すグラフである。

20

【図５５】液晶の誘電率異方性 = 1.45 での有機材料からなる保護膜の膜厚、画素電極と基準電極との間隔、 $V_{max}$  との関係を示すグラフである。

【図５６】本発明による液晶表示装置に用いられる液晶中に含まれる液晶の一実施例を示す化学構造式である。

【図５７】本発明による液晶表示装置に用いられる液晶中に含まれる液晶の一実施例を示す化学構造式である。

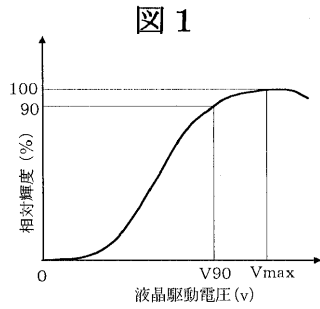
【図５８】本発明による液晶表示装置のドライバの実装領域の近傍を示した平面図である。

#### 【符号の説明】

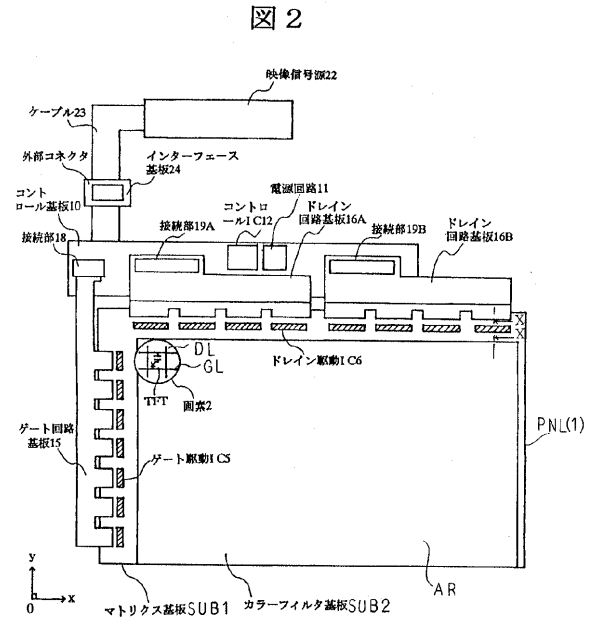
A R ..... 表示領域、S U B ..... 透明基板、G L ..... ゲート信号線、D L ..... ドレイン信号線、C L ..... 基準電圧信号線、P X ..... 画素電極、C T ..... 基準電極、T F T ..... スイッチング素子（薄膜トランジスタ）、T H ..... スルホール、G I ..... 絶縁膜、P S V ..... 保護膜、P S V 1 ..... 無機材料からなる保護膜、P S V 2 ..... 有機材料からなる保護膜、3 3 ..... 支柱、5 ..... ゲート駆動 I C（ドライバ）、6 ..... ドレイン駆動 I C（ドライバ）、O R I ..... 配向膜、B M ..... ブラックマトリクス、O C ..... 平坦化膜。

30

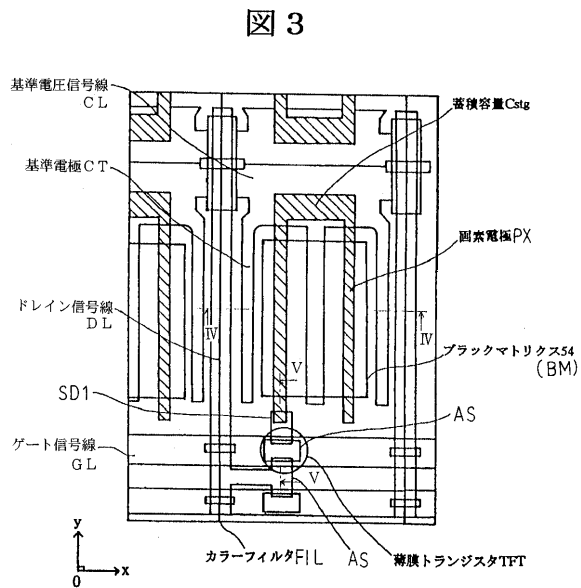
【図 1】



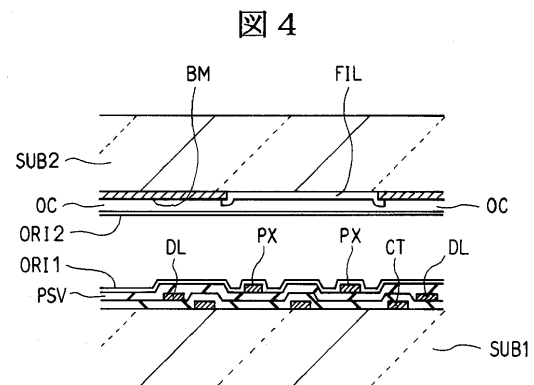
【図 2】



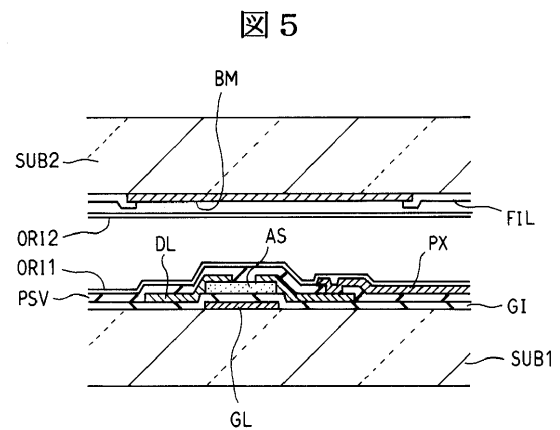
【図 3】



【図 4】

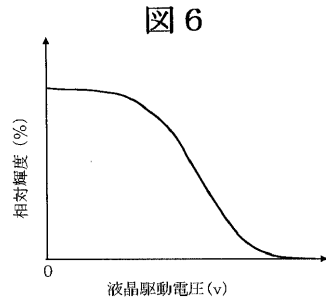


【図 5】

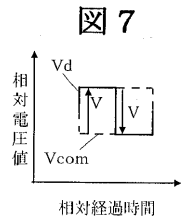




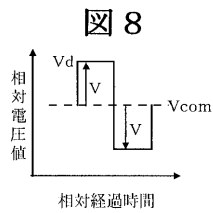
【図 6】



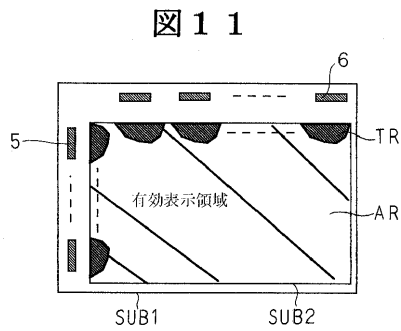
【図 7】



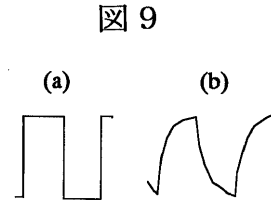
【図 8】



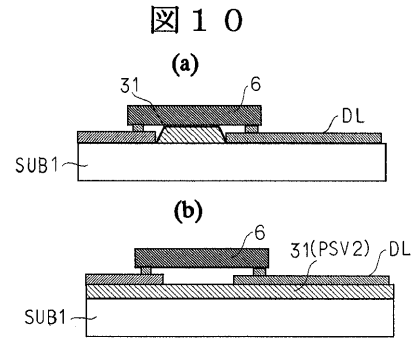
【図 11】



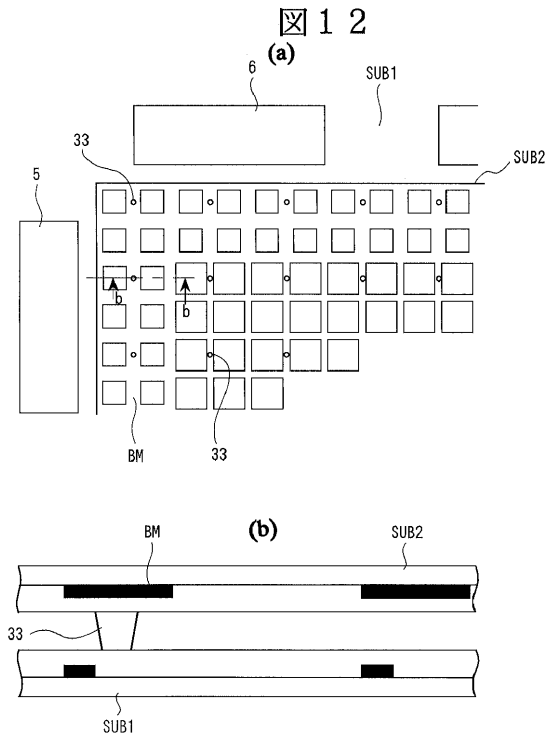
【図 9】



【図 10】

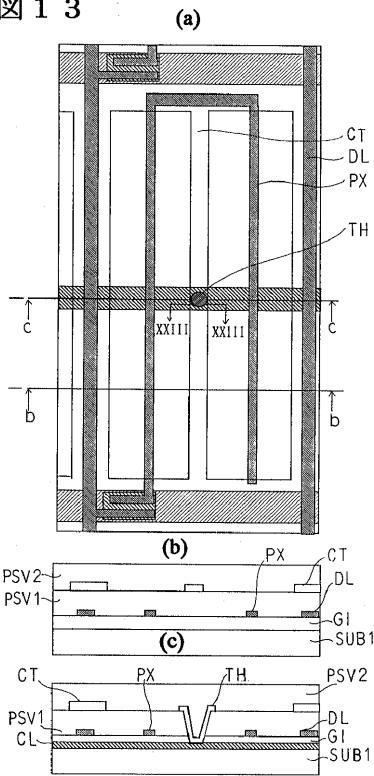


【図 12】



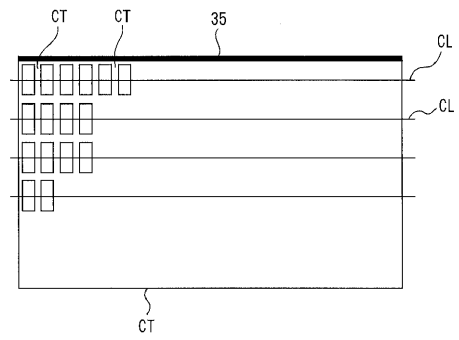
【図 13】

図 13



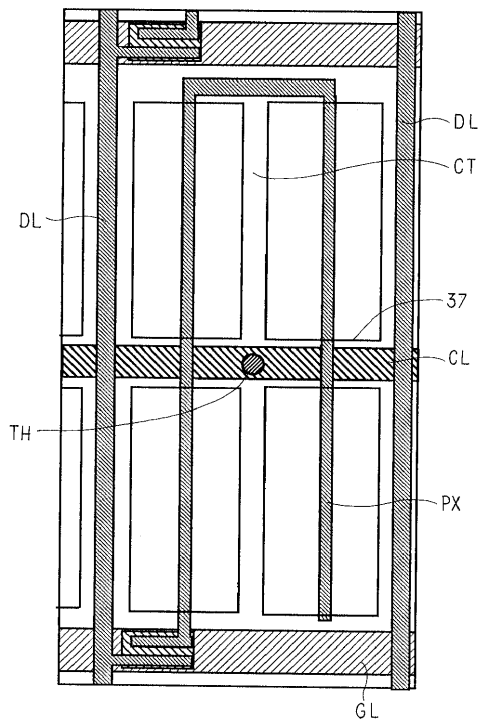
【図 14】

図 14



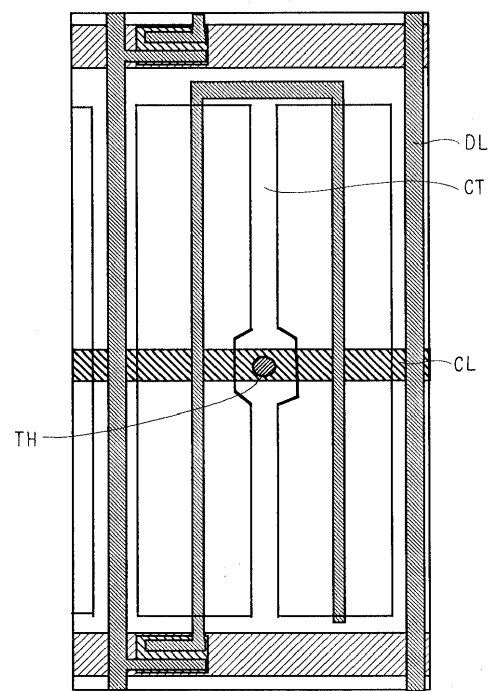
【図 15】

図 15



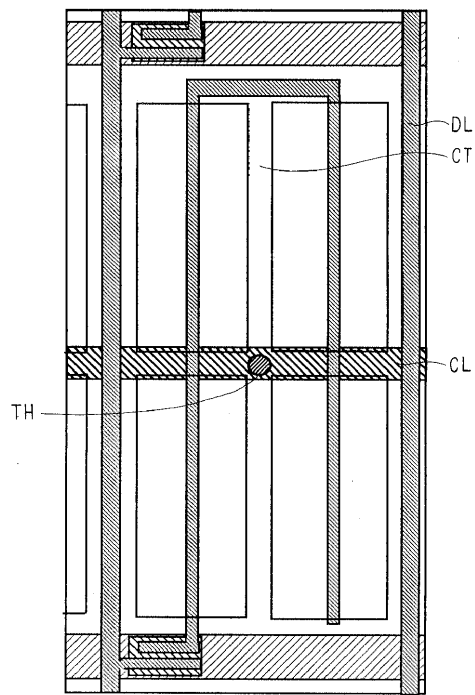
【図 16】

図 16



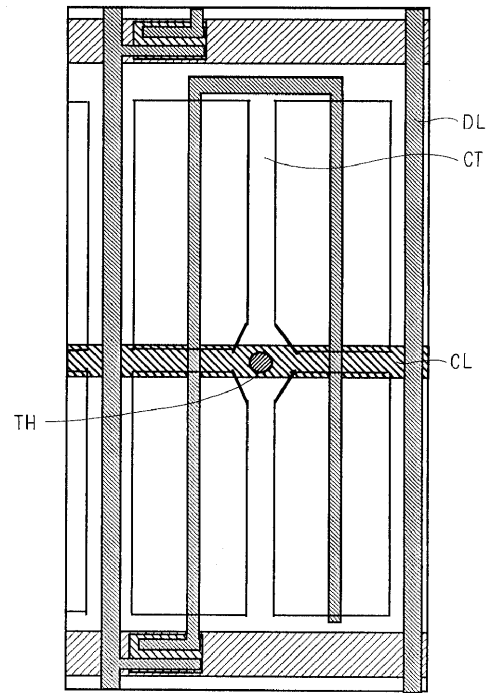
【図 17】

図 17



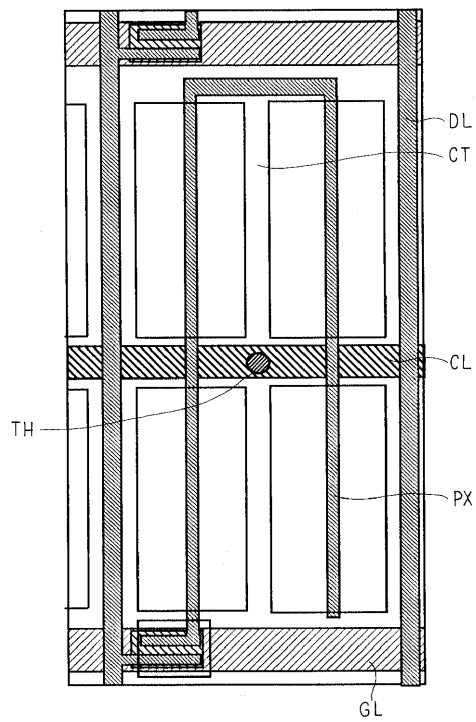
【図 18】

図 18



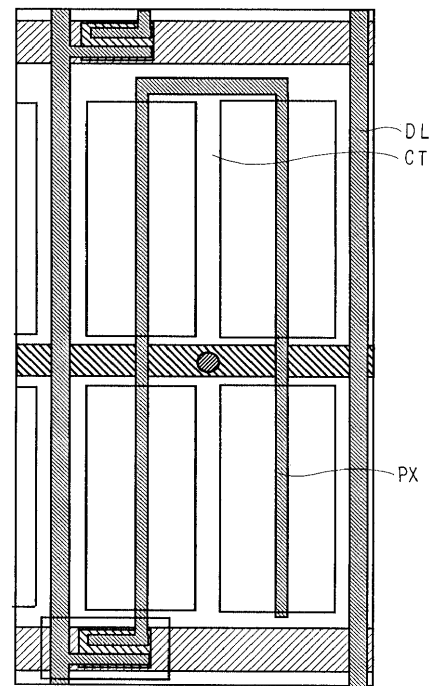
【図 19】

図 19



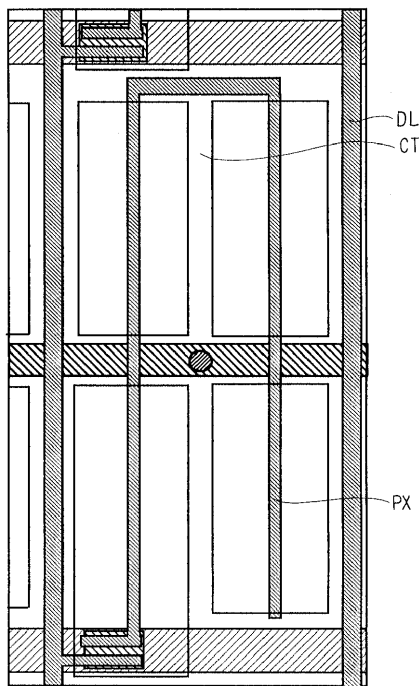
【図 20】

図 20



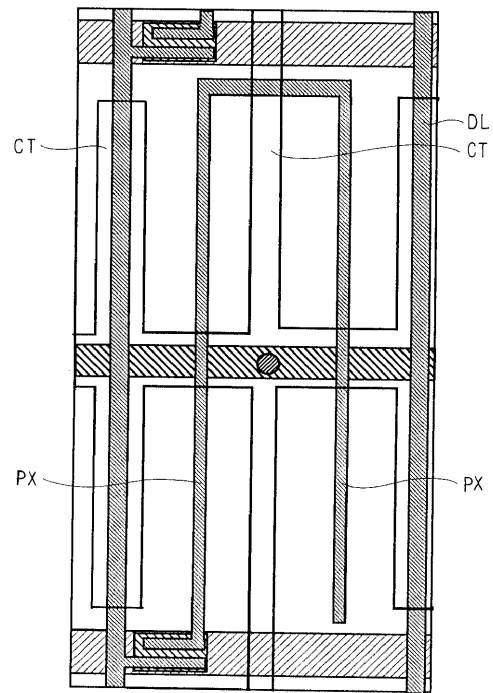
【図 2 1】

図 2 1



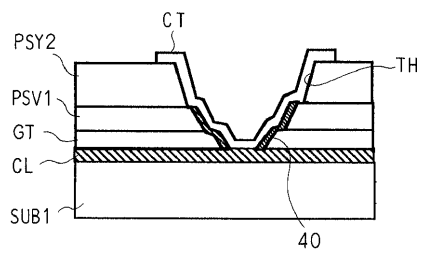
【図 2 2】

図 2 2



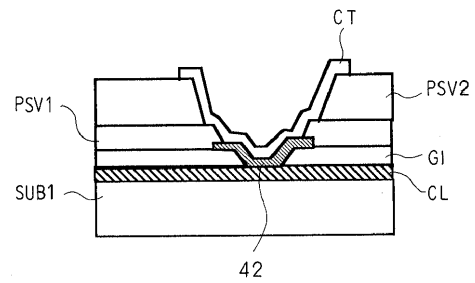
【図 2 3】

図 2 3



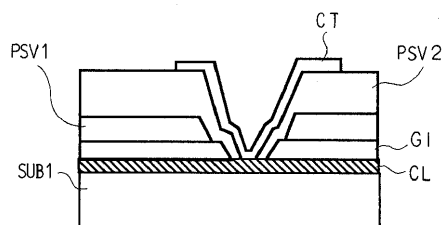
【図 2 5】

図 2 5



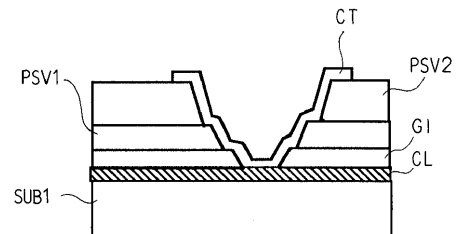
【図 2 4】

図 2 4



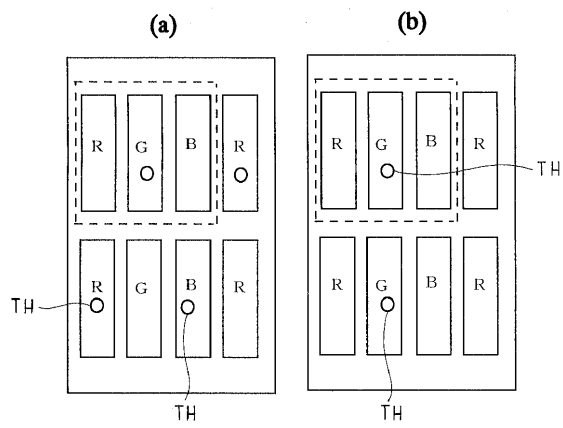
【図 2 6】

図 2 6



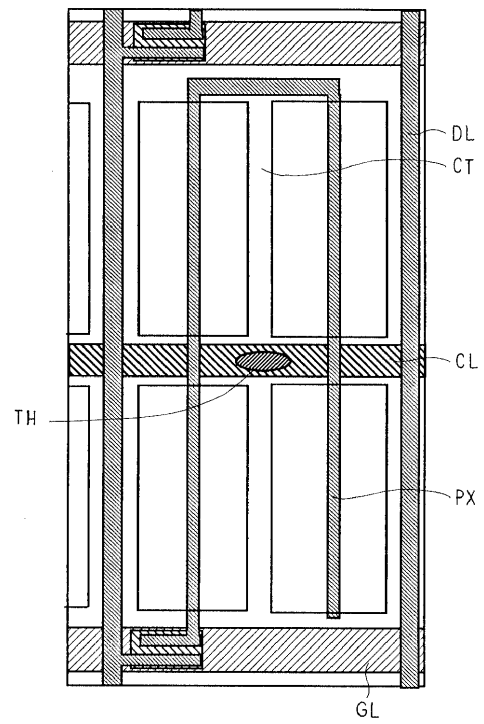
【図 27】

図 27



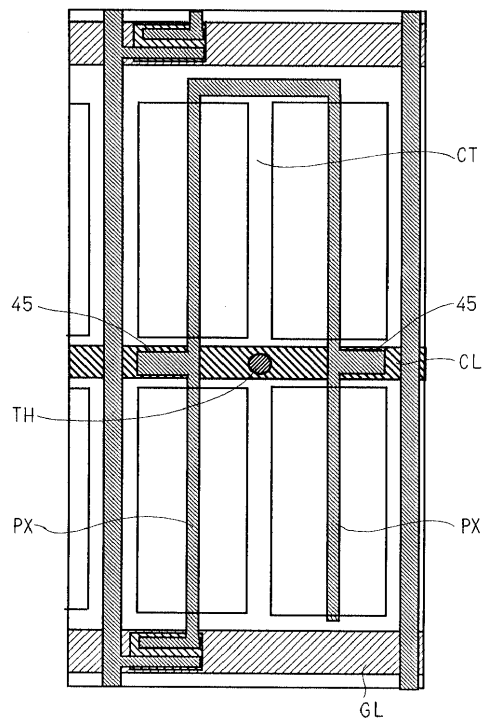
【図 28】

図 28



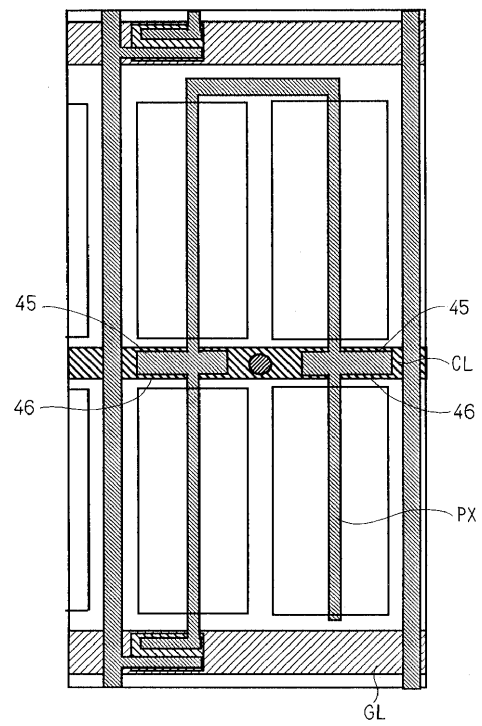
【図 29】

図 29



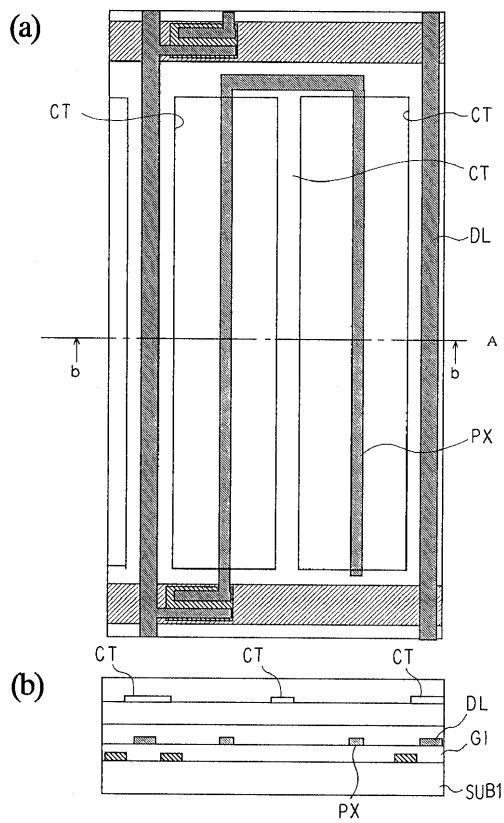
【図 30】

図 30



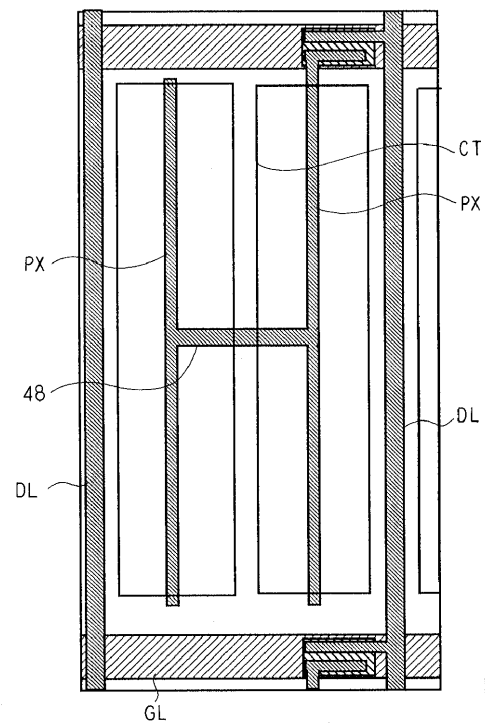
【図 3 1】

図 3 1



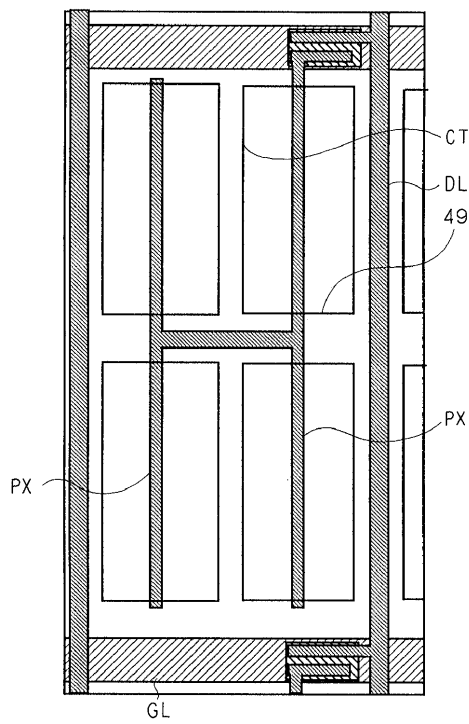
【図 3 2】

図 3 2



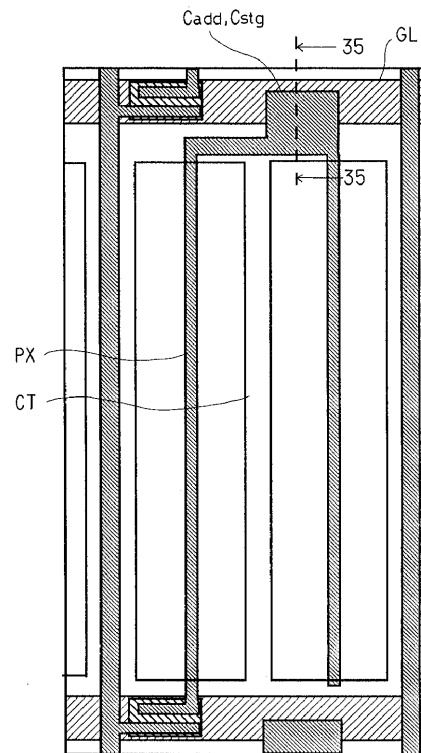
【図 3 3】

図 3 3

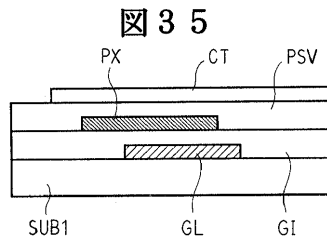


【図 3 4】

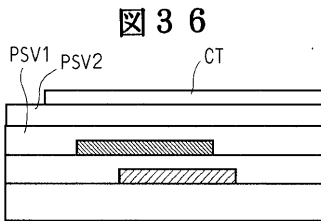
図 3 4



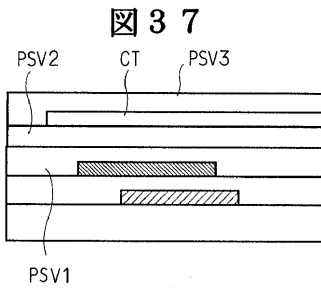
【図 3 5】



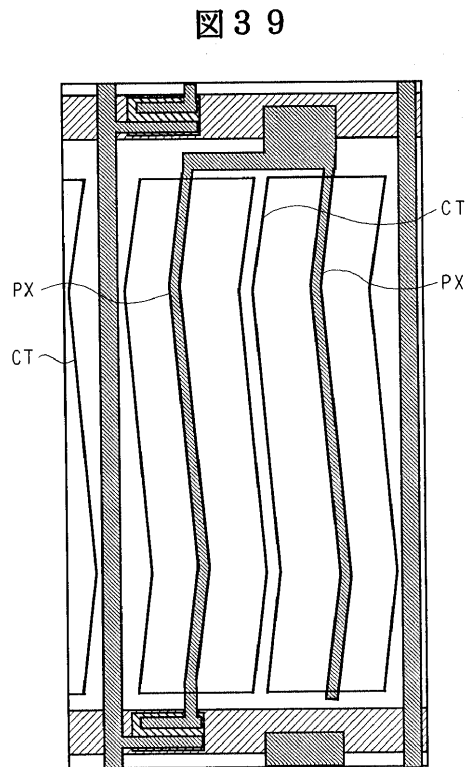
【図 3 6】



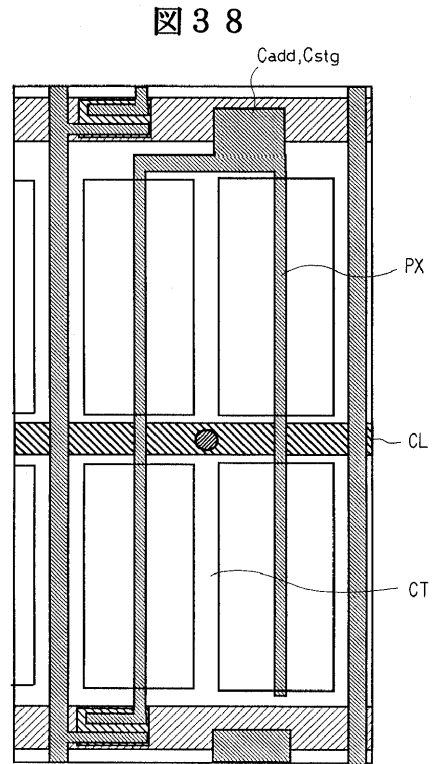
【図 3 7】



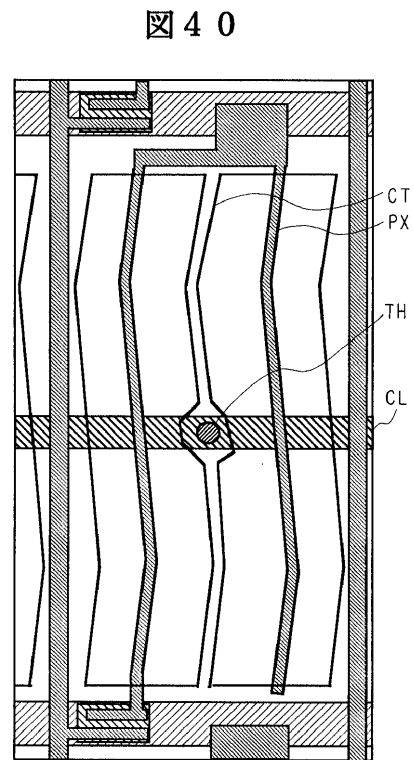
【図 3 9】



【図 3 8】

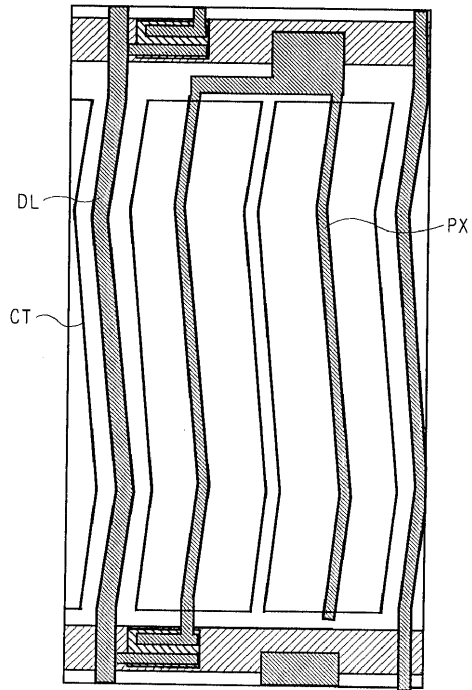


【図 4 0】



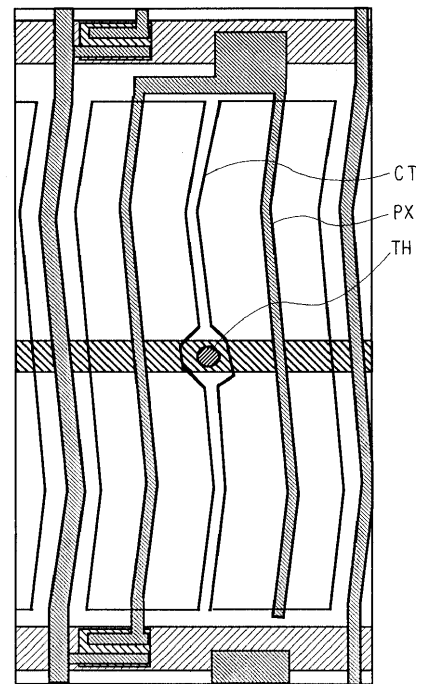
【図41】

図41



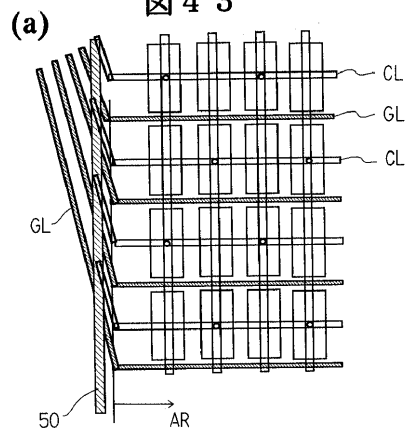
【図42】

図42

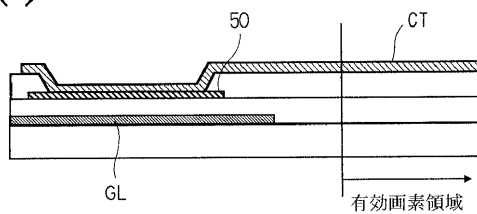


【図43】

図43

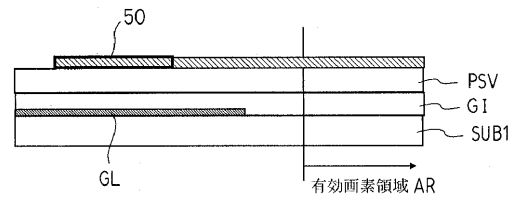


(b)



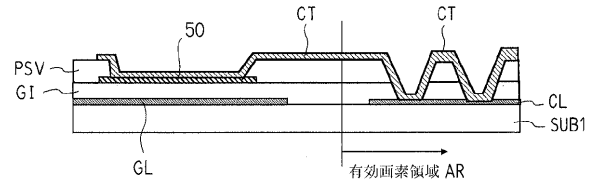
【図44】

図44



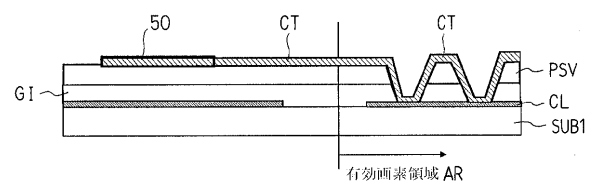
【図45】

図45



【図46】

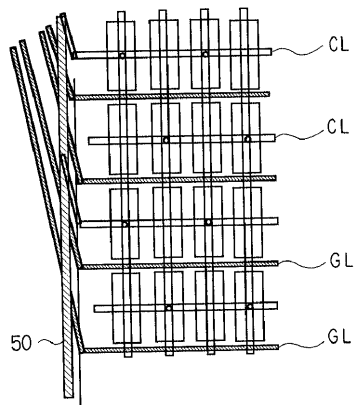
図46





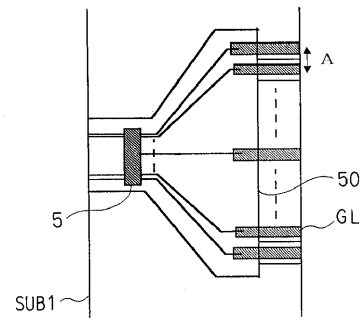
【図47】

図47



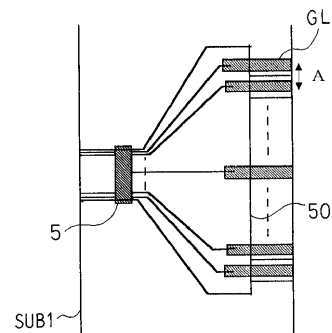
【図48】

図48



【図49】

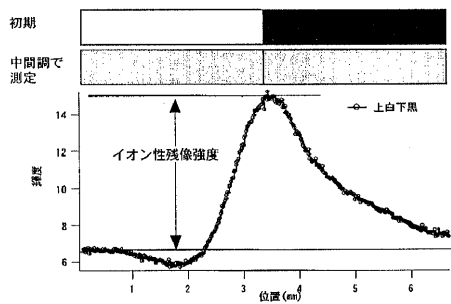
図49



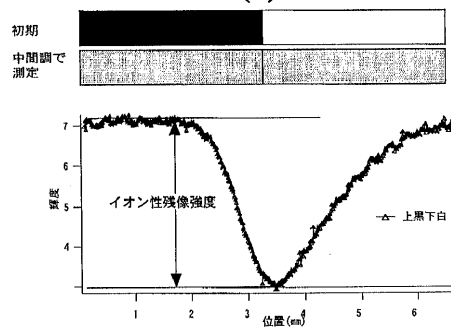
【図50】

図50  
(a)

イオン性残像の現象  
下記パターンを1時間表示後、中間調 ( $V_{5\%}$ ) で観察した輝度変化



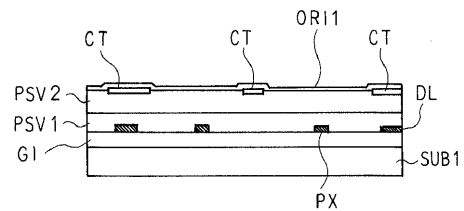
(b)



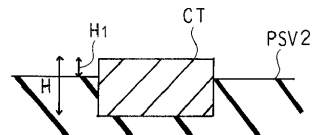
【図51】

図51

(a)



(b)



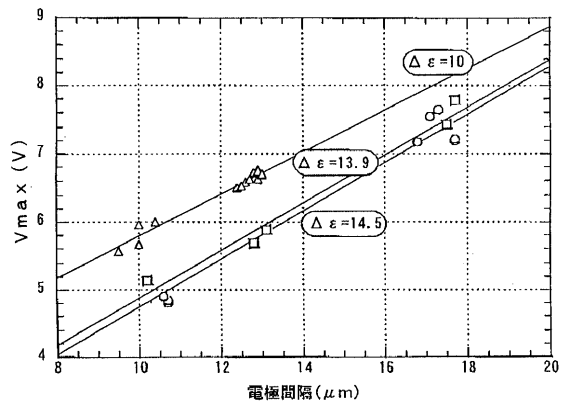
【図 5 2】

図 5 2

H	H <sub>1</sub>	(H-H <sub>1</sub> )/H	電極光抜けの回避
300nm	0	0	◎
↑	90	0.3	◎
↑	150	0.5	○
↑	300nm	1	×

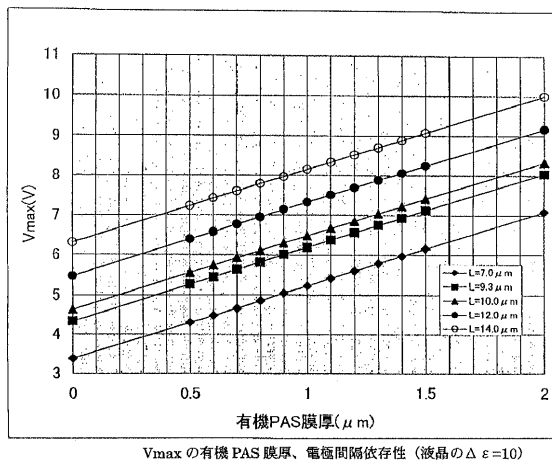
【図 5 3】

図 5 3



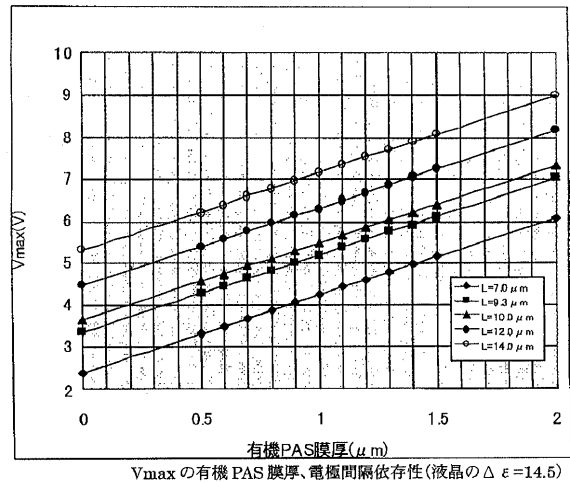
【図 5 4】

図 5 4



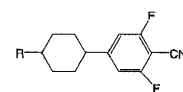
【図 5 5】

図 5 5



【図 5 6】

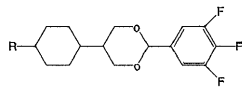
図 5 6



シアノジブツ素液晶

【図 57】

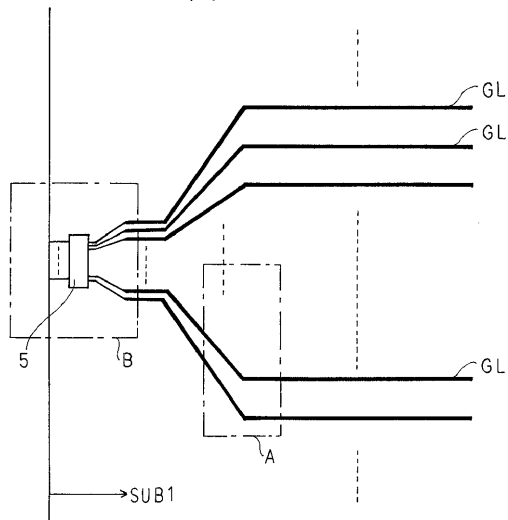
図 57



トリフッ素ジオキサン液晶

【図 58】

図 58



---

フロントページの続き

- (72)発明者 小林 節郎  
千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所 ディスプレイグループ内
- (72)発明者 近藤 克己  
茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内
- (72)発明者 倉橋 永年  
千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所 ディスプレイグループ内

審査官 福田 知喜

- (56)参考文献 特開平 1 0 - 0 4 8 6 7 2 ( J P , A )  
特開平 0 7 - 2 3 9 4 8 0 ( J P , A )  
特開 2 0 0 0 - 0 4 7 2 5 6 ( J P , A )  
特開平 1 0 - 3 0 1 1 4 1 ( J P , A )  
特開平 1 1 - 2 7 1 8 1 3 ( J P , A )  
国際公開第 9 9 / 0 4 7 9 7 2 ( W O , A 1 )  
特開平 0 4 - 1 6 2 6 5 2 ( J P , A )  
特開 2 0 0 0 - 0 8 9 2 4 0 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)  
G02F 1/1343 - 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP4667587B2</a>	公开(公告)日	2011-04-13
申请号	JP2000367769	申请日	2000-12-01
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	柳川和彦 岩壁靖 仲吉良彰 小林節郎 近藤克己 倉橋永年		
发明人	柳川 和彦 岩壁 靖 仲吉 良彰 小林 節郎 近藤 克己 倉橋 永年		
IPC分类号	G02F1/1368 G02F1/13 G02F1/133 G02F1/1337 G02F1/1345 G02F1/1343 G09G3/36		
CPC分类号	G02F1/134363 G02F1/1345 G02F1/13452 G09G3/3648		
FI分类号	G02F1/1368 G02F1/13.500 G02F1/133.550 G02F1/1337.520 G02F1/1345		
F-TERM分类号	2H090/HB07Y 2H090/HC05 2H090/HC06 2H090/LA02 2H090/LA04 2H090/LA15 2H090/MB01 2H092/GA14 2H092/GA60 2H092/JA24 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB56 2H092/JB63 2H092/JB64 2H092/KB04 2H092/KB23 2H092/KB24 2H092/KB25 2H092/NA01 2H092/NA15 2H092/NA16 2H093/NA16 2H093/NA33 2H093/NC03 2H093/NC34 2H093/ND09 2H093/ND12 2H093/ND17 2H093/ND44 2H093/ND45 2H192/AA24 2H192/BB02 2H192/BB04 2H192/BB53 2H192/BB66 2H192/BB73 2H192/BB82 2H192/BC33 2H192/CB05 2H192/CB81 2H192/CC04 2H192/CC55 2H192/DA02 2H192/DA32 2H192/DA65 2H192/EA22 2H192/EA43 2H192/EA66 2H192/FA37 2H192/FA46 2H192/FB22 2H192/FB71 2H192/GD06 2H192/GD23 2H192/GD61 2H192/HA36 2H192/HB34 2H192/JA32 2H193/ZA04 2H193/ZB09 2H193/ZC15 2H193/ZD32 2H193/ZF03 2H193/ZQ16 2H290/AA72 2H290/BB13 2H290/BB63 2H290/BB84 2H290/BD01 2H290/CA13 2H290/CA15 2H290/CA31 2H290/CA33 2H290/CA46 2H290/CA48 2H290/CA51 2H290/DA03		
审查员(译)	福田 知喜		
其他公开文献	JP2002169179A5 JP2002169179A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：抑制驾驶员附近液晶的局部温度升高。解决方案：显示装置具有通过液晶层彼此面对设置的基板，并且在一个基板的液晶侧的表面上的装置的每个像素区域具有开关元件，该开关元件通过来自扫描信号的扫描信号来操作。栅极信号线，经由开关元件向漏极信号线提供视频信号的像素电极，以及用于在参考电极和像素电极之间产生电场的参考电极。来自漏极信号线的视频信号由安装在一个基板上的驱动器芯片驱动。当在像素电极和参考电极之间没有施加电压时，控制器件以获得液晶层的最小透射率。

控制视频信号的最大电压幅度，使其等于或低于获得液晶层的90%相对透射率所需的电压。

