

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4567046号
(P4567046)

(45) 発行日 平成22年10月20日 (2010.10.20)

(24) 登録日 平成22年8月13日 (2010.8.13)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 670G

G09G 3/20 621K

G09G 3/20 631V

G09G 3/20 670N

請求項の数 3 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2007-321031 (P2007-321031)
 (22) 出願日 平成19年12月12日 (2007.12.12)
 (65) 公開番号 特開2009-145485 (P2009-145485A)
 (43) 公開日 平成21年7月2日 (2009.7.2)
 審査請求日 平成21年3月16日 (2009.3.16)

(73) 特許権者 308033711
 OKIセミコンダクタ株式会社
 東京都八王子市東浅川町550番地1
 (74) 代理人 100079119
 弁理士 藤村 元彦
 (74) 代理人 100109036
 弁理士 永岡 重幸
 (74) 代理人 100147728
 弁理士 高野 信司
 (72) 発明者 遊佐 敦史
 東京都港区虎ノ門1丁目7番12号 沖電
 気工業株式会社内

審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 液晶パネル駆動装置

(57) 【特許請求の範囲】

【請求項1】

複数のタイミングコントローラを含む液晶パネル駆動装置であって、

外部からの表示データ信号に含まれる画像データを記憶するラインメモリと、

前記表示データ信号に異常が生じた時に液晶パネルに表示すべき異常時画像データを記憶する画像データメモリと、

前記表示データ信号の異常を検出した場合に異常検出信号を出力する異常検出部と、

前記ラインメモリ内の前記画像データ及び前記画像データメモリ内の前記異常時画像データのうちのいずれか一方を択一的に選択しこれを出力する画像選択出力処理を行う画像切替部と、

前記画像切替部からの出力データを液晶パネルドライバに与える出力制御部と、
を前記複数のタイミングコントローラの各々が含み、

前記タイミングコントローラの各々に含まれる前記異常検出部の出力同士は、プルアップ抵抗を介して固定電位に接続されている異常検出ラインを介してワイアードオア接続されており、

前記画像切替部は、自身が属するタイミングコントローラに属する前記異常検出部から出力された前記異常検出信号及び前記異常検出ラインを介して別のタイミングコントローラから到来した前記異常検出信号に基づいて前記画像選択出力処理を行うことを特徴とする液晶パネル駆動装置。

【請求項2】

前記出力制御部は、前記表示データ信号に含まれるクロック信号に同期して前記画像データを前記液晶パネル駆動ドライバに与え、

前記異常検出信号は、前記クロック信号の異常検出を表すクロック異常検出信号と、当該同期の異常検出を表す同期異常検出信号とからなり、

前記画像切替部は、前記クロック異常検出信号及び同期異常検出信号の両方若しくは一方に応じて前記異常時画像データを前記出力制御部に与えることを特徴とする請求項 1 に記載の液晶パネル駆動装置。

【請求項 3】

前記タイミングコントローラの各々は、前記クロック異常検出信号に応じて前記表示データ信号に含まれるクロック信号に代えて内部クロック信号を選択するクロック切替え部を含み、

10

前記出力制御部は、前記内部クロック信号に同期して前記異常時画像データを前記液晶パネル駆動ドライバに与えることを特徴とする請求項 2 に記載の液晶パネル駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のタイミングコントローラにより液晶パネルを駆動する液晶パネル駆動装置に関する。

【背景技術】

【0002】

20

液晶パネルにおいて高解像度の表示を行う場合に、表示データ信号の転送速度を低下させつつ、多くの表示データ信号を転送できるように、複数のタイミングコントローラを用いて液晶パネルを駆動する液晶パネル駆動装置が知られている。図 4 は液晶パネル及びこれを駆動する液晶パネル駆動装置を表す図である。グラフィックプロセッサ 300 が、表示データ信号 DD1 をタイミングコントローラ 100 に、表示データ信号 DD2 をタイミングコントローラ 200 に、それぞれ供給する。タイミングコントローラ 100 は、表示データ信号 DD1 に基づくソースドライバ制御信号 SD1 及び画像データ信号 PD1 をソースドライバ 410-1~410-n (n は正整数) の各々に供給する。また、タイミングコントローラ 100 は、表示データ信号 DD1 に基づくゲートドライバ制御信号 GD1 をゲートドライバ 510-1~510-m (m は正整数) の各々に供給する。ソースドライバ 410-1~410-n 及びゲートドライバ 510-1~510-m の各々は、タイミングコントローラ 100 から受け取ったソースドライバ制御信号 SD1、画像データ信号 PD1 及びゲートドライバ制御信号 GD1 に応じて液晶パネル 600 を駆動する。タイミングコントローラ 200、ソースドライバ 420-1~420-n 及びゲートドライバ 520-1~520-m の各々も、上記したのと同様に動作する。

30

【0003】

図 4 に示される如き構成の場合には、通常、タイミングコントローラ 100 とタイミングコントローラ 200 とは、それぞれ独立して動作する。また、タイミングコントローラ 100 は、表示データ信号 DD1 が異常である場合に液晶パネル保護のために、異常時表示を行う機能を有し、タイミングコントローラ 200 も同様に表示データ信号 DD2 が異常である場合に異常時表示を行う機能を有する場合がある。このとき、例えば表示データ信号 DD1 のみに異常が生じた場合、タイミングコントローラ 100 による異常時表示と、タイミングコントローラ 200 による正常表示とが混在して表示されてしまう。また、タイミングコントローラ 100 によるゲートドライバ 510-1~510-m の制御タイミングと、タイミングコントローラ 200 によるゲートドライバ 520-1~520-m の制御タイミングとが異なる場合には、ゲートドライバ 510-1~510-m、520-1~520-m や液晶パネル 600 を破壊してしまう可能性がある。

40

【0004】

例えば特許文献 1 には、複数のタイミングコントローラを用いた表示パネルの駆動方法が開示されている。ここでは、一方のタイミングコントローラが表示制御の異常を検出し

50

たとき、当該検出の結果を他方のタイミングコントローラに通知し、該他方のタイミングコントローラが、該一方のタイミングコントローラへ正常な画像信号やクロック信号を送信することにより、表示制御を正常に行い、表示パネルの劣化を防止することができるとしている。

【特許文献1】特開2006-243565号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1には、複数のタイミングコントローラの各々が、同時に異常な表示データ信号を受け取った場合についての言及が無く、また、これに対処するための具体的な回路構成が示されていない。また、特許文献1には、例えば、一方のタイミングコントローラにクロック信号が消失した表示データ信号が入力され、他方のタイミングコントローラに同期信号が消失した表示データ信号が入力されるなどの、タイミングコントローラ間で異なる異常表示データ信号が入力された場合への対処が示されていない。これらのことから、特許文献1に開示されている表示パネルの駆動方法では、複数のタイミングコントローラの各々が同時に異常な表示データ信号を受け取った場合、異常時表示と正常表示とが混在して表示されてしまうという問題点があった。加えて、特許文献1では、複数のタイミングコントローラ間での画像表示のタイミング合わせに関しても触れられておらず、ここに開示される表示パネルの駆動方法では、タイミングコントローラ間のゲートドライバ制御タイミングのズレに起因して液晶パネルが損傷してしまうという問題点があった。

【0006】

本発明は上記した如き問題点に鑑みてなされたものであって、複数のタイミングコントローラの各々が異常な表示データ信号を受け取った場合でも、液晶パネルを損傷することなく正常な表示を実現することができる液晶パネル駆動装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明による液晶パネル駆動装置は、複数のタイミングコントローラを含む液晶パネル駆動装置であって、外部からの表示データ信号に含まれる画像データを記憶するラインメモリと、前記表示データ信号に異常が生じた時に液晶パネルに表示すべき異常時画像データを記憶する画像データメモリと、前記表示データ信号の異常を検出した場合に異常検出信号を出力する異常検出部と、前記ラインメモリ内の前記画像データ及び前記画像データメモリ内の前記異常時画像データのうちのいずれか一方を択一的に選択しこれを出力する画像選択出力処理を行う画像切替部と、前記画像切替部からの出力データを液晶パネルドライバに与える出力制御部と、を前記複数のタイミングコントローラの各々が含み、前記タイミングコントローラの各々に含まれる前記異常検出部の出力同士は、プルアップ抵抗を介して固定電位に接続されている異常検出ラインを介してワイアードオア接続されており、前記画像切替部は、自身が属するタイミングコントローラに属する前記異常検出部から出力された前記異常検出信号及び前記異常検出ラインを介して別のタイミングコントローラから到来した前記異常検出信号に基づいて前記画像選択出力処理を行うことを特徴とする。

【発明を実施するための最良の形態】

【0008】

以下、本発明に係る実施例について添付の図面を参照しつつ詳細に説明する。

<第1の実施例>

図1は本発明による液晶パネル駆動装置1を表すブロック図である。液晶パネル駆動装置1は、液晶パネル（図示せず）を駆動するための装置であり、タイミングコントローラ100及び200、ソースドライバ410-1～410-n及び420-1～420-n（nは正整数）、ゲートドライバ510-1～510-m及び520-1～520-

m (mは正整数)を含む。

【0009】

タイミングコントローラ100は、グラフィックプロセッサ(図示せず)からの表示データ信号DD1を受け取り、これに基づいて生成して得られたソースドライバ制御信号SD1及び画像データ信号PD1をソースドライバ410-1~410-nの各々に与え、同じく表示データ信号DD1に基づいて生成して得られたゲートドライバ制御信号GD1をゲートドライバ510-1~510-mの各々に与える。

【0010】

ソースドライバ410-1~410-nの各々は、液晶パネル駆動ドライバであって、タイミングコントローラ100からのソースドライバ制御信号SD1及び画像データ信号PD1に基づいて図示せぬ液晶パネルを駆動する。ゲートドライバ510-1~510-mの各々も、液晶パネル駆動ドライバであって、タイミングコントローラ100からのゲートドライバ制御信号GD1に基づいて液晶パネルを駆動する。

【0011】

タイミングコントローラ100は、異常検出部101と、ラインメモリ102と、画像データメモリ103と、画像切替部104と、出力制御部105と、異常検出信号伝達部700の一部であるオープンドレイン出力回路106と、バッファ107と、を含む。

【0012】

異常検出部101は、図示せぬグラフィックプロセッサからの表示データ信号DD1を受け取り、表示データ信号DD1の異常を検出する。異常検出部101は、例えば、本来、表示データ信号DD1に含まれているはずのクロック信号や同期信号が消失していた場合などに、表示データ信号DD1が異常であると判断する。異常検出部101は、表示データ信号DD1の異常を検出した場合に、異常検出信号UD1を出力する。ここでは、異常検出部101は、正常時、すなわち、表示データ信号DD1の異常を検出していない場合、ローレベルの信号を出力しているものとする。また、異常検出部101は、異常検出時、ハイレベルの異常検出信号UD1を出力するものとする。

【0013】

ラインメモリ102は、グラフィックプロセッサからの表示データ信号DD1を受け取り、これに含まれる画像データを記憶する。

【0014】

画像データメモリ103は、表示データ信号DD1及び／又はDD2に異常が発生した場合に、図示せぬ液晶パネルに表示するための画像を表す異常時画像データを記憶する。

【0015】

画像切替部104は、正常時、すなわち、異常検出信号UD1が発せられていない場合、ラインメモリ102に記憶されている画像データを出力制御部105に与える。また、画像切替部104は、異常検出信号UD1に応じて、ラインメモリ102に記憶されている画像データに代えて、画像データメモリ103に記憶されている異常時画像データを出力制御部105に与える。ここでは、画像切替部104は、自身の切り替え制御入力端子(図示せず)にハイレベルの信号が入力されている場合に、ラインメモリ102に記憶されている画像データを出力制御部105に与え、切り替え制御入力端子にローレベルの信号が入力されている場合に、画像データメモリ103に記憶されている異常時画像データを出力制御部105に与えるものとする。

【0016】

出力制御部105は、画像切替部104からの正常時の画像データ若しくは異常時画像データに基づいて生成して得られたソースドライバ制御信号SD1及び画像データ信号PD1をソースドライバ410-1~410-nの各々に与えると共に、ゲートドライバ制御信号GD1をゲートドライバ510-1~510-mの各々に与える。

【0017】

オープンドレイン出力回路106のゲート入力、異常検出部101の出力に接続されており、異常検出部101からの異常検出信号UD1を受け入れる。正常時、ゲート入力

10

20

30

40

50

には、異常検出部101からのローレベルの信号が入力されており、ドレインソース間が電氣的に疎通していない。異常時には、ゲート入力にハイレベルの異常検出信号UD1が入力され、ドレインソース間が電氣的に疎通する。また、オープンドレイン出力回路106のソース接地は、基準電位（GND）に接続されている。

【0018】

オープンドレイン出力回路106のドレイン出力は、プルアップ抵抗710に接続されている異常検出ライン711の一端に接続されている。プルアップ抵抗710は、タイミングコントローラ100が搭載されている基板上に配置され、一端が異常検出ライン711上に接続され、他端が該基板のハイレベル電位の電源層に接続されている。異常検出ライン711の他端はタイミングコントローラ200に含まれているオープンドレイン出力回路206のドレイン出力に接続されている。また、オープンドレイン出力回路106のドレイン出力は、バッファ107を介して画像切替部104の切り替え制御入力端子に接続されている。

10

【0019】

タイミングコントローラ200も、タイミングコントローラ100と同様の構成であり、同様の処理を行う。また、ソースドライバ420-1～420-n及びゲートドライバ520-1～520-mも、上記したと同様の処理を行う。

【0020】

以下に、グラフィックプロセッサからの表示データ信号DD1に異常があり且つ表示データ信号DD2が正常である場合の液晶パネル駆動装置1の動作について説明する。

20

【0021】

先ず、異常検出部101が、表示データ信号DD1に異常がないと判別している場合には、オープンドレイン出力回路106のゲート入力にローレベルの信号が入力されており、オープンドレイン出力回路106のドレインソース間は電氣的に疎通していない。異常検出部201は、表示データ信号DD2が正常であると判別しており、オープンドレイン出力回路206のゲート入力にローレベルの信号が入力され、オープンドレイン出力回路206のドレインソース間は電氣的に疎通していない。この場合、プルアップ抵抗710がハイレベルの電位に接続されていることから、ハイレベルの信号が、画像切替部104及び204の双方の切り替え制御入力端子に供給されている。

【0022】

30

異常検出部101は、表示データ信号DD1の異常を検出した場合、ハイレベルの異常検出信号UD1を発する。異常検出信号UD1はオープンドレイン出力回路106のゲート入力に入力され、オープンドレイン出力回路106のドレインソース間が電氣的に疎通する。ソース接地が基準電位に接続されていることから、ローレベルの信号がバッファ107を介して画像切替部104の切り替え制御入力端子に供給されると共に、異常検出ライン711及びバッファ207を介して画像切替部204の切り替え制御入力端子に供給される。一方、異常検出部201は、継続して表示データ信号DD2が正常であると判別しており、ハイレベルの異常検出信号UD2を発しないため、オープンドレイン出力回路206のドレインソース間は電氣的に疎通していない。

【0023】

40

画像切替部104は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ102に記憶されている画像データに代えて、画像データメモリ103に記憶されている異常時画像データを出力制御部105に与える。同様に画像切替部204は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ202に記憶されている画像データに代えて、画像データメモリ203に記憶されている異常時画像データを出力制御部205に与える。

【0024】

出力制御部105は、画像切替部104からの異常時画像データに基づいて生成して得られたソースドライバ制御信号SD1及び異常時の画像データ信号PD1をソースドライバ410-1～410-nの各々に与えると共に、ゲートドライバ制御信号GD1

50

をゲートドライバー 510-1 ~ 510-m の各々に与える。出力制御部 205 も出力制御部 105 と同様の処理を行う。

【0025】

上記した処理により、タイミングコントローラ 100 への表示データ信号 DD1 にのみ異常があった場合においても、タイミングコントローラ 100 及び 200 の双方が、異常時の画像データ信号を出力するため、異常時表示と正常表示とが混在して表示されるという従来技術における問題を解消して、液晶パネルを損傷することなく正常な表示を実現することができる。

【0026】

次に、グラフィックプロセッサからの表示データ信号 DD1 及び DD2 の双方に異常があった場合の液晶パネル駆動装置 1 の動作について説明する。この場合、異常検出部 101 は、表示データ信号 DD1 の異常を検出して、ハイレベルの異常検出信号 UD1 を発し、異常検出部 201 は、表示データ信号 DD2 の異常を検出して、ハイレベルの異常検出信号 UD2 を発する。これにより、オープンドレイン出力回路 106 及び 206 の双方のドレインソース間が電氣的に疎通する。この場合、ローレベルの信号が、バッファ 107 を介して画像切替部 104 の切り替え制御入力端子に供給されると共に、バッファ 207 を介して画像切替部 204 の切り替え制御入力端子に供給される。

【0027】

画像切替部 104 は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ 102 に記憶されている画像データに代えて、画像データメモリ 103 に記憶されている異常時画像データを出力制御部 105 に与える。同様に画像切替部 204 は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ 202 に記憶されている画像データに代えて、画像データメモリ 203 に記憶されている異常時画像データを出力制御部 205 に与える。出力制御部 105 及び 205 は上述したのと同様に動作する。

【0028】

上記した処理により、タイミングコントローラ 100 への表示データ信号 DD1 及びタイミングコントローラ 200 への表示データ信号 DD2 の双方に異常があった場合においても、タイミングコントローラ 100 及び 200 の双方が、異常時の画像データ信号を出力するため、異常時表示と正常表示とが混在して表示されるという従来技術における問題を解消して、液晶パネルを損傷することなく正常な表示を実現することができる。

【0029】

また、タイミングコントローラ 100 と 200 とを 1 本の異常検出ライン 711 で接続し、タイミングコントローラ 100 及び 200 が搭載されている基板上に、異常検出ライン 711 に接続されたプルアップ抵抗を搭載するのみで、異常検出信号伝達部 700 を構成できるため、該基板上の面積の増大及びコストの増加を最小限に抑えつつ正常な表示を実現することができる。

<第 2 の実施例>

図 2 は液晶パネル駆動装置 2 を表すブロック図である。以下、第 1 の実施例と異なる点を主として説明する。

【0030】

異常検出部 101 は、グラフィックプロセッサからの表示データ信号 DD1 を受け取り、表示データ信号 DD1 に含まれるクロック信号及び同期信号の異常を検出する。異常検出部 101 は、クロック信号の異常を検出した場合にハイレベルのクロック異常検出信号 CS1 を出力する。また、異常検出部 101 は、同期信号の異常を検出した場合にハイレベルの同期異常検出信号 SS1 を出力する。なお、異常検出部 101 は、正常時、すなわち、表示データ信号 DD1 の異常を検出していない場合、ローレベルの信号を出力している。

【0031】

オープンドレイン出力回路 106 のゲート入力、異常検出部 101 の出力に接続され

10

20

30

40

50

ており、異常検出部１０１からのクロック異常検出信号ＣＳ１を受け入れる。正常時、ゲート入力には、異常検出部１０１からのローレベルの信号が入力されており、ドレインソース間が電氣的に疎通していない。異常時には、ゲート入力にハイレベルのクロック異常検出信号ＣＳ１が入力され、ドレインソース間が電氣的に疎通する。また、オープンドレイン出力回路１０６のソース接地は、基準電位（ＧＮＤ）に接続されている。

【００３２】

オープンドレイン出力回路１０６のドレイン出力は、プルアップ抵抗７２０に接続されているクロック異常検出ライン７２１の一端に接続されている。プルアップ抵抗７２０は、タイミングコントローラ１００が搭載されている基板上に配置され、一端がクロック異常検出ライン７２１上に接続され、他端が該基板のハイレベル電位の電源層に接続されている。クロック異常検出ライン７２１の他端はタイミングコントローラ２００に含まれているオープンドレイン出力回路２０６のドレイン出力に接続されている。オープンドレイン出力回路１０６のドレイン出力は、バッファ１０７を介してＡＮＤ回路１１０の入力に接続されている。また、オープンドレイン出力回路１０６のドレイン出力は、バッファ１０７を介してクロック切替部１１１に接続されている。

10

【００３３】

オープンドレイン出力回路１０８のゲート入力は、異常検出部１０１の出力に接続されており、異常検出部１０１からの同期異常検出信号ＳＳ１を受け入れる。正常時、ゲート入力には、異常検出部１０１からのローレベルの信号が入力されており、ドレインソース間が電氣的に疎通していない。異常時には、ゲート入力にハイレベルの同期異常検出信号ＳＳ１が入力され、ドレインソース間が電氣的に疎通する。また、オープンドレイン出力回路１０８のソース接地は、基準電位（ＧＮＤ）に接続されている。

20

【００３４】

オープンドレイン出力回路１０８のドレイン出力は、プルアップ抵抗７３０に接続されている同期異常検出ライン７３１の一端に接続されている。プルアップ抵抗７３０は、タイミングコントローラ１００が搭載されている基板上に配置され、一端が同期異常検出ライン７３１上に接続され、他端が該基板のハイレベル電位の電源層に接続されている。同期異常検出ライン７３１の他端はタイミングコントローラ２００に含まれているオープンドレイン出力回路２０８のドレイン出力に接続されている。また、オープンドレイン出力回路１０８のドレイン出力は、バッファ１０９を介してＡＮＤ回路１１０の入力に接続されている。

30

【００３５】

ＡＮＤ回路１１０の一方の入力は、バッファ１０７の出力に接続され、他方の入力はバッファ１０９の出力に接続されている。ＡＮＤ回路１１０の出力は画像切替部１０４の切り替え制御入力端子に接続されている。

【００３６】

クロック切替部１１１は、内部クロックを生成する内部クロック生成手段を有し、クロック異常検出信号ＣＳ１に応じて、表示データ信号ＤＤ１に含まれるクロック信号に代えて内部クロック信号を選択し、これを出力制御部１０５に与える。ここでは、クロック切替部１１１は、バッファ１０７からのローレベルの信号入力に応じて、内部クロック信号を選択するものとする。

40

【００３７】

出力制御部１０５は、正常時には、表示データ信号ＤＤ１に含まれるクロック信号に同期して、ソースドライバー制御信号ＳＤ１、画像データ信号ＰＤ１をソースドライバー４１０－１～４１０－ｎに、ゲートドライバー制御信号ＧＤ１をゲートドライバー５１０－１～５１０－ｍに与えている。出力制御部１０５は、異常時には、表内部クロックに同期して、これらの信号をソースドライバー４１０－１～４１０－ｎ及びゲートドライバー５１０－１～５１０－ｍに与える。

【００３８】

タイミングコントローラ２００も、タイミングコントローラ１００と同様の構成であり

50

、同様の処理を行う。

【0039】

グラフィックプロセッサからの表示データ信号DD1に含まれている同期信号に異常があり且つクロック信号が正常である場合、液晶パネル駆動装置2は以下のように動作する。

【0040】

異常検出部101は、表示データ信号DD1の同期異常を検出して、ハイレベルの同期異常検出信号SS1を発する。同期異常検出信号SS1はオープンドレイン出力回路108のゲート入力に入力され、オープンドレイン出力回路108のドレインソース間が電氣的に疎通する。ソース接地が基準電位に接続されていることから、ローレベルの信号がバッファ109を介してAND回路110の一方の入力に供給されると共に、同期異常検出ライン731及びバッファ209を介してAND回路210の一方の入力に供給される。

10

【0041】

異常検出部101は、表示データ信号DD1に含まれているクロック信号については正常であると判断し、ハイレベルのクロック異常検出信号CS1を発しないため、オープンドレイン出力回路106のドレインソース間は電氣的に疎通していない。このとき、プルアップ抵抗720の一端がハイレベル電位の電源層に接続されていることから、AND回路110の他方の入力にはバッファ107を介してハイレベルの信号が入力されると共に、AND回路210の他方の入力にはバッファ207を介してハイレベルの信号が入力される。

20

【0042】

また、クロック切替部111は、バッファ107からのハイレベルの信号入力に応じて表示データ信号DD1に含まれるクロック信号を選択し、これを出力制御部105に与える。同様にクロック切替部211は、バッファ207からのハイレベルの信号入力に応じて表示データ信号DD2に含まれるクロック信号を選択し、これを出力制御部205に与える。

【0043】

AND回路110の一方の入力にはバッファ107からのハイレベルの信号が入力され、他方の入力にはバッファ109からのローレベルの信号が入力されるため、AND回路110の出力はローレベルの信号を画像切替部104に与える。同様にAND回路210の出力はローレベルの信号を画像切替部204に与える。

30

【0044】

画像切替部104は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ102に記憶されている画像データに代えて、画像データメモリ103に記憶されている異常時画像データを出力制御部105に与える。同様に画像切替部204は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ202に記憶されている画像データに代えて、画像データメモリ203に記憶されている異常時画像データを出力制御部205に与える。

【0045】

出力制御部105は、表示データ信号DD1に含まれているクロック信号に同期して、ソースドライバ制御信号SD1及び異常時の画像データ信号PD1をソースドライバ410-1～410-nの各々に与えると共に、ゲートドライバ制御信号GD1をゲートドライバ510-1～510-mの各々に与える。出力制御部205も出力制御部105と同様の処理を行う。

40

【0046】

上記した処理により、タイミングコントローラ100は、表示データ信号DD1に含まれている同期信号が異常でありクロック信号が正常である場合には、表示データ信号DD1に含まれているクロック信号に同期して異常時の画像データ信号PD1を出力することができる。同期信号の異常は、同期異常検出ラインを介してタイミングコントローラ20

50

0に伝達されるため、タイミングコントローラ200も表示データ信号DD2に含まれているクロック信号に同期して異常時の画像データ信号PD2を出力することができる。

【0047】

次にグラフィックプロセッサからの表示データ信号DD1に含まれているクロック信号に異常があり、同期信号は正常若しくは異常である場合、液晶パネル駆動装置2は以下のように動作する。

【0048】

異常検出部101は、表示データ信号DD1のクロック異常を検出して、ハイレベルのクロック異常検出信号CS1を発する。クロック異常検出信号CS1はオープンドレイン出力回路106のゲート入力に入力され、オープンドレイン出力回路106のドレインソース間が電氣的に疎通する。ソース接地が基準電位に接続されていることから、ローレベルの信号がバッファ107を介してAND回路110の一方の入力に供給されると共に、同期異常検出ライン721及びバッファ207を介してAND回路210の一方の入力に供給される。異常検出部101は、同期信号に関して正常若しくは異常の判断を下し、AND回路110の他方の入力にはバッファ109を介してハイレベル若しくはローレベルの信号が入力されると共に、AND回路210の他方の入力にはバッファ209を介してハイレベル若しくはローレベルの信号が入力される。

【0049】

また、クロック切替部111は、バッファ107からのローレベルの信号入力に応じて内部クロック信号を選択し、これを出力制御部105に与える。同様にクロック切替部211は、バッファ207からのローレベルの信号入力に応じて内部クロック信号を選択し、これを出力制御部205に与える。

【0050】

AND回路110の一方の入力にはバッファ107からのローレベルの信号が入力されるため、AND回路110の出力はローレベルの信号を画像切替部104に与える。同様にしてAND回路210の出力はローレベルの信号を画像切替部204に与える。

【0051】

画像切替部104は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、画像データメモリ103に記憶されている異常時画像データを出力制御部105に与える。同様に画像切替部204は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、画像データメモリ203に記憶されている異常時画像データを出力制御部205に与える。

【0052】

出力制御部105は、内部クロック信号に同期して、ソースドライバ制御信号SD1及び異常時の画像データ信号PD1をソースドライバ410-1~410-nの各々に与えると共に、ゲートドライバ制御信号GD1をゲートドライバ510-1~510-mの各々に与える。出力制御部205も出力制御部105と同様の処理を行う。

【0053】

上記した処理により、タイミングコントローラ100は、表示データ信号DD1に含まれているクロック信号が異常である場合には、クロック切替部111により生成された内部クロック信号に同期して異常時の画像データ信号PD1を出力することができる。同期信号の異常は、同期異常検出ラインを介してタイミングコントローラ200に伝達されるため、タイミングコントローラ200もクロック切替部211により生成された内部クロック信号に同期して異常時の画像データ信号PD2を出力することができる。

【0054】

以上、タイミングコントローラ100への表示データ信号DD1に異常があった場合について説明したが、タイミングコントローラ200への表示データ信号DD2に異常があった場合にも、同様の処理がなされる。

【0055】

以上のように第2の実施例による液晶パネル駆動装置2は、表示データ信号DD1に含

10

20

30

40

50

まれているクロック信号の異常と同期信号の異常とを個別に検出し、同期信号が異常であり且つクロック信号が正常であると判別した場合には、該クロック信号に同期して異常時の画像データ信号を出力し、クロック信号が異常であると判別した場合には、内部クロック信号に同期して異常時の画像データ信号を出力する。液晶パネル駆動装置 2 には、クロック信号の異常を伝達するためのクロック異常検出ラインと、同期信号の異常を伝達するための同期異常検出ラインとが設けられ、それぞれの異常を他方のタイミングコントローラに伝達しているため、クロック信号に異常があった場合には、タイミングコントローラ 100 及び 200 の双方が同時に表示データ信号に含まれているクロック信号から内部クロック信号に切り替えることができる。

【0056】

10

タイミングコントローラ 100 への表示データ信号 DD1 及び／又はタイミングコントローラ 200 への表示データ信号 DD2 に異常があった場合においても、タイミングコントローラ 100 及び 200 の双方が、同時に内部クロック信号に切り替えて、該内部クロック信号に同期して異常時の画像データ信号 PD1 及び PD2 を出力するため、異常時表示と正常表示とが混在して表示されるという従来の問題を解消して、液晶パネルを損傷することなく正常な表示を実現することができる。

<第3の実施例>

図3は液晶パネル駆動装置3を表すブロック図である。以下、第2の実施例と異なる点を主として説明する。

【0057】

20

画像切替部 104 は、ラインメモリ 102 に記憶されている画像データ又は画像データメモリ 103 に記憶されている異常時画像データの 1 ライン分のデータを出力制御部 105 へ出力開始する毎にハイレベルのパルス信号を生成して出力する。以下、該パルス信号をスタート信号 ST1 と称する。

【0058】

セクタ 112 の一方の入力 (1) には、スタート信号 ST1 が入力される。セクタ 112 の他方の入力 (2) には、バッファ 114 の出力が接続されている。セクタ 112 は、自身の入力信号選択端子 (図示せず) にハイレベルの信号が入力された場合に、入力 (1) を選択し、ローレベルの信号が入力された場合に、入力 (2) を選択する。ここでは、ハイレベル固定のセレクト信号 SL1 がセクタ 112 の入力信号選択端子に入力され、スタート信号 ST1 が出力されているものとする。セクタ 112 の出力はバッファ 113 の入力及び出力制御部 105 に接続されている。

30

【0059】

バッファ 113 の出力は、スタート信号伝達ライン 740 の一端に接続されている。バッファ 113 は、自身のイネーブル端子 (図示せず) にハイレベルの信号を入力された場合にイネーブル状態となり、ローレベルの信号を入力された場合にディセーブル状態となる。ここでは、該イネーブル端子にハイレベル固定のセレクト信号 SL1 が入力され、バッファ 113 はイネーブル状態であるとする。この場合、セクタ 112 からのスタート信号 ST1 がバッファ 113 及びスタート信号伝達ライン 740 を介してタイミングコントローラ 200 に伝達される。

40

【0060】

バッファ 114 の入力、スタート信号伝達ライン 740 の一端に接続され、タイミングコントローラ 200 からのスタート信号 ST2 をセクタ 112 の他方の入力 (2) に与える。

【0061】

タイミングコントローラ 200 に含まれている画像切替部 204 も、画像切替部 104 と同様にスタート信号 ST2 を生成して出力する。

【0062】

セクタ 212 の一方の入力 (1) には、スタート信号 ST2 が入力される。セクタ 212 の他方の入力 (2) には、バッファ 214 の出力が接続されている。セクタ 21

50

2は、自身の入力信号選択端子（図示せず）にハイレベルの信号が入力された場合に、入力（1）を選択し、ローレベルの信号が入力された場合に、入力（2）を選択する。ここでは、ローレベル固定のセレクト信号SL2がセクタ212の入力信号選択端子に入力され、スタート信号伝達ライン740を介して伝達されたタイミングコントローラ100からのスタート信号ST1が出力されているものとする。セクタ212の出力はバッファ213の入力及び出力制御部205に接続されている。

【0063】

バッファ213の出力は、スタート信号伝達ライン740の一端に接続されている。バッファ213は、自身のイネーブル端子（図示せず）にハイレベルの信号を入力された場合にイネーブル状態となり、ローレベルの信号を入力された場合にディセーブル状態となる。ここでは、該イネーブル端子にローレベル固定のセレクト信号SL2が入力され、バッファ213はディセーブル状態であるとする。なお、このときのセクタ212はスタート信号ST2を出力していない。

10

【0064】

バッファ214の入力は、スタート信号伝達ライン740の一端に接続され、タイミングコントローラ100からのスタート信号ST1をセクタ212の他方の入力（2）に与える。

【0065】

以下に、液晶パネル駆動装置3の動作について説明する。なお、異常検出部101及び201におけるクロック異常、同期異常の検出処理は第2の実施例と同一である。

20

【0066】

画像切替部104は、スタート信号ST1をセクタ112の一方の入力（1）に出力している。スタート信号ST1は、画像切替部104がラインメモリ102に記憶されている画像データ又は画像データメモリ103に記憶されている異常時画像データの1ライン分のデータを出力制御部105へ出力開始する毎にハイレベルのパルスが表れる信号である。

【0067】

セクタ112の入力信号選択端子には、ハイレベル固定のセレクト信号SL1が入力されており、入力（1）が選択されているため、セクタ112の出力からはスタート信号ST1が出力されている。セクタ112から出力されたスタート信号ST1は、出力制御部105に与えられると共に、スタート信号伝達ライン740を介してタイミングコントローラ200へ伝達される。

30

【0068】

スタート信号伝達ライン740を介して伝達されたスタート信号ST1は、バッファ214を介してセクタ212の入力（2）へ入力される。セクタ212の入力信号選択端子には、ローレベル固定のセレクト信号SL2が入力されており、入力（2）が選択されているため、セクタ212の出力からはスタート信号ST1が出力されている。なお、バッファ213は、ディセーブル状態になっているため、スタート信号ST1をスタート信号伝達ライン740へ出力しない。

【0069】

40

出力制御部105は、スタート信号ST1のハイレベルのパルスに応じて、画像切替部104からのソースドライバ制御信号SD1、画像データ信号PD1及びゲートドライバ制御信号GD1の出力を開始する。同時に、出力制御部205は、スタート信号ST1のハイレベルのパルスに応じて、画像切替部204からのソースドライバ制御信号SD2、画像データ信号PD2及びゲートドライバ制御信号GD2の出力を開始する。

【0070】

上記したように、第3の実施例によれば、タイミングコントローラ100がスタート信号ST1を生成し、これを自身の出力制御部105に与えると共に、スタート信号伝達ライン740を介してタイミングコントローラ200の出力制御部205へ伝達する。出力制御部105及び205の双方はスタート信号ST1のハイレベルのパルスを起点として

50

1ライン毎に画像データ信号PD1及びPD2などを出力する。これにより、タイミングコントローラ100及び200の双方が、画像データ信号PD1及びPD2などの出力タイミングを合わせることができるため、タイミングずれによる表示異常及び液晶パネルの損傷を回避することができる。

【0071】

以上、タイミングコントローラ100が生成したスタート信号ST1を、スタート信号伝達ライン740を介してタイミングコントローラ200へ伝達する場合について説明したが、反対に、タイミングコントローラ200が生成したスタート信号ST2を、スタート信号伝達ライン740を介してタイミングコントローラ100へ伝達することもできる。この場合、上記の例とは反対に、セレクト信号SL1をローレベル固定、セレクト信号SL2をハイレベル固定することで容易に実現できる。

10

【0072】

第1～3の実施例はタイミングコントローラの個数が2つの場合の例であるが、本発明による液晶パネル駆動装置は、タイミングコントローラの個数が3つ以上の場合にも適用可能である。この場合、各タイミングコントローラ間を第1～3の実施例の場合と同様に、プルアップ抵抗に接続された異常検出ライン及びスタート信号伝達ラインで接続することにより、同様の効果を奏することができる。

【図面の簡単な説明】

【0073】

【図1】第1の実施例による液晶パネル駆動装置を表すブロック図である。

20

【図2】第2の実施例による液晶パネル駆動装置を表すブロック図である。

【図3】第3の実施例による液晶パネル駆動装置を表すブロック図である。

【図4】液晶パネル及び液晶パネル駆動装置を表すブロック図である。

【符号の説明】

【0074】

1、2、3 液晶パネル駆動装置

100、200 タイミングコントローラ

101、201 異常検出部

102、202 ラインメモリ

103、203 画像データメモリ

30

104、204 画像切替部

105、205 出力制御部

106、206、108、208 オープンドレイン出力回路

107、207、109、209、113、213、114、214 バッファ

110、210 AND回路

111、211 クロック切替部

112、212 セレクタ

300 グラフィックプロセッサ

410-1～410-n、420-1～420-n ソースドライバ

510-1～510-m、520-1～520-m ゲートドライバ

40

600 液晶パネル

700 異常検出信号伝達部

710、720、730 プルアップ抵抗

711 異常検出ライン

721 クロック異常検出ライン

731 同期異常検出ライン

740 スタート信号伝達ライン

CS1、CS2 クロック異常検出信号

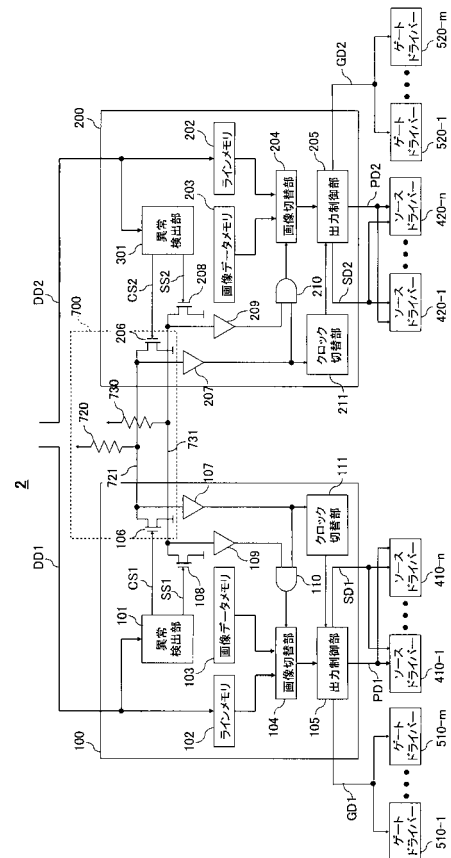
DD1、DD2 表示データ信号

GD1、GD2 ゲートドライバ制御信号

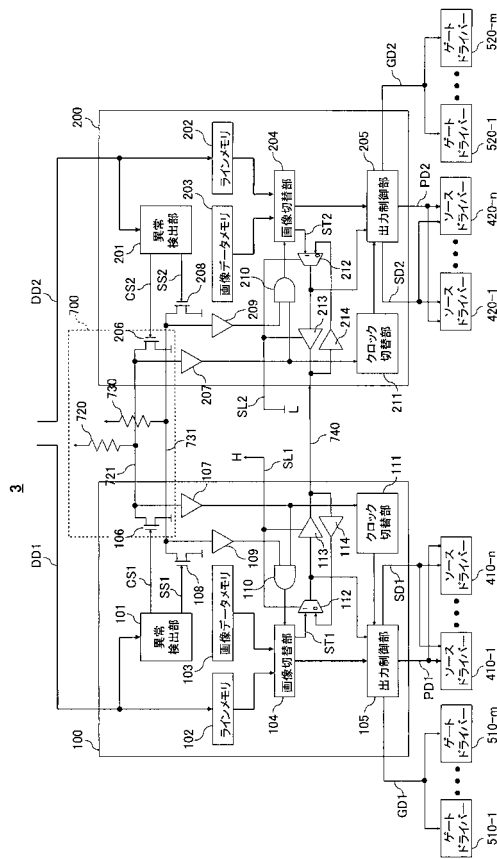
50

P D 1、P D 2	画像データ信号
S D 1、S D 2	ソースドライバー制御信号
S L 1、S L 2	セレクト信号
S S 1、S S 2	同期異常検出信号
U D 1、U D 2	異常検出信号

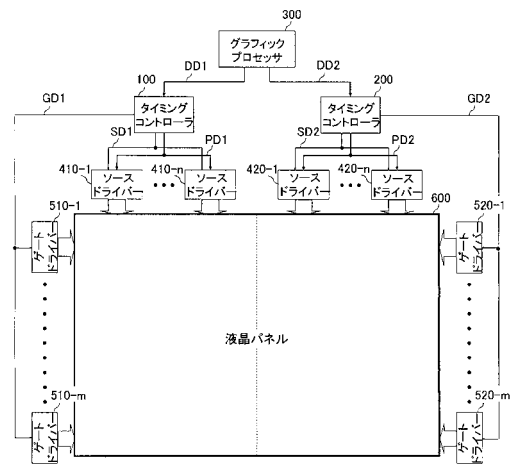
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 2 K
G 0 9 G 3/20 6 1 2 L
G 0 2 F 1/133 5 0 5

(56)参考文献 特開 2 0 0 6 - 2 4 3 5 6 5 (J P, A)
特開 2 0 0 1 - 0 9 2 4 2 5 (J P, A)
特開 2 0 0 4 - 3 6 1 4 5 7 (J P, A)
特開平 0 6 - 0 5 4 2 8 0 (J P, A)
国際公開第 2 0 0 4 / 0 7 7 3 9 3 (W O, A 1)
特開 2 0 0 2 - 2 9 7 1 0 8 (J P, A)
特開 2 0 0 1 - 2 2 8 8 4 1 (J P, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶面板驱动装置		
公开(公告)号	JP4567046B2	公开(公告)日	2010-10-20
申请号	JP2007321031	申请日	2007-12-12
申请(专利权)人(译)	OKI半导体有限公司		
当前申请(专利权)人(译)	OKI半导体有限公司		
[标]发明人	遊佐敦史		
发明人	遊佐 敦史		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3685 G09G2330/08		
FI分类号	G09G3/36 G09G3/20.670.G G09G3/20.621.K G09G3/20.631.V G09G3/20.670.N G09G3/20.612.K G09G3/20.612.L G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC28 2H093/NC50 2H093/NC59 2H093/NC90 2H093/ND46 2H093/ND60 2H193/ZF22 2H193/ZF24 2H193/ZF36 2H193/ZH50 2H193/ZH52 2H193/ZJ14 2H193/ZK21 5C006/AF42 5C006/AF45 5C006/AF51 5C006/AF53 5C006/AF54 5C006/AF65 5C006/BB16 5C006/BC12 5C006/BF05 5C006/FA04 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD18 5C080/EE26 5C080/FF01 5C080/FF11 5C080/GG12 5C080/GG17 5C080/JJ02		
代理人(译)	藤村元彦 高野真司		
其他公开文献	JP2009145485A		
外部链接	Espacenet		

摘要(译)

一种液晶面板驱动装置，即使在多个定时控制器中的每一个接收到异常显示数据信号时，也能够实现正常显示而不损坏液晶面板。包括在液晶面板驱动装置中的定时控制器通过异常检测线将通过检测显示数据信号的异常而产生的异常检测信号发送到另一个定时控制器，并且异常根据检测信号输出存储在图像数据存储器中的异常时间图像数据。[选图]图1

