

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4217170号  
(P4217170)

(45) 発行日 平成21年1月28日 (2009. 1. 28)

(24) 登録日 平成20年11月14日 (2008. 11. 14)

(51) Int. Cl.

F I

GO 2 F 1/1343 (2006. 01)

GO 2 F 1/1343

GO 2 F 1/1368 (2006. 01)

GO 2 F 1/1368

GO 2 F 1/133 (2006. 01)

GO 2 F 1/133

請求項の数 11 (全 17 頁)

(21) 出願番号 特願2004-19905 (P2004-19905)  
 (22) 出願日 平成16年1月28日 (2004. 1. 28)  
 (65) 公開番号 特開2005-215159 (P2005-215159A)  
 (43) 公開日 平成17年8月11日 (2005. 8. 11)  
 審査請求日 平成18年2月21日 (2006. 2. 21)

(73) 特許権者 502356528  
 株式会社 日立ディスプレイズ  
 千葉県茂原市早野3300番地  
 (74) 代理人 100083552  
 弁理士 秋田 収喜  
 (72) 発明者 松岡 晃  
 千葉県茂原市早野3300番地 株式会社  
 日立ディスプレイズ内  
 (72) 発明者 小野 記久雄  
 千葉県茂原市早野3300番地 株式会社  
 日立ディスプレイズ内  
 審査官 鈴木 俊光

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

基板の液晶側の面に、第1の方向に延在し該第1の方向に交差する第2の方向に並設されるゲート信号線と前記第2の方向に延在し前記第1の方向に並設されるドレイン信号線とで囲まれる領域を画素領域とし、

該画素領域に、前記ゲート信号線からの信号によってオンされるスイッチング素子と、このスイッチング素子を介して前記ドレイン信号線からの信号が供給される画素電極と、この画素電極との間に電界を生じせしめる対向電極とを備え、

前記対向電極は、前記画素電極に対し絶縁膜を介して前記基板側に形成されているとともに、各画素領域ごとに物理的に分離して形成され、

これら各対向電極のうち、前記第1の方向に並設される各画素領域の画素群であって前記第2の方向に複数置きに配置される画素群の各画素領域の対向電極は、当該画素群内に一方の前記ゲート信号線に近接して形成される対向電圧信号線と電気的に接続され、

それ以外の対向電極は、当該画素領域と前記第2の方向に隣接する画素領域の前記対向電極と前記ゲート信号線の一部を跨いで形成される導電層を介して接続されていることを特徴とする液晶表示装置。

【請求項 2】

基板の液晶側の面に、第1の方向に延在し該第1の方向に交差する第2の方向に並設されるゲート信号線と前記第2の方向に延在し前記第1の方向に並設されるドレイン信号線とで囲まれる領域を画素領域とし、

10

20

該画素領域に、前記ゲート信号線からの信号によってオンされるスイッチング素子と、このスイッチング素子を介して前記ドレイン信号線からの信号が供給される画素電極と、この画素電極との間に電界を生じせしめる対向電極とを備え、

前記画素電極は一方向に延在し該一方向と交差する方向に並設される各電極群からなる透光性の導電膜で構成され、前記対向電極は前記画素電極に対し絶縁膜を介して前記基板側に前記画素領域の周辺を除く中央部に形成された透光性の導電膜で構成され、

前記画素領域毎に形成される前記各対向電極のうち、前記第 1 の方向に並設される各画素領域の画素群であって前記第 2 の方向に複数置きに配置される画素群の各画素領域の対向電極は、当該画素群内に一方の前記ゲート信号線に近接して形成される対向電圧信号線と電氣的に接続され、

10

それ以外の対向電極は、当該画素領域と前記第 2 の方向に隣接する画素領域の前記対向電極と前記ゲート信号線の一部を跨いで形成される導電層を介して接続されていることを特徴とする液晶表示装置。

【請求項 3】

前記画素電極は、複数のスリットが形成され、前記スリットの延在方向は前記ゲート信号線に対して鋭角をなす方向となっていることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記各ゲート信号線はそれに隣接される他のゲート信号線と等間隔に配置されていることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 5】

前記画素電極は、複数のスリットが形成され、前記対向電圧信号線が形成されている画素群の各画素電極における前記スリットの本数は、前記対向電圧信号線が形成されていない画素群の各画素電極における前記スリットの本数よりも少ないことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記対向電圧信号線が形成されている画素群の各画素領域を挟む一对の前記ゲート信号線の間隔は、前記対向電圧信号線が形成されていない画素群の各画素領域を挟む一对の前記ゲート信号線の間隔よりも、大きく形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 7】

前記対向電圧信号線が形成されている画素群の各画素領域における前記画素電極の本数は、前記対向電圧信号線が形成されていない画素群の各画素領域における前記画素電極の本数と等しいことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

基板の液晶側の面に、第 1 の方向に延在し該第 1 の方向に交差する第 2 の方向に並設されるゲート信号線と第 2 の方向に延在し第 1 の方向に並設されるドレイン信号線とで囲まれる領域を画素領域とし、

該画素領域に、前記ゲート信号線からの信号によってオンされるスイッチング素子と、このスイッチング素子を介して前記ドレイン信号線からの信号が供給される画素電極と、この画素電極との間に電界を生じせしめる対向電極とを備え、

40

前記対向電極は、前記画素電極に対し絶縁膜を介して前記基板側に形成されているとともに、前記各画素領域ごとに物理的に分離して形成され、

これら各対向電極のうち、前記第 1 の方向に並設される各画素領域の画素群であって前記第 2 の方向に複数置きに配置される画素群の各画素領域の対向電極は、当該画素群内に一方の前記ゲート信号線に近接して形成される対向電圧信号線と電氣的に接続され、それ以外の対向電極は、当該画素領域と前記第 2 の方向に隣接する画素領域の前記対向電極と前記ゲート信号線の一部を跨いで形成される導電層を介して接続され、

前記ドレイン信号線は、前記対向電圧信号線が形成されていない画素群との交差部における幅が、前記対向電圧信号線が形成されている画素群との交差部における幅よりも大き

50

くなっていることを特徴とする液晶表示装置。

【請求項 9】

前記対向電圧信号線はそれに隣接される他の対向電圧信号線との間隔が一定となっていることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

前記ゲート信号線はそのうちの幾つかが液晶表示部を超えて延在する部分で屈曲部を備え、この屈曲部によってその当該ゲート信号線と隣接する他のゲート信号線との間隔を一定とすることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 11】

前記各ゲート信号線にその並設方向へ順次信号を供給する駆動にあって、前記対向電圧信号線が設けられている画素領域から次の前記対向電圧信号線が設けられている画素領域までに供給される前記ドレイン信号線の信号は前記対向電極に印加される電圧に対して一方の極性を有し、該次の前記対向電圧信号線が設けられている画素領域からさらに次の前記対向電圧信号線が設けられている画素領域までに供給される前記ドレイン信号線の信号は他方の極性を有するように順次極性が変化して供給されることを特徴とする請求項 1 から 10 のいずれかに記載の液晶表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置およびその駆動方法に関する。

20

【背景技術】

【0002】

液晶表示装置として、一方の基板の液晶側に対向する面の各画素領域に画素電極と対向電極とを備えたものが知られている。

この種の液晶表示装置は、対向電極に基準となる信号を供給しなければならないことから、その信号線（対向電圧信号線）を、各画素を駆動させるために必要となるゲート信号線およびドレイン信号線とともに配置させなければならない構成となっている（特許文献 1 参照）。

この場合、ドレイン信号線は、対向電圧信号線と交差させて配置させなければならず、いわゆる交差容量の増大による不都合が指摘されている。

30

一方、この対向電圧信号線を隣接する各画素にて共通に形成し、これにより該対向電圧信号線の本数を低減させる技術が知られている（特許文献 2 参照）。

【0003】

【特許文献 1】米国特許 6,462,799 号公報

【特許文献 2】米国特許 6,646,706 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、上述のように対向電圧信号線を隣接する各画素にて共通に形成した場合、対向電極は前記対向電圧信号線とのみ接続された構成とならざるを得ず、他の対向電圧信号線が設けられた画素における対向電極との間の接続がなされないものとなっている。

40

対向電圧信号線に供給される信号の時定数を大幅に緩和させるためには、対向電極はその左右、上下の各画素における対向電極と電気的に接続されていることが望ましいからである。

【0005】

また、対向電圧信号線を隣接する各画素にて共通に形成する限り、該対向電圧信号線は、その対向電圧信号線の延在方向に並設される各画素の画素群に対し 1 つ置きに配置されることに制約され、たとえば 2 つ置き、あるいは 3 つ置きに配置させることが困難となっていた。

【0006】

50

本発明は、このような事情に基づいてなされたものであり、対向電極はその左右、上下の各画素における対向電極と電氣的に接続させた構成とする液晶表示措置を提供することにある。

また、本発明の他の目的は、対向電極に信号を供給する対向電圧信号線はその延在方向に並設される各画素の画素群に対し１つ置き、あるいはそれ以上の数置きで配置可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【０００７】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【０００８】

(１)

本発明による液晶表示装置は、たとえば、基板の液晶側の面に、第１の方向に延在し該第１の方向に交差する第２の方向に並設されるゲート信号線と前記第２の方向に延在し前記第１の方向に並設されるドレイン信号線とで囲まれる領域を画素領域とし、

該画素領域に、前記ゲート信号線からの信号によってオンされるスイッチング素子と、このスイッチング素子を介して前記ドレイン信号線からの信号が供給される画素電極と、この画素電極との間に電界を生じせしめる対向電極とを備え、

前記対向電極は、前記画素電極に対し絶縁膜を介して前記基板側に形成されているとともに、各画素領域ごとに物理的に分離して形成され、

これら各対向電極のうち、前記第１の方向に並設される各画素領域の画素群であって前記第２の方向に複数置きに配置される画素群の各画素領域の対向電極は、当該画素群内に一方の前記ゲート信号線に近接して形成される対向電圧信号線と電氣的に接続され、

それ以外の対向電極は、当該画素領域と前記第２の方向に隣接する画素領域の前記対向電極と前記ゲート信号線の一部を跨いで形成される導電層を介して接続されていることを特徴とする。

【０００９】

(２)

本発明による液晶表示装置は、たとえば、基板の液晶側の面に、第１の方向に延在し該第１の方向に交差する第２の方向に並設されるゲート信号線と前記第２の方向に延在し前記第１の方向に並設されるドレイン信号線とで囲まれる領域を画素領域とし、

該画素領域に、前記ゲート信号線からの信号によってオンされるスイッチング素子と、このスイッチング素子を介して前記ドレイン信号線からの信号が供給される画素電極と、この画素電極との間に電界を生じせしめる対向電極とを備え、

前記画素電極は一方向に延在し該一方向と交差する方向に並設される各電極群からなる透光性の導電膜で構成され、前記対向電極は前記画素電極に対し絶縁膜を介して前記基板側に前記画素領域の周辺を除く中央部に形成された透光性の導電膜で構成され、

前記画素領域毎に形成される前記各対向電極のうち、前記第１の方向に並設される各画素領域の画素群であって前記第２の方向に複数置きに配置される画素群の各画素領域の対向電極は、当該画素群内に一方の前記ゲート信号線に近接して形成される対向電圧信号線と電氣的に接続され、

それ以外の対向電極は、当該画素領域と前記第２の方向に隣接する画素領域の前記対向電極と前記ゲート信号線の一部を跨いで形成される導電層を介して接続されていることを特徴とする。

【００１０】

(３)

本発明による液晶表示装置は、たとえば、(２)の構成を前提とし、前記画素電極は、複数のスリットが形成され、前記スリットの延在方向はゲート信号線に対して鋭角をなす方向となっていることを特徴とする。

【００１１】

10

20

30

40

50

( 4 )

本発明による液晶表示装置は、たとえば、( 1 )の構成を前提とし、前記各ゲート信号線はそれに隣接される他のゲート信号線と等間隔に配置されていることを特徴とする。

【 0 0 1 2 】

( 5 )

本発明による液晶表示装置は、たとえば、( 4 )の構成を前提とし、前記画素電極は、複数のスリットが形成され、前記対向電圧信号線が形成されている画素群の各画素電極における前記スリットの本数は、前記対向電圧信号線が形成されていない画素群の各画素電極における前記スリットの本数よりも少ないことを特徴とする。

【 0 0 1 3 】

10

( 6 )

本発明による液晶表示装置は、たとえば、( 1 )の構成を前提とし、前記対向電圧信号線が形成されている画素群の各画素領域を挟む一对の前記ゲート信号線の間隔は、前記対向電圧信号線が形成されていない画素群の各画素領域を挟む一对の前記ゲート信号線の間隔よりも、大きく形成されていることを特徴とする。

【 0 0 1 4 】

( 7 )

本発明による液晶表示装置は、たとえば、( 6 )の構成を前提とし、前記対向電圧信号線が形成されている画素群の各画素領域における前記画素電極の本数は、前記対向電圧信号線が形成されていない画素群の各画素領域における前記画素電極の本数と等しいことを特徴とする。

20

【 0 0 1 5 】

( 8 )

本発明による液晶表示装置は、たとえば、基板の液晶側の面に、第 1 の方向に延在し該第 1 の方向に交差する第 2 の方向に並設されるゲート信号線と第 2 の方向に延在し第 1 の方向に並設されるドレイン信号線とで囲まれる領域を画素領域とし、

該画素領域に、前記ゲート信号線からの信号によってオンされるスイッチング素子と、このスイッチング素子を介して前記ドレイン信号線からの信号が供給される画素電極と、この画素電極との間に電界を生じせしめる対向電極とを備え、

前記対向電極は、前記画素電極に対し絶縁膜を介して前記基板側に形成されているとともに、前記各画素領域ごとに物理的に分離して形成され、

30

これら各対向電極のうち、前記第 1 の方向に並設される各画素領域の画素群であって前記第 2 の方向に複数置きに配置される画素群の各画素領域の対向電極は、当該画素群内に一方の前記ゲート信号線に近接して形成される対向電圧信号線と電氣的に接続され、それ以外の対向電極は、当該画素領域と前記第 2 の方向に隣接する画素領域の前記対向電極と前記ゲート信号線の一部を跨いで形成される導電層を介して接続され、

前記ドレイン信号線は、前記対向電圧信号線が形成されていない画素群との交差部における幅が、前記対向電圧信号線が形成されている画素群との交差部における幅よりも大きくなっていることを特徴とする。

【 0 0 1 6 】

40

( 9 )

本発明による液晶表示装置は、たとえば、( 8 )の構成を前提とし、前記対向電圧信号線はそれに隣接される他の対向電圧信号線との間隔が一定となっていることを特徴とする。

【 0 0 1 7 】

( 1 0 )

本発明による液晶表示装置は、たとえば、( 6 )の構成を前提とし、前記ゲート信号線はそのうちの幾つかが液晶表示部を超えて延在する部分で屈曲部を備え、この屈曲部によってその当該ゲート信号線と隣接する他のゲート信号線との間隔を一定とすることを特徴とする。

50

【 0 0 1 8 】

( 1 1 )

本発明による液晶表示装置は、たとえば、( 1 ) から ( 1 0 ) のいずれかの構成を前提とし、前記各ゲート信号線にその並設方向へ順次信号を供給する駆動にあって、前記対向電圧信号線が設けられている画素領域から次の前記対向電圧信号線が設けられている画素領域までに供給される前記ドレイン信号線の信号は前記対向電極に印加される電圧に対して一方の極性を有し、該次の前記対向電圧信号線が設けられている画素領域からさらに次の前記対向電圧信号線が設けられている画素領域までに供給される前記ドレイン信号線の信号は他方の極性を有するように順次極性が変化して供給されることを特徴とする。

【 0 0 1 9 】

10

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【発明を実施するための最良の形態】

【 0 0 2 0 】

以下、本発明による液晶表示装置の実施例を図面を用いて説明する。

【 0 0 2 1 】

実施例 1 .

図 7 は、本発明による液晶表示装置の全体の一実施例を示す概略平面図である。同図は液晶を介して互に対向配置された各透明基板のうち一方の透明基板 S U B 1 の液晶側の面に形成された回路を示している。

20

【 0 0 2 2 】

該透明基板 S U B 1 の表面に、その x 方向に延在し y 方向に並設されるゲート信号線 G L と y 方向に延在し x 方向に並設されるドレイン信号線 D L とで囲まれた各領域を画素領域とし、この画素領域の集合体を液晶表示部 A R として構成している。

【 0 0 2 3 】

この画素領域の詳細な構成については後述するが、これら各画素領域のうち x 方向に並設される画素群であって、 y 方向にたとえば 1 つ置きに配置される画素群内に走行して形成される対向電圧信号線 C L が形成されている。

【 0 0 2 4 】

対向電圧信号線 C L は、各画素内の画素電極 P X に供給される映像信号に対し基準となる電圧信号を当該画素内の対向電極 C T に供給するための信号線であり、本来、 x 方向に並設される画素群のそれぞれに走行するように形成するものであるが、この実施例の場合には、上述したように、 y 方向にたとえば 1 つ置きに配置される画素群内に形成したものとなっている。この対向電圧信号線 C L に対するドレイン信号線 D L の交差容量を低減させることを目的としているからである。

30

【 0 0 2 5 】

前記各ゲート信号線 G L のそれぞれはゲートドライバ G - D r v から順次走査信号が走査されて供給され、この走査のタイミングに合わせて各ドレイン信号線 D L のそれぞれにはドレインドライバ D - D r v から映像信号が供給されるようになっている。

【 0 0 2 6 】

40

各画素領域にはゲート信号線 G L からの走査信号の供給によってオンされる薄膜トランジスタ T F T と、この薄膜トランジスタ T F T を介してドレイン信号線 D L からの映像信号が供給される画素電極 P X が備えられ、この画素電極 P X に供給される該映像信号 ( 電圧 ) は前記対向電極 C T に供給されている対向電圧信号 ( 電圧 ) とで電界を生じさせ、この電界によって液晶の光変調を制御するようになっている。

【 0 0 2 7 】

なお、前記ゲートドライバ G - D r v およびドレインドライバ D - D r v は、電源回路 P S および液晶表示制御回路 T C O N からの信号を受けて前記走査信号および映像信号を供給できるように構成されている。

【 0 0 2 8 】

50

図1(a)は、前記画素の構成の一実施例を示す平面図で、マトリクス状に配置された前記各画素のうち2×3個の画素を抽出して描いている。

また、図1(a)のA-A' B-B' C-C'線における各断面図をそれぞれ図1(b)、図1(c)、図1(d)にそれぞれ示している。

【0029】

透明基板SUB1の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線GLが形成されている。

これら各ゲート信号線GLは後述のドレイン信号線DLとともに矩形状の領域を囲むようになっており、この領域を画素領域として構成するようになっている。

【0030】

ここで、図中真中に位置づけられる画素の領域内においてそのx方向に延在する対向電圧信号線CLが、たとえば前記各ゲート信号線GLの形成の際に同時に形成されるようになっている。この場合、該対向電圧信号線CLは一方の側(図中、下側)のゲート信号線GLに近接するように形成し、画素領域の中央を横切るように走行するのを回避させている。画素のいわゆる開口率の低減を回避させるためである。

【0031】

この対向電圧信号線CLは、図中、それが形成されている画素に対してすぐ上側および下側に位置づけられる画素内には形成されておらず、上述したようにマトリクス状に配置された各画素においてドレイン信号線DLの延在方向にたとえば一画素置きに並設されるようになっている。

【0032】

各画素領域における透明基板SUB1上には対向電極CTが形成され、この対向電極CTは、たとえば、ITO(Indium Tin Oxide)、ITZO(Indium Tin Zinc Oxide)、IZO(Indium Zinc Oxide)、SnO<sub>2</sub>(酸化スズ)、あるいはIn<sub>2</sub>O<sub>3</sub>(酸化インジウム)等の透光性の導電層によって形成され、該画素領域の僅かな周辺部を除く中央部の全域に形成されている。

【0033】

この場合、前記対向電圧信号線CLが配置される画素内に形成される前記対向電極CTは該対向電圧信号線CLと直接に重なって該対向電圧信号線CLと電気的に接続されるようになるが、図中、当該画素に対してすぐ上側および下側に位置づけられる画素内に形成される対向電極CTは、この段階では電気的に孤立した状態で形成されている。しかし、後の説明で明らかとなるように、これらの対向電極CTも前記対向電圧信号線CLと電気的に接続された状態で構成されるようになる。

【0034】

このようにゲート信号線GL、ドレイン信号線DL、および対向電極CTが形成された透明基板SUB1の表面にはたとえばSiNからなる絶縁膜GIが該ゲート信号線GL等をも被って形成されている。

【0035】

この絶縁膜GIは、後述のドレイン信号線DLの形成領域においては前記ゲート信号線GLに対する層間絶縁膜としての機能を、後述の薄膜トランジスタTFTの形成領域においてはそのゲート絶縁膜としての機能等を有するようになっている。

そして、この絶縁膜GIの表面であって、前記ゲート信号線GLの一部に重畳するようにしてたとえばアモルファスSiからなる半導体層ASが形成されている。

【0036】

この半導体層ASは、薄膜トランジスタTFTのそれであって、その上面にドレイン電極SD1およびソース電極SD2を形成することにより、ゲート信号線の一部をゲート電極とする逆スタガ構造のMIS型トランジスタを構成することができる。

ここで、前記ドレイン電極SD1およびソース電極SD2はドレイン信号線DLの形成の際に同時に形成されるようになっている。

【0037】

すなわち、y方向に延在されx方向に並設されるドレイン信号線DLが形成され、その

10

20

30

40

50

一部が前記半導体層 A S の上面にまで延在されてドレイン電極 S D 1 が形成され、また、このドレイン電極 S D 1 と薄膜トランジスタ T F T のチャンネル長分だけ離間されてソース電極 S D 2 が形成されている。

【 0 0 3 8 】

このソース電極 S D 2 は、次に説明する保護膜 P A S の上面に形成される画素電極 P X と電氣的に接続されるもので、その端部は画素領域内に若干延在されてコンタクト部を構成するようになっている。

【 0 0 3 9 】

前記薄膜トランジスタ T F T をも被って透明基板 S U B 1 の上面には保護膜 P A S がたとえば有機材料と無機材料との順次積層体で形成され、該保護膜 P A S によって該薄膜トランジスタ T F T の液晶との直接の接触を回避するようになっている。

10

【 0 0 4 0 】

そして、各画素領域において、前記保護膜 P A S の上面には画素電極 P X が形成されている。この画素電極 P X は、たとえば、ITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、 $\text{SnO}_2$  (酸化スズ)、あるいは $\text{In}_2\text{O}_3$  (酸化インジウム)等の透光性の導電層によって形成され、ゲート信号線 G L に対してある角度  $\theta$  を有して帯状をなす電極がドレイン信号線 D L の延在方向に複数並設された電極群から構成されている。

なお、これら電極群の各電極は画素領域の周辺部において一体に形成される同じ材料の導電層によって電氣的に接続されている。

20

【 0 0 4 1 】

このため、前記画素電極 P X は、画素領域の周辺を除く中央部に形成された導体層にゲート信号線 G L に対して角度  $\theta$  を有するスリットがドレイン信号線 D L の延在方向に複数設けられたパターンとして形成されている。

【 0 0 4 2 】

なお、電極群からなる画素電極 P X の各電極がゲート信号線 G L と角度  $\theta$  をなすのはいわゆるマルチドメイン効果をねらっているもので、この効果を考慮しない場合には、ゲート信号線 G L と平行にあるいはドレイン信号線 D L に平行に形成するようにしてもよい。

【 0 0 4 3 】

また、該画素電極 P X はその周辺の一部において、その下層の保護膜 P A S に予め設けられているスルーホールを通して前記薄膜トランジスタ T F T のソース電極 S D 2 に接続されている。

30

【 0 0 4 4 】

ここで、スリットが設けられた平板状の画素電極 P X は、その外輪郭が前記対向電極 C T のそれとずれを生じるように形成され、このため、該対向電極 C T の周辺部の一部は画素電極 P X よりはみ出した部分を有し、この部分において、隣接する他の画素 (ドレイン信号線 D L の延在方向に隣接する画素) における対向電極 C T と電氣的な接続が図れるように構成されている。

【 0 0 4 5 】

すなわち、ドレイン信号線 D L の延在方向に隣接する各画素において、ゲート信号線 G L の一部を跨るようにして導電層 C B が設けられ、この導電層 C B の該ゲート信号線 G L に対してたとえば図中下方の画素側の一端はその下層の保護膜 P A S、絶縁膜 G I を貫通するスルーホールを通して当該画素の対向電極 C T と接続され、図中上方の画素側の他端はその下層の保護膜 P A S、絶縁膜 G I を貫通するスルーホールを通して当該画素の対向電極 C T と接続されている。

40

【 0 0 4 6 】

一画素当たり、前記導電層 C B は、ドレイン信号線 D L の延在方向における上方および下方にそれぞれ位置づけられる各画素側に設けられ、これにより、y 方向に並設される各画素の対向電極 C T は前記導電層 C B によって電氣的に接続され、これら各対向電極 C T には y 方向に間欠的に配置される対向電圧信号線 C L を通して対向電圧信号が供給される

50

ようになる。

なお、この導電層 C B は、画素電極 P X と同材料からなり、該画素電極 P X の形成時に同時に形成できるようになっている。製造工数の増大を回避するためである。

【 0 0 4 7 】

本実施例の場合、前記導電層 C B は、ゲート信号線 G L 上において薄膜トランジスタ T F T と比較的大きな距離を隔てて形成され、かつ、その幅も比較的小さく形成されている。また、該導電層 C B はそれぞれ一本のゲート信号線 G L のみを跨ぐようにして形成される。これにより、上述した幅でも充分に各対向電極 C T との接続が容量的にも電氣的にも不都合なく形成できる。

【 0 0 4 8 】

そして、このように画素電極 P X、導電層 C B が形成された透明基板 S U B 1 の表面には配向膜 A L が形成され、この配向膜 A L によってこれに直接接触する液晶の分子の初期配向方向を規定するようになっている。

【 0 0 4 9 】

また、前記透明基板 S U B 1 と液晶 L C を介して対向配置される透明基板 S U B 2 があり、この透明基板 S U B 2 の液晶側の面には、各薄膜トランジスタ T F T を被うとともに、各画素領域を画するようにしてブラックマトリクス B M が形成されている。図 1 ( a ) には、このブラックマトリクス B M の開口部を重ねて描いている。

【 0 0 5 0 】

そして、該ブラックマトリクス B M が形成された透明基板 S U B 2 の面には該ブラックマトリクス B M の開口を被ってカラーフィルタ C F が形成されている。このカラーフィルタ C F はたとえば赤 ( R )、緑 ( G )、青 ( B ) の各色のフィルタからなり、 y 方向に並設される各画素領域群にたとえば赤色のフィルタが共通に形成され、該画素領域群に x 方向に順次隣接する画素領域群に共通に緑 ( G ) 色、青 ( B ) 色、赤 ( R ) 色、... ..、というような配列で形成されている。

さらに、カラーフィルタ C F をも被って配向膜が形成され、この配向膜は液晶と直接に当接する膜となり、該液晶の分子の初期配向方向を規定するようになっている。

【 0 0 5 1 】

このように構成される液晶表示装置は、対向電圧信号線 C L が y 方向に一画素おきに形成され、その数を低減させた構成となっている。そして、対向電圧信号線 C L が設けられていない画素の対向電極 C T への対向電圧信号の供給は、対向電圧信号線 C L が設けられている画素の対向電極 C T とゲート信号線 G L を跨いで接続される導電層 C B によって行なっている。

これにより、画素の駆動を損なうことなく、ドレイン信号線 D L の対向電圧信号線 C L との交差容量を低減させることができる。

【 0 0 5 2 】

実施例 2 .

図 2 ( a ) は、本発明による液晶表示装置の他の実施例を示す説明図である。この図は図 1 に示した構成と同様のものであるが、駆動方法に工夫がなされ、これにより消費電力低減を図った構成とするものである。

【 0 0 5 3 】

一般に、いわゆる n ドット反転 ( ゲート信号線 G L を n 本毎に映像信号の対向電極 C T に対する極性を反転 ) する駆動は、該映像信号の極性反転の回数を減らせるため、消費電力が削減できる。

【 0 0 5 4 】

しかし、極性反転した最初の画素と次の画素で映像信号の立ち上がりに差が出て、最初の画素の書き込み率が次の画素の書き込み率より悪くなり、輝度むらが生じやすいという不都合が生じる。

【 0 0 5 5 】

そこで、 n ドット反転の最初の画素に対応して対向電圧信号線 C L を配置させることで

10

20

30

40

50

、nドット反転の最初の画素と次以降の画素でコモン電位の安定度に差を生じさせ、書き込み率をより近づけることができる。

すなわち、書き込み率の悪い画素において対向電圧信号線CLを配置しコモン電位を安定化することで、該画素の書き込み率を向上させている。

【0056】

そして、他の画素では対向電圧信号線CLを設けないこと等により、コモン電位の安定度を前の画素より低いものとするることにより、書き込み率を低下させる。これにより、nドット反転の最初の画素と次の画素での書き込み率の差を低減でき、消費電力の削減を実現でき、またその際の画質低下（輝度ムラ）を従来より改善できる効果を奏する。

【0057】

図2(a)において、ゲート信号線GLの走査方向を図中上から下側へ順次なされるとき、対向電圧信号線CLが形成されている画素のうち1つ（あるいはそれとそれに隣接する複数の画素でも可）を画素(1)とし、そのあるいはそれらの画素と図中下側に位置づけられる画素（次の対向電圧信号線が設けられている画素の手前の画素）を画素(2)とした場合に、前記画素(1)と画素(2)をたとえば正極とし、該次の対向電圧信号線が設けられている画素からさらに次の対向電圧信号線が設けられている画素までに供給される信号は負極とするように順次極性が変化して供給させるように駆動している。

【0058】

図2(b)は、このようなタイミングチャートを示し、画素(1)では信号極性が切り替わるため、映像信号の電位の変動量が激しく、安定状態での書き込み時間が画素(2)より少なくなるという効果を奏する。

【0059】

実施例3.

図3は、本発明による液晶表示装置の画素の他の実施例を示す平面図である。図1(a)の場合と比較し、対向電圧信号線CLが形成されている画素領域よりも該対向電圧信号線CLが形成されていない画素領域の面積が大きくなっており、他は同様の構成となっている。

【0060】

このため、該対向電圧信号線CLが形成されていない画素領域において実質的に画素として機能するブラックマトリクスBMの開口部の面積は、該対向電圧信号線CLが形成されている画素領域のそれと比べて大きくなっている。

【0061】

また、これにより、該対向電圧信号線CLが形成されていない画素領域において形成されるブラックマトリクスBMの開口内に目視される画素電極PXの本数（あるいはスリット）は、該対向電圧信号線CLが形成されている画素領域のそれと比べて大きくなっている。各画素においてそれらの単位面積当たりの輝度を等しくするため、電極群からなる各画素電極PXの間隔を等しくしなければならないことから、このような構成となる。

対向電圧信号線CLが形成されていない画素領域において、該対向電圧信号線CLが占めていた領域の分だけいわゆる開口率を大きくする趣旨である。

【0062】

また、カラーフィルタCFとして、対向電圧信号線CLが形成されている画素に緑色(G)を用い、図中y方向における上側の画素および下側の画素のうち一方の画素に赤色(R)、他方の画素に青色(B)を用いている。

他の画素に比べて開口率の小さな画素に緑色(G)のカラーフィルタCFを担わせることにより、カラーの3原色の混色を良好にできるからである。

【0063】

なお、このカラーフィルタCFに関しては、通常どおり、y方向に沿って配置される各画素に共通に同色のものを用い、x方向に沿ってたとえば赤色(R)、緑色(G)、青色(B)の順に配列させるようにしてもよいことはいうまでもない。

【0064】

10

20

30

40

50

## 実施例 4 .

図 4 は、本発明による液晶表示装置の画素の他の実施例を示す平面図である。図 1 ( a ) の場合と比較し、対向電圧信号線 C L が形成されている画素領域の面積 ( y 方向の幅 ) が該対向電圧信号線 C L が形成されていない画素領域のそれよりも大きくなっており、他は同様の構成となっている。

## 【 0 0 6 5 】

また、対向電圧信号線 C L が形成されている画素領域のブラックマトリクス B M の開口率の面積は該対向電圧信号線 C L が形成されていないそれと同じになっている。各画素の輝度を均一にする趣旨からである。

## 【 0 0 6 6 】

また、このように構成することにより、ドレイン信号線 D L からそれに隣接する画素の対向電極 C T への電界の影響を該ドレイン信号線 D L に沿って均一化できる効果を奏する。すなわち、対向電圧信号線 C L が形成されている画素において、それに隣接するドレイン信号線 D L は比較的長く形成されるが該画素の対向電極 C T は対向電圧信号線 C L と直接に接続され電氣的に安定されたものとなっている。

## 【 0 0 6 7 】

これに対し、対向電圧信号線 C L が形成されていない画素の対向電極 C T は、該対向電極信号線 C L が形成されている画素の対向電極 C T から導電層 C B を介して信号が供給されるため、電氣的に安定しないものであるが、その分、当該画素に隣接するドレイン信号線 D L が短く形成されており、前記電界の影響のばらつきを抑制することができるように

## 【 0 0 6 8 】

## 実施例 5 .

図 5 は、本発明による液晶表示装置の画素の他の実施例を示す平面図である。図 4 の場合と比較して、対向電圧信号線 C L が形成されていない画素において、その対向電極 C T は、x 方向に隣接する他の画素の対向電極 C T とドレイン信号線 D L の一部にて交差する導電層 B C T を介して電氣的に接続され、他は同様の構成となっている。

対向電圧信号線 C L が形成されていない画素の対向電極 C T の電位をより安定化させる趣旨である。

## 【 0 0 6 9 】

## 実施例 6 .

図 6 は、本発明による液晶表示装置の画素の他の実施例を示す平面図である。図 2 の場合と比較して、対向電圧信号線 C L が形成されている画素において、それに隣接されるドレイン信号線 D L の線幅が小さく、対向電圧信号線 C L が形成されていない画素において、それに隣接されるドレイン信号線 D L の線幅が大きく形成されており、他は同様の構成となっている。

## 【 0 0 7 0 】

なお、図 2 の場合は、各ゲート信号線 G L の離間距離が等しく構成され、対向電圧信号線 C L が形成された部分の画素は、該対向電圧信号線 C L の占める領域のため、他の画素よりも図中 y 方向において実質的な画素領域が狭まるように構成される。

## 【 0 0 7 1 】

これに対し、本実施例の場合、ゲート信号線 G L の形成されていない部分の画素は、ドレイン信号線 D L の線幅を大きくした分、図中 x 方向において実質的な画素領域が狭まり、結果として、全ての各画素においてほぼ均等な面積とすることができる。

## 【 0 0 7 2 】

すなわち、ブラックマトリクス B M の開口面積で決定される画素の実質的な面積は、対向電圧信号線 C L が形成されている画素の部分において横幅が大きく縦幅が小さく、対向電圧信号線 C L が形成されていない画素の部分において横幅が小さく縦幅が大ききというようにそれぞれ縦横比は異なるが、それらの面積を等しいものとすることができる。

## 【 0 0 7 3 】

そして、ドレイン信号線 D L を上述したようにその線幅を太くする部分を設けることにより、その全体の電気抵抗値を小さく構成でき、それに供給される映像信号の波形歪みを低減させることができるようになる。

【 0 0 7 4 】

実施例 7 .

図 8 は、本発明による液晶表示装置の他の実施例を示すもので、液晶表示部 A R に形成されている各ゲート信号線 G L が該液晶表示部 A R からはみ出して延在されその端子 T M に及ぶ部分を示している。なお、図 8 において符号 S L は透明基板 S U B 1 とこの透明基板 S U B 1 と対向して配置される他の透明基板との間に形成され、液晶表示部 A R を含む部分に充填される液晶を封入するシール材 S L を示している。

10

【 0 0 7 5 】

図 8 は、対向電圧信号線 C L が設けられている x 方向画素群を挟む一对のゲート信号線 G L の間隔が、対向電圧信号線 C L が設けられていない x 方向画素群を挟む一对のゲート信号線 G L の間隔よりも広く形成されている場合の構成を前提とする。

【 0 0 7 6 】

この場合、各ゲート信号線 G L の一部は、液晶表示部 A R を超えて延在する部分（シール材 S L の内側）において屈曲部を備え、この屈曲部を経た後に互いに等間隔となって端子 T M に接続されるようになっている。

【 0 0 7 7 】

屈曲部を備えるゲート信号線 G L はたとえば一本置きに選択され、該屈曲部を経た後の延在部は隣接する他のゲート信号線 G L と等間隔を維持しながら端子 T M に及ぶまで延在されて形成される。

20

【 0 0 7 8 】

前記端子 T M は、半導体装置から構成されるゲートドライバ G - D r v のパッドに接続されるようになっているため、それらの離間距離は等しく設定され、このことから、上述した工夫が必要となるものである。これにより、ゲート信号線 G L の断線等の検査において、予めプローブ端子の離間距離が定められている検査装置を改変せずに用いることができるという効果を奏する。

【 0 0 7 9 】

図 9 は、図 8 と同様に、対向電圧信号線 C L が設けられている x 方向画素群を挟む一对のゲート信号線 G L の間隔が、対向電圧信号線 C L が設けられていない x 方向画素群を挟む一对のゲート信号線 G L の間隔よりも広く形成されている場合であって、該各ゲート信号線 G L は液晶表示部 A R を超えてもそのまま真直ぐに延在され、該液晶表示部 A R とシール材 S L との間に、ゲート信号線 G L の断線等を検出する検出端子 I T M を設けていることにある。

30

【 0 0 8 0 】

この場合、検出端子 I T M は一つ置きに該ゲート信号線 G L の線上に位置づけられているが、残りの検出端子 I T M は当該ゲート信号線 G L から僅かにずれて位置づけられ、かつ当該ゲート信号線 G L と接続させるための配線層が設けられた構成となっている。

各ゲート信号線 G L が等間隔に配置されていないにも拘わらず、それらの検出端子 I T M を等間隔に配置させなければならない工夫からなるものである。

40

【 0 0 8 1 】

実施例 8 .

図 10 は、本発明による液晶表示装置の他の実施例を示す平面図で、液晶表示部 A R に形成されている各ゲート信号線 G L が該液晶表示部 A R からはみ出して延在されその端子 T M に及ぶ部分を示している。

【 0 0 8 2 】

この場合においても、対向電圧信号線 C L が設けられている x 方向画素群を挟む一对のゲート信号線 G L の間隔が、対向電圧信号線 C L が設けられていない x 方向画素群を挟む一对のゲート信号線 G L の間隔よりも広く形成されている。

50

## 【 0 0 8 3 】

そして、液晶表示部 A R を超えて延在される各ゲート信号線 G L はシール材 S L の近辺において互いに集束されるようにしてその間隔を狭め、該シール材 S L の外側に形成されている端子 T M に接続されるようになっている。

端子に接続される回路がたとえば半導体装置から構成され、そのバンプの間隔が各ゲート信号線 G L の間隔よりも狭められて形成されていることによる。

## 【 0 0 8 4 】

この場合、各ゲート信号線 G L の一部は、液晶表示部 A R を超えて延在する部分（シール材 S L の内側）において屈曲部を備え、この屈曲部を経た後に端子 T M に及ぶようになっている。

10

## 【 0 0 8 5 】

屈曲部を備えるゲート信号線 G L はたとえば一本置きに選択され、該屈曲部を経た後の延在部は隣接する他のゲート信号線 G L と等間隔を維持しながら集束するパターンとして形成される。

## 【 0 0 8 6 】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

また、上述した各実施例は、いずれも対向電圧信号線 C L が、その延在方向に並設される各画素の画素群に対し 1 つ置きに形成したものである。しかし、これに限定されることはなく、2 つ置き、3 つ置き、あるいはそれ以上の数置きであってもよいことはいうまでもない。

20

## 【図面の簡単な説明】

## 【 0 0 8 7 】

【図 1】本発明による液晶表示装置の画素の構成の一実施例を示す構成図である。

【図 2】本発明による液晶表示装置の画素の構成の一実施例およびその駆動方法を示す構成図である。

【図 3】本発明による液晶表示装置の画素の構成の他の実施例を示す構成図である。

【図 4】本発明による液晶表示装置の画素の構成の他の実施例を示す構成図である。

【図 5】本発明による液晶表示装置の画素の構成の他の実施例を示す構成図である。

【図 6】本発明による液晶表示装置の画素の構成の他の実施例を示す構成図である。

30

【図 7】本発明による液晶表示装置の一実施例を示す回路図である。

【図 8】本発明による液晶表示装置のゲート信号線の端子部の近傍における構成の一実施例を示した図である。

【図 9】本発明による液晶表示装置のゲート信号線の端子部の近傍における構成の他の実施例を示した図である。

【図 10】本発明による液晶表示装置のゲート信号線の端子部の近傍における構成の他の実施例を示した図である。

## 【符号の説明】

## 【 0 0 8 8 】

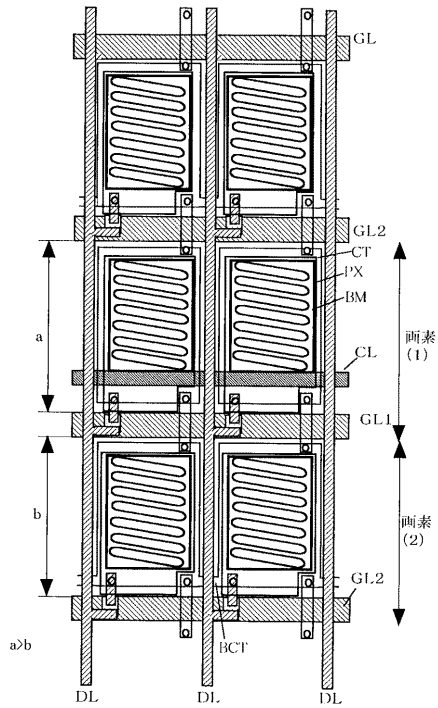
S U B …… 基板、G L …… ゲート信号線、D L …… ドレイン信号線、C L …… 対向電圧信号線、T F T …… 薄膜トランジスタ、P X …… 画素電極、C T …… 対向電極、G I …… 絶縁膜、P A S …… 保護膜、B M …… ブラックマトリクス、C B …… 導電層、T M …… 端子。

40



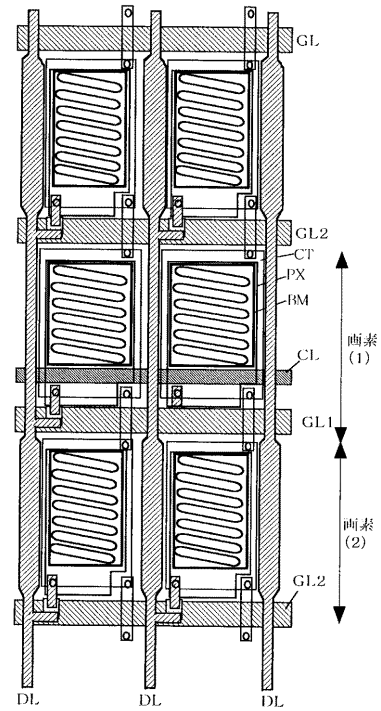
【図5】

図5



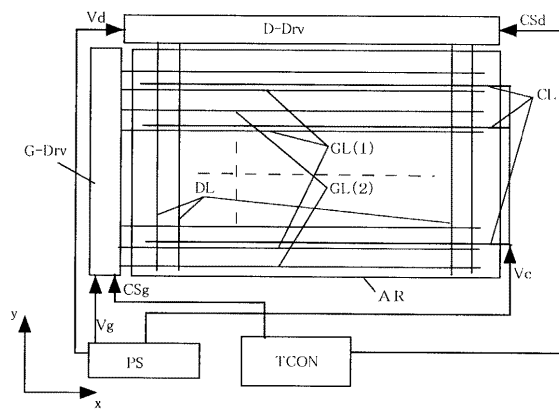
【図6】

図6



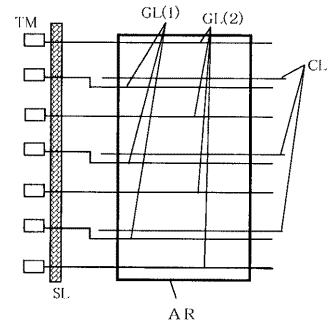
【図7】

図7



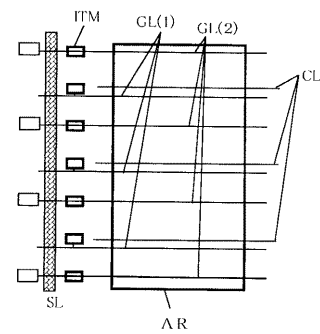
【図8】

図8



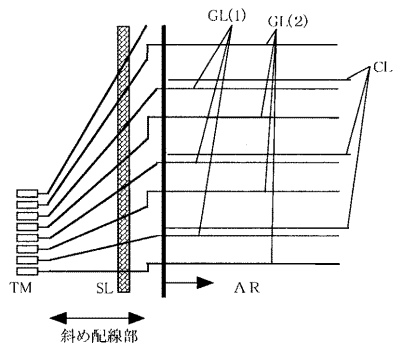
【図9】

図9



【図 10】

図10



---

フロントページの続き

(56)参考文献 特開平 1 1 - 3 2 6 9 2 8 ( J P , A )  
特開 2 0 0 2 - 0 1 4 3 6 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 3

G 0 2 F 1 / 1 3 6 8

|                |                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
|----------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置及其驱动方法                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 公开(公告)号        | <a href="#">JP4217170B2</a>                                                                                                                                                                                                                                                                                                                                                           | 公开(公告)日 | 2009-01-28 |
| 申请号            | JP2004019905                                                                                                                                                                                                                                                                                                                                                                          | 申请日     | 2004-01-28 |
| [标]申请(专利权)人(译) | 株式会社日立制作所                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 申请(专利权)人(译)    | 日立显示器有限公司                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 当前申请(专利权)人(译)  | 日立显示器有限公司                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| [标]发明人         | 松岡晃<br>小野記久雄                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 发明人            | 松岡 晃<br>小野 記久雄                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| IPC分类号         | G02F1/1343 G02F1/1368 G02F1/133 G02F1/1362                                                                                                                                                                                                                                                                                                                                            |         |            |
| CPC分类号         | G02F1/134363 G02F1/136286                                                                                                                                                                                                                                                                                                                                                             |         |            |
| FI分类号          | G02F1/1343 G02F1/1368 G02F1/133                                                                                                                                                                                                                                                                                                                                                       |         |            |
| F-TERM分类号      | 2H092/GA13 2H092/GA14 2H092/GA24 2H092/GA29 2H092/GA41 2H092/GA44 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB13 2H092/JB77 2H092/KB13 2H092/KB25 2H092/NA27 2H092/NA30 2H092/PA06 2H092/PA09 2H192/AA24 2H192/AA43 2H192/BB13 2H192/BB52 2H192/BB73 2H192/BB84 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC57 2H192/DA72 2H192/EA22 2H192/EA43 2H192/FA32 2H192/GD61 2H192/HB14 2H192/JA32 |         |            |
| 审查员(译)         | 铃木俊光                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| 其他公开文献         | JP2005215159A                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                             |         |            |

#### 摘要(译)

( 经修改 ) 提供一种液晶显示装置, 其中左右上部和下部像素的对电极电连接。所述的基底, 其被布置在第二方向相交的第一方向延伸 Mashimashi 第一方向的栅极信号线, 的液晶侧的面在第二方向上延伸的 1 条漏极信号线并排布置, 其中响应于来自栅极信号线导通, 以一个信号的开关元件的方向, 像素电极的信号通过所述开关元件的漏极信号线供给, 所述像素电极之间, 其以及产生电场的对电极, 其中, 对于像素电极, 通过绝缘膜对基板侧的每个像素区域分别形成对电极。在像素组中形成在第一方向上平行布置并在第二方向上布置成多个的每个像素组的对电极, 使得相对电极靠近一条栅极信号线形成另一个对电极经由导电层连接, 该导电层形成为跨越栅极信号线的一部分和在第二方向上与像素相邻的像素的对电极。点域 1

