

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4112415号
(P4112415)

(45) 発行日 平成20年7月2日 (2008.7.2)

(24) 登録日 平成20年4月18日 (2008.4.18)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G02F 1/1343 (2006.01)	G02F 1/133 575
G02F 1/1368 (2006.01)	G02F 1/1343
G09G 3/20 (2006.01)	G02F 1/1368

請求項の数 2 (全 9 頁) 最終頁に続く

(21) 出願番号	特願2003-98579 (P2003-98579)	(73) 特許権者	000006013
(22) 出願日	平成15年4月1日 (2003.4.1)		三菱電機株式会社
(65) 公開番号	特開2004-309520 (P2004-309520A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成16年11月4日 (2004.11.4)	(74) 代理人	100103894
審査請求日	平成17年6月1日 (2005.6.1)		弁理士 冢入 健
前置審査		(72) 発明者	升谷 雄一
			熊本県菊池郡西合志町御代志997番地
			株式会社アドバンスト・ディスプレイ内
		(72) 発明者	永野 慎吾
			熊本県菊池郡西合志町御代志997番地
			株式会社アドバンスト・ディスプレイ内
		審査官	濱本 禎広

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

一対の基板と、その一対の基板間に液晶層を有し、前記一対のうち一方の基板上に形成された複数のゲート線と、前記ゲート線と絶縁膜を介して交差する複数のソース線と、前記ゲート線と前記ソース線の交差部付近に形成されたスイッチング素子と、前記ソース線と前記スイッチング素子を介して接続された画素電極とを有し、前記ソース線により画像表示に必要な信号電位を前記スイッチング素子を介して前記画素電極に供給し、前記基板面に平行な電界を印加する横電界方式の液晶表示装置の駆動方法において、前記スイッチング素子をオフした後における前記画素電極の正極性時と負極性時の電位をヤキツキが少なくなるように、前記画素電極の電位の正極性時と負極性時の平均値が、表示する階調により異なって設定することを特徴とする液晶表示装置の駆動方法。

【請求項 2】

前記信号電位の平均値は
前記信号電位を作成するソース線駆動回路に外部より入力された階調参照電圧の2値の平均値であることを特徴とする請求項1記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、横方向電界方式におけるアクティブマトリクス型の液晶表示装置の駆動方法に関する。

【0002】

【従来の技術】

従来の液晶表示装置においては、長時間にわたって同一パターンを表示した後で別の画面に切り換えた時、前のパターンが長時間残るやきつきがおこる。この問題を解決するためにオフセット補償駆動方法を適用し、ゲート信号によって誘起される電位の低下の階調依存性を補償している。また、たとえば、ソース信号の振幅が大きい段階では従来と同様にコモン信号の電位およびソース信号の中心電位を、ゲート信号によって誘起される電位の低下を補償するように設定し、ソース信号の振幅の小さい階調においてはソース信号の中心電位を、前記ゲート信号によって誘起される電位の低下を補償するソース信号の中心電位よりも、高い電位に設定することによってヤキツキを軽減でき、フリッカも見られないという技術もTN方式の液晶表示装置において、開示されている（例えば特許文献1参照）。

10

【0003】

【特許文献1】

特開2001-337310号公報（第2-5ページ 図8、9）

【0004】

【発明が解決しようとする課題】

しかしながら、特許文献1に記載された駆動方法を横電界方式（IPSモード）の液晶セルに適用した場合でも、ヤキツキが発生する。これは横電界方式の液晶セルの電極構造が上下方向で非対称に形成されているため、従来のTNモードと比較して、上下方向の残留DC電圧が発生し易く、結果としてヤキツキが発生するという問題があるためである。

20

【0005】

本発明は、このような問題点を解決するためになされたもので、横電界方式の液晶表示装置において、従来のオフセット補償駆動方法にて、画素電極電位と共通電極電位間のDC成分の偏りが発生しないように最適Vcomを設定するのではなく、上下方向の残留DC電圧が発生しにくく、ヤキツキが発生しにくいオフセット値を設定して、ヤキツキの発生を低減することができる液晶表示装置の駆動方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明の液晶表示装置の駆動方法は、一对の基板と、その一对の基板間に液晶層を有し、前記一对のうち一方の基板上に形成された複数のゲート線と、前記ゲート線と絶縁膜を介して交差する複数のソース線と、前記ゲート線と前記ソース線の交差部付近に形成されたスイッチング素子と、前記ソース線と前記スイッチング素子を介して接続された画素電極とを有し、前記ソース線により画像表示に必要な信号電位を前記スイッチング素子を介して前記画素電極に供給し、前記基板面に平行な電界を印加する横電界方式の液晶表示装置の駆動方法において、前記スイッチング素子をオフした後における前記画素電極の正極性時と負極性時の電位をヤキツキが少なくなるように、前記画素電極の電位の正極性時と負極性時の平均値が、表示する階調により異なって設定することを特徴とする。

30

【0007】

【発明の実施の形態】

実施の形態1.

透過型液晶表示装置は、基板の間に注入された液晶に電界を印加し、この電界の強さに応じて液晶分子の配列方向を制御し基板を透過する光量を調整している。これによって所望する輝度の画像を得ることが可能となる。一方、薄膜トランジスタ(TFT)等よりなるスイッチング素子を使ったアクティブマトリクス型の液晶表示装置において、液晶に印加する電界の方向を基板に対して平行な方向とする横電界方式が主に超広視野角を得る手法として用いられている。この方式を用いると視角方向を変化させた際のコントラストの変化、階調レベルの反転がほとんどなくなることが明らかにされている。

40

【0008】

図1(a)に一般的な横電界方式の液晶表示装置の画素領域の平面図、図1(b)にその

50

断面図を示す。図において、100はTFTアレイ基板、200はカラーフィルタ基板を示している。

100のTFTアレイ基板において、1は絶縁性基板101上に形成された複数本のゲート線、2はゲート線を覆うように形成された絶縁膜、3は複数のゲート線と交差するように設けられたソース線、4はソース線3上に設けられた絶縁膜である。ゲート線1及びソース線3は交差部に設けられたTFT素子等のスイッチング素子5と接続されている。スイッチング素子5には、ソース線3と平行に設けられた複数本の電極よりなる櫛状の画素電極6が接続されている。画素電極6の複数本の電極は平行かつ交互に複数本の電極よりなる櫛状の共通電極7が配置されている。画素電極6はクロム(Cr)、アルミ(Al)、モリブデン(Mo)等の金属やITO(Indium Tin Oxide)等の透明性導電膜により形成されている。8はクロム(Cr)、アルミ(Al)、モリブデン(Mo)等の金属よりなる補助容量配線でありスルーホールを介して共通電極7と接続されている。このTFTアレイ基板100と200のカラーフィルタ基板を対向配置し、両基板間に液晶層9を挟持した液晶パネル10にバックライト等を配置し、液晶表示装置が完成する。画素電極及び共通電極間の液晶層9に電圧を印加することによって、基板面にほぼ平行な電界を液晶層に印加している。

10

【0009】

また、横電界方式の液晶表示装置は図6(a)に示したように一般的に液晶駆動領域は配向膜(PI)61、保護膜(OC)62、カラーフィルタ(CF)63の色材、絶縁性基板101の材料であるガラス等の誘電体積層膜に囲まれており、液晶を駆動するための画素電極6と共通電極7間の電界Eがこの積層膜中まで広がる。一方、従来のTNモードの液晶表示装置の場合は図6(b)に示すように画素電極6と共通電極7間是对称形となっており、液晶を駆動する電界Eは画素電極6と共通電極7の間にのみに形成される。従って、TNモードでは、画素電極6と共通電極7の間にDC成分が発生しないようにすることでヤキツキを防止できたが、横電界方式では従来のオフセット駆動補償方法を採用するのみでは、誘電体積層膜中に残留DCが発生しヤキツキ現象が発生する。

20

【0010】

図2に横電界方式の液晶表示装置における回路図を示す。図に示すように図中左右方向に複数伸びるゲート線1、ゲート線1と直交して上下方向に複数のソース線3が形成されている。これらのゲート線1とソース線3とで囲まれる領域が一画素領域であり、両配線の交差位置付近にスイッチング素子5が設けられている。画素電極6はドレイン電極23と接続されており、前述した通り共通電極7と平行に形成されている。ソース線3には信号電位を供給するソース線駆動回路11が搭載されている。ソース線駆動回路11からは駆動すべき画素表示に応じた階調信号(信号電位)が液晶パネル10に供給される。ゲート線駆動回路12からはスイッチング素子5をON/OFFするためのゲート電位が供給される。また、共通電極7にはコモン電位が供給される。

30

【0011】

C1cは画素電極6と対向電極との間に挟持された液晶による結合容量、Cgdはゲート／ドレイン間の結合容量、Cstは補助容量をそれぞれ表す。一定のコモン電位に保持された共通電極7に対してスイッチング素子5よりドレイン電極23を介して画素電極6に信号電位32を書き込んで液晶層9での電界を制御することにより、画像を表示している。

40

【0012】

次に図3にゲート線1、ソース線3に印加される電圧の波形を示し、画素電極の電圧(以下画素電位31と称する)の動作を説明する。一般に液晶表示装置では液晶の劣化を防止するため、コモン電位34に対する画素電位31の極性をフレーム毎に反転させている。すなわち、全てのゲート線1を順次選択するのに必要な期間(1フレーム)毎にコモン電位34に対して画素電極6の極性を反転させている。

【0013】

ゲート電極21にスイッチング素子5のしきい値電圧以上の正パルスが印加されるとスイ

50

ッチング素子5はオン状態（H i g hレベル：ソース電極22とドレイン電極23間が導通状態）になるため、ソース線1を伝播する信号電位32は、画素電極6に送られる。信号電位32は中心電位V s oを中心とする振幅V s aの交流電圧である。振幅V s aは表示させる階調に対応している。このとき、図3に示すように画素電位31はゲート電位33に同期して立ち上り、次にスイッチング素子5をO F F状態にするためにゲート電位33をL o wレベルに切り換える際、画素電位31にはゲート／ドレイン間の結合容量C g dの影響で $\Delta V g d$ 分のフィードスルーが発生する。その後1フレーム期間中、画素電位31は補助容量C s tによって保持される。一般にコモン電位34は第1フレームで液晶に印加される電圧V 1と、第2フレームで印加される電圧V 2の絶対値と等しくなるよう設定され、このときのコモン電位34を最適V c o mと呼ぶ。通常、コモン電位34は可変抵抗器を用いて調整が可能であり、V 1およびV 2の絶対値が等しくなるよう調節する。

10

【0014】

画素電位31のフィードスルーによる電圧降下量 $\Delta V g d$ は次式で示される。 $\Delta V g d = \Delta V g \times C g d / (C l c + C g d + C s t) \cdots \cdots$ 式1

* $\Delta V g$ はゲート電位の変化量である。

このとき、画素電位31の値を1フレーム期間保持した後、第2フレームにおいて、再びゲート電位33がH i g hレベルになると画素電位31は前回のフレーム（第1フレーム）とは逆極性の信号電位32のレベルとなる。その後、ゲート電位33がL o wレベルになると第1フレームと同様にゲート電位33に同期して立ち下がり、画素電位31はフィードスルーにより $\Delta V g d$ の電圧降下をする。

20

【0015】

式1の成分のうち、C l cは信号電位（階調電圧）に対する依存性を有しており、液晶に印加する画像の階調によって液晶による結合容量C l cの値は異なる。また、C s t、C g dには電圧依存性はほとんどない。

図4にC l cと信号電位32の振幅V s aの関係を示した。信号電位32が高くなるとC l cは高くなるため、 $\Delta V g d$ は信号電位が高くなると反比例して $\Delta V g d$ が低くなることがわかる。従って、式1で示されるように $\Delta V g d$ は常に一定ではなく信号電位32の振幅によって変化する。このため、第1フレームにて印加される電圧V 1と第2フレームにて印加される電圧V 2の絶対値を各階調で等しくするためには $\Delta V g d$ の変化に対応する様にV s oを設定する必要がある、これをオフセット補償方法と呼んでいる。T N方式の液晶表示装置では、一般にこの方法によりヤキツキを防止している。また、前述したように、さらにV s aが小さい階調でのV s oを高く設定し、ヤキツキを防止する方法もある。本実施の形態では、上記の方法によりV s oの設定を行わず、横電界方式の液晶表示装置において、ヤキツキが発生しないようにV s oを設定するものである。

30

【0016】

以下、V s oの設定方法について説明する。図2、図3においてゲート線駆動回路12から出力されるゲート電位33、ソース線駆動回路11から出力される信号電位32、および共通電極に印加されるコモン電位34の各出力タイミングおよび電圧値は、制御回路13により制御される。例えば、階調再現数が256階調の場合、階調を再現するために、画素電極には正極性側、負極性側各々256レベルの大きさの電圧から選択された所望の大きさの信号電位32が印加される。したがって、互いに異なる正極性、負極性各256レベルの大きさの信号電位32をソース線駆動回路11から出力する必要がある。

40

【0017】

つぎに、前記256レベルの信号電位32を発生させるための手段について説明する。図5は256レベルの信号電位を発生させるための手段であるソース線駆動回路11の一例を示す説明図である。図において、41はD C電源14よりソース線駆動回路への入力端子、42は制御回路よりソース線駆動回路への入力端子、43は分割抵抗、44はソース線駆動回路の出力端子を示す。ソース線駆動回路11の入力端子42は制御回路13に接続され、制御信号が入力される。また、ソース線駆動回路11の他の入力端子41はD C

50

電源 14 に接続され、互いにレベル（大きさ）の異なる 16 種類の階調参照電圧が入力される。例えば、DC 電源 14 の各出力端子から 16 種類の階調参照電圧、すなわち第 1 の階調参照電圧（V r e f 0）、第 2 の階調参照電圧（V r e f 1）・・・第 15 の階調参照電圧（V r e f 14）、第 16 の階調参照電圧（V r e f 15）が各入力端子 41 に印加されている。各入力端子 41 間には、互いに直列に接続された分割抵抗 43 が接続される。

【0018】

たとえば、第 1 の階調参照電圧（V r e f 0）が印加された入力端子 41 と、第 2 の階調参照電圧（V r e f 1）が印加された入力端子 41 とのあいだに接続された 15 個の分割抵抗 43 の各接続部に設けられた出力端子 45 からは、15 個の分割抵抗により分割された、互いにレベルの異なる 15 個の信号電位として、第 1 の表示電圧（V s 0）、第 2 の表示電圧（V s 1）・・・第 16 の表示電圧（V s 15）を示す信号電位がそれぞれ出力され、すべての V r e f 間を合わせると 256 階調の正極性側と負極性側の電位である 256×2 レベルの信号電位を発生させることができる。信号電位は選択回路 46 にて所望の電位が選択され 44 の出力端子より液晶パネルへ出力される。

【0019】

表 1 に本実施の形態によるソース線駆動回路 11 に入力される階調参照電圧（V r e f）の電圧値、また、ソース線駆動回路から出力される信号電位 32 の振幅 V s a と信号電位の中心電位 V s o の電圧値を示す。たとえば、255 階調の場合、ソース駆動回路 11 に入力する信号電位 32 の中心電位 V s o は階調参照電圧 V r e f 0 = 14.670 V と V r e f 15 = 0.200 V の 2 値の平均値である 7.435 V となる。0 階調の場合は V r e f 7 = 7.985 V と V r e f 8 = 6.725 V の平均値である 7.355 V となる。この設定は各 V r e f を変化させながらヤキツキの強度を調べる実験を行い決定した。また、液晶表示装置の仕様に応じて種々変更可能である。これにより誘電体積層膜中に DC 成分が滞留することなく、ヤキツキを最小にすることができる。

【表 1】

階調	V s a	V s o	電圧値
255	7.235	7.435	V r e f 0 = 14.670
240	6.410	7.313	V r e f 1 = 13.723
192	5.210	7.135	V r e f 2 = 12.345
127	4.000	6.955	V r e f 3 = 10.955
64	2.800	7.097	V r e f 4 = 9.897
32	1.950	7.198	V r e f 5 = 9.148
1	0.700	7.347	V r e f 6 = 8.047
0	0.630	7.355	V r e f 7 = 7.985
			V r e f 8 = 6.725
			V r e f 9 = 6.647
			V r e f 10 = 5.248
			V r e f 11 = 4.297
			V r e f 12 = 2.955
			V r e f 13 = 1.925
			V r e f 14 = 0.903
			V r e f 15 = 0.200

【0020】

本実施の形態では、255 階調の V s o（V s o 255）と 127 階調の V s o（V s o 127）との差（V s o 255 - V s o 127）は 480 mV、0 階調の V s o（V s o 0）と V s o 127 の差（V s o 0 - V s o 127）が 400 mV の例を示したが、これらのどちらかあるいは両方が、およそ 0 mV や負の値となる場合もある。これらの値は配向膜 61、保護膜 62、カラーフィルタ 63 の材料の組合せや界面状態により変化する。

【0021】

ところで、本実施の形態における液晶表示装置においても、一般的な液晶表示装置同様、Vcom調整は、0および255階調の中間値である127階調（中間調）表示にて行う。ドット反転駆動方式等を採用した場合は、市松などのパターンを表示させフリッカーが最小になる部分を最適Vcomとなるよう調整する。このため、127階調でのフリッカーはほぼ0となるが、127階調以外の階調では最適Vcomに対してVcom値がずれるため、フリッカーが生じやすくなる。これに対しては図7（a）に示すような極性を一画素毎に反転させるドット反転駆動や図7（b）に示すような1×2駆動、または、極性反転をランダムに発生させる駆動（図示せず）を行うことで通常画面を表示した際のフリッカーを防ぐことができる。上記では127階調にてVcom調整を行う例を示したが、他の階調にてVcom調整を行っても、同様の効果を得ることができる。

10

【0022】

【発明の効果】

本発明によれば横電界方式の液晶表示装置の駆動方法において、画素電極に供給された信号電位の正極性時と負極性時の平均値が、階調により異なるように、前記信号電位の平均値を設定して入力することで、ヤキツキが最小となる液晶表示装置の駆動方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態における液晶表示装置を示す図である。

【図2】本発明の実施の形態における液晶表示装置の回路図である。

【図3】本発明の実施の形態における液晶表示装置の信号波形を示す図である。

20

【図4】本発明の実施の形態における液晶表示装置で示す図である。

【図5】本発明の実施の形態における液晶表示装置の回路図である。

【図6】本発明の実施の形態におけるIPSモードとTNモードの主要部断面図である。

【図7】本発明の実施の形態における液晶表示装置の極性反転方式を示す図である。

【符号の説明】

1：ソース線

2：絶縁膜

3：ゲート線

4：絶縁膜

5：スイッチング素子

30

6：画素電極

7：共通電極

8：補助容量配線

9：液晶層

10：液晶パネル

11：ソース線駆動回路

12：ゲート線駆動回路

13：制御回路

14：電源

21：ゲート電極

40

22：ソース電極

23：ドレイン電極

31：画素電位

32：信号電位

33：ゲート電位

34：コモン電位

41：入力端子

42：入力端子

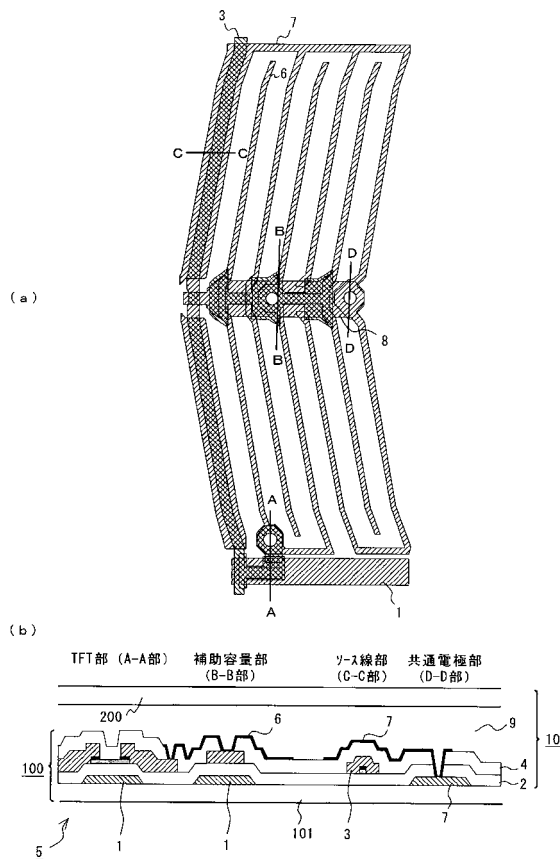
43：分割抵抗

44：出力端子

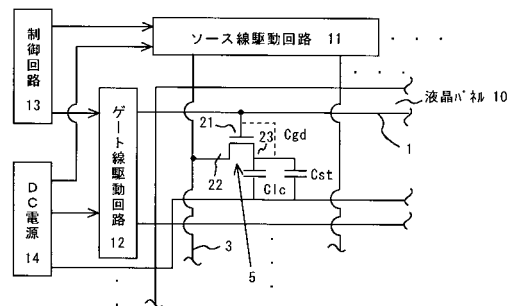
50

- 45 : 出力端子
- 46 : 選択回路
- 61 : 配向膜
- 62 : 保護膜
- 63 : カラーフィルタ
- 100 : TFTアレイ基板
- 101 : 絶縁性基板
- 200 : カラーフィルタ基板

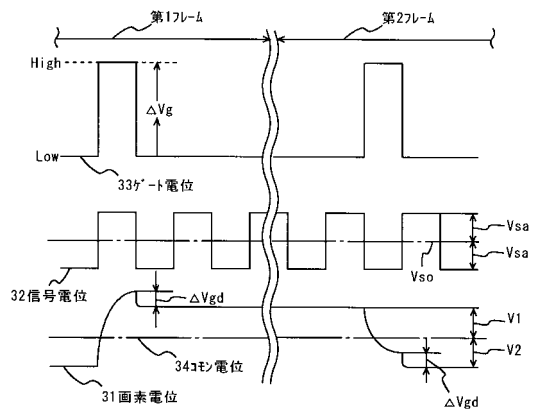
【図1】



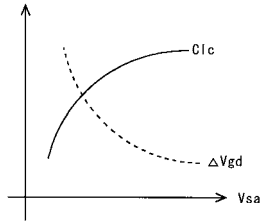
【図2】



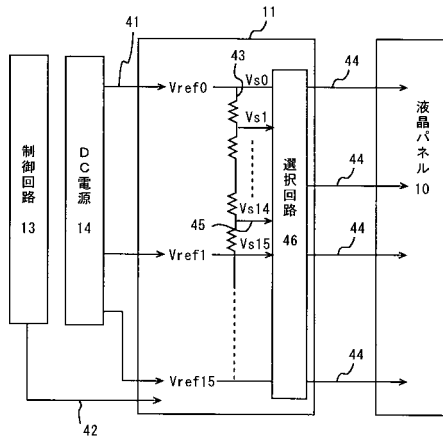
【図3】



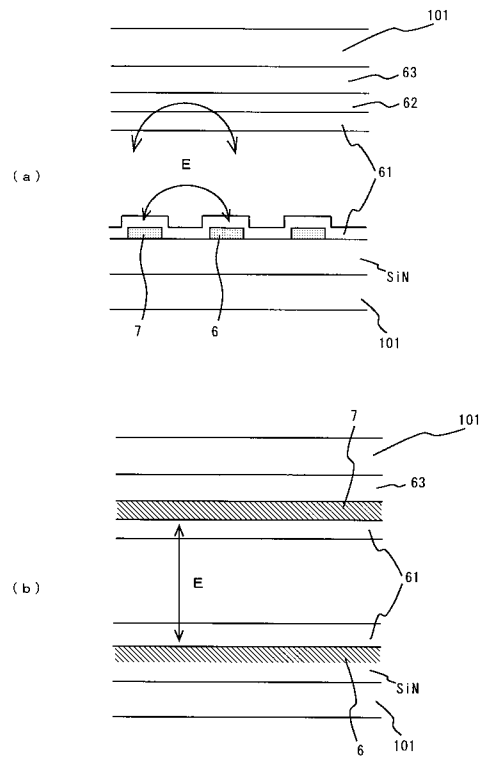
【図 4】



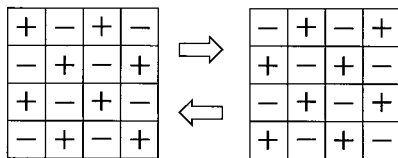
【図 5】



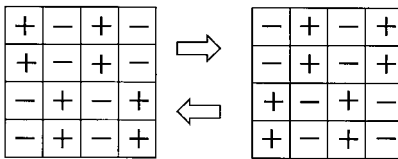
【図 6】



【図 7】



(a) ドット反転



(b) 1×2

+ : コモン電位に対して画素電位が正
 - : コモン電位に対して画素電位が負

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 1 2 F
G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 7 0 K

(56)参考文献 特開2001-100711 (JP, A)

特開平11-160731 (JP, A)

特開平06-034943 (JP, A)

特開平05-203918 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133

专利名称(译)	用于驱动液晶显示装置的方法		
公开(公告)号	JP4112415B2	公开(公告)日	2008-07-02
申请号	JP2003098579	申请日	2003-04-01
申请(专利权)人(译)	有限公司高级显示		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	升谷雄一 永野慎吾		
发明人	升谷 雄一 永野 慎吾		
IPC分类号	G09G3/36 G02F1/133 G02F1/1343 G02F1/1368 G09G3/20		
CPC分类号	G09G3/3648 G02F1/134363 G09G3/3614 G09G3/3696 G09G2300/0434 G09G2320/0219 G09G2320/0247		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G02F1/1343 G02F1/1368 G09G3/20.611.E G09G3/20.612.F G09G3/20.612.U G09G3/20.621.B G09G3/20.623.C G09G3/20.670.K		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JB05 2H092/JB69 2H092/NA01 2H092/PA06 2H093/NA16 2H093/NA34 2H093/NA53 2H093/NC04 2H093/ND06 2H093/ND12 2H093/ND13 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BC31 2H192/CB05 2H192/DA12 2H192/EA43 2H192/GD61 2H192/JA32 2H193/ZC13 2H193/ZC14 2H193/ZC20 2H193/ZD23 2H193/ZF03 2H193/ZQ16 5C006/AA16 5C006/AC11 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF43 5C006/AF45 5C006/AF46 5C006/AF52 5C006/AF83 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BF24 5C006/BF43 5C006/FA18 5C006/FA23 5C006/FA34 5C006/FA37 5C006/FA38 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
其他公开文献	JP2004309520A		
外部链接	Espacenet		

摘要(译)

面内切换模式 (IPS模式) 的液晶单元的电极结构在垂直方向上不对称地形成, 使得与传统TN模式相比, 可能发生垂直方向上的残余DC电压, 并且因此生成夹克。 开关元件形成在栅极线和源极线的交叉点附近; 开关元件形成在开关元件中, 源极线与栅极线交叉; 一种驱动水平电场型液晶显示装置的方法, 该装置通过源极线向像素电极提供图像显示所需的信号电位, 并施加基本平行于基板表面的电场, 一种驱动液晶显示装置的方法, 其中设定信号电位的平均值, 使得正极性和负极性的电极的电位的平均值根据要显示的灰度级而不同。 点域5

階調	V s a	V s o	電圧値
2 5 5	7. 2 3 5	7. 4 3 5	V r e f 0=1 4. 6 7 0
2 4 0	6. 4 1 0	7. 3 1 3	V r e f 1=1 3. 7 2 3
1 9 2	5. 2 1 0	7. 1 3 5	V r e f 2=1 2. 3 4 5
1 2 7	4. 0 0 0	6. 9 5 5	V r e f 3=1 0. 9 5 5
6 4	2. 8 0 0	7. 0 9 7	V r e f 4=9. 8 9 7
3 2	1. 9 5 0	7. 1 9 8	V r e f 5=9. 1 4 8
1	0. 7 0 0	7. 3 4 7	V r e f 6=8. 0 4 7
0	0. 6 3 0	7. 3 5 5	V r e f 7=7. 9 8 5
			V r e f 8=6. 7 2 5
			V r e f 9=6. 6 4 7
			V r e f 1 0=5. 2 4 8
			V r e f 1 1=4. 2 9 7
			V r e f 1 2=2. 9 5 5
			V r e f 1 3=1. 9 2 5
			V r e f 1 4=0. 9 0 3
			V r e f 1 5=0. 2 0 0