

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4051237号
(P4051237)

(45) 発行日 平成20年2月20日 (2008. 2. 20)

(24) 登録日 平成19年12月7日 (2007. 12. 7)

(51) Int. Cl.

F I

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 2 F 1/1335 (2006. 01)

G O 2 F 1/1335 5 0 0

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

請求項の数 14 (全 16 頁)

(21) 出願番号 特願2002-220605 (P2002-220605)
 (22) 出願日 平成14年7月30日 (2002. 7. 30)
 (65) 公開番号 特開2004-61891 (P2004-61891A)
 (43) 公開日 平成16年2月26日 (2004. 2. 26)
 審査請求日 平成17年2月9日 (2005. 2. 9)

(73) 特許権者 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100100310
 弁理士 井上 学
 (72) 発明者 阿須間 宏明
 千葉県茂原市早野3300番地 株式会
 社日立製作所ディスプレイグループ内
 (72) 発明者 長谷川 篤
 千葉県茂原市早野3300番地 株式会
 社日立製作所ディスプレイグループ内
 (72) 発明者 宮沢 敏夫
 千葉県茂原市早野3300番地 株式会
 社日立製作所ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

液晶層を挟持する一対の基板のうちの一方の基板に、複数の走査信号線と、前記複数の走査信号線と交差する複数の映像信号線と、マトリクス状に配置された複数の画素とを備えた液晶表示装置であって、

前記複数の画素の各画素は、前記走査信号線により駆動されるスイッチング素子と、前記スイッチング素子を介して前記映像信号線から映像信号が供給される画素電極とを備え、

前記一方の基板は、前記映像信号線と一部が重畳する位置に、前記映像信号線よりも前記一方の基板側に絶縁膜を介して設けられた不透明な導電層を備え、

前記不透明な導電層のそれぞれは、前記映像信号線の幅よりも広い幅となっている部分を有するとともに、前記映像信号線の両脇に配置された互いに隣り合う2つの画素の画素電極の両方に前記不透明な導電層の一部が重畳し、かつ、前記不透明な導電層のそれぞれは前記映像信号線と電氣的に接続され、

前記不透明な導電層のそれぞれは、前記絶縁膜に設けられたコンタクトホールを介して1箇所であって前記映像信号線と電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 2】

前記コンタクトホールによる電氣的接続部分において、前記映像信号線は他の部分よりも幅が広がっていることを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

10

20

前記映像信号線は、少なくとも一部において、前記映像信号線の両脇に配置された互いに隣り合う2つの画素の画素電極同士の隙間と等しいかそれよりも狭い幅となっている部分を有することを特徴とする請求項1または2に記載の液晶表示装置。

【請求項4】

前記不透明な導電層と前記画素電極とが重畳した部分の面積が、前記映像信号線と前記画素電極とが重畳した部分の面積よりも大きいことを特徴とする請求項1から3の何れかに記載の液晶表示装置。

【請求項5】

前記不透明な導電層は前記走査信号線と同一材料で形成されていることを特徴とする請求項1から4の何れかに記載の液晶表示装置。

10

【請求項6】

前記画素において蓄積容量を形成するための複数の容量線を有し、

前記不透明な導電層は前記容量線と同一材料で形成されていることを特徴とする請求項1から5の何れかに記載の液晶表示装置。

【請求項7】

前記不透明な導電層は、前記映像信号線の両脇に配置された互いに隣り合う2つの画素の間のそれぞれに対応して互いに独立なパターンで形成されていることを特徴とする請求項1から6の何れかに記載の液晶表示装置。

【請求項8】

前記画素電極は透明電極であることを特徴とする請求項1から7の何れかに記載の液晶表示装置。

20

【請求項9】

前記画素電極は反射電極であることを特徴とする請求項1から7の何れかに記載の液晶表示装置。

【請求項10】

前記画素電極は反射電極であり、

前記各画素は透明電極で形成され前記映像信号が印加される第2の画素電極を備えることを特徴とする請求項1から7の何れかに記載の液晶表示装置。

【請求項11】

前記不透明な導電層は前記第2の画素電極と重畳しない位置に形成されていることを特徴とする請求項10に記載の液晶表示装置。

30

【請求項12】

光透過領域における前記透明電極と光反射領域における前記反射電極との間に段差を設け、前記光透過領域における前記液晶層の厚さが前記光反射領域における前記液晶層の厚さよりも大きいことを特徴とする請求項10または11に記載の液晶表示装置。

【請求項13】

前記不透明な導電層から前記画素電極まで前記基板に対して垂直方向に測った距離の方が前記映像信号線から前記画素電極まで前記基板に対して垂直方向に測った距離よりも大きいことを特徴とする請求項1から12の何れかに記載の液晶表示装置。

【請求項14】

40

バックライトを備えることを特徴とする請求項1から13の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置、特に液晶表示装置に関する。

【0002】

【従来の技術】

アクティブマトリクス型の液晶表示装置は、例えば、液晶層を挟持する一対の基板のうちの一方の基板に、複数の走査信号線と、複数の走査信号線と交差する複数の映像信号線と

50

、マトリクス状に配置された複数の画素とを備えている。そして、複数の画素の各画素は、走査信号線により駆動されるスイッチング素子と、スイッチング素子を介して映像信号線から映像信号が供給される画素電極とを備えている。一对の基板のうちの他方の基板には対向電極が形成されており、この対向電極と画素電極との間に発生する電界により液晶を駆動することで液晶層を通過する光の状態を制御し、画像の表示を行っている。

【 0 0 0 3 】

液晶表示装置は自発光タイプの表示装置ではないため、液晶表示パネル外部から光を取り入れるために補助光源装置が用いられている。その一例として、表示面側（観察者側）と反対側にバックライトが配置され、液晶表示パネルを背面から照射するものが知られている。

10

【 0 0 0 4 】

このとき、隣り合う画素電極の隙間の部分からバックライトからの光が漏れて観察者に見えてしまった場合はコントラストが低下し、画質が悪くなってしまう。

【 0 0 0 5 】

また、映像信号線と画素電極との間には寄生容量が発生している。この寄生容量が大きいと縦スミア（縦クロストークとも呼ばれる）と呼ばれる現象が目立つようになり、画質へ影響を及ぼす。この縦スミアとは、背景を中間調表示しながら白表示ウインドウ又は黒表示ウインドウを表示した際に、ウインドウの上下（縦方向）の背景部分における中間調表示のレベルが白表示方向または黒表示方向にずれてウインドウのない場所の背景部分と色が異なってしまう現象のことである。

20

【 0 0 0 6 】

この問題を解決する従来技術としては、例えば特開 2 0 0 1 - 2 0 9 0 4 1 号公報（以下、従来技術 1 と呼ぶ。）、特開 2 0 0 2 - 1 5 1 6 9 9 号公報（以下、従来技術 2 と呼ぶ。）がある。

【 0 0 0 7 】

図 1 5 は、従来技術 1 の概略構成を説明する画素部分の平面図である。また、図 1 6 は図 1 5 の E - E ' 線における断面図である。尚、図 1 5 及び図 1 6 は、従来技術 1 の概略構成を理解しやすくするために構成要素を一部省略や変更するなどして簡略化してある。

【 0 0 0 8 】

図 1 5 では、映像信号線（データ線）D L は一部で画素電極 P X と重畳する部分を有している。しかし、映像信号線 D L は E - E ' 線の部分では幅が狭くなった狭幅部を有しており、そこでは図 1 6 に示すように画素電極 P X と重畳していない。これによって、映像信号線 D L と画素電極 P X との間に第 2 の絶縁膜 I N 2 を介して生じる寄生容量が低減されている。

30

【 0 0 0 9 】

しかし、このままでは画素電極 P X と映像信号線 D L との隙間から光漏れが生じるため、映像信号線 D L の狭幅部の下層に第 1 の絶縁膜 I N 1 を介して遮光膜 S L D を形成している。遮光膜 S L D を画素電極 P X と重畳させることにより、基板 S U B 1 の背面から入射するバックライトからの光を遮光している。

【 0 0 1 0 】

尚、従来技術 1 では、遮光膜 S L D をストレージ容量（蓄積容量）を形成するためのストレージ線（容量線）S T L と同一材料で形成するとともに、互いに電氣的に絶縁している。また、G T はゲート電極、G L は走査信号線（走査線）である。

40

【 0 0 1 1 】

図 1 7 は、従来技術 2 の概略構成を説明する画素部分の平面図である。この図 1 7 も、従来技術 2 の概略構成を理解しやすくするために構成要素を一部省略や変更するなどして簡略化してある。尚、図 1 5 と対応する構成については同一の符号を付し、重複説明は省略する。

【 0 0 1 2 】

図 1 7 と図 1 5 を比べると、映像信号線 D L の太さが一定である点や、画素電極 P X の形

50

状において異なっているが、基本的には従来技術 1 と同じである。図 17 の F - F ' 線における断面図は図 16 と同じであるため説明は省略する。

【0013】

最も異なる点は、映像信号線 DL と重畳する遮光膜 SL D がストレージ線 STL と一体に形成されている点である。従って、従来技術 1 では遮光膜 SL D はフローティングとなっているが、従来技術 2 では遮光膜 SL D はストレージ線と同電位になっている。

【0014】

【発明が解決しようとする課題】

しかしながら、従来技術 1 及び従来技術 2 には、次のような問題がある。

【0015】

従来技術 1 では、遮光膜 SL D が電氣的にフローティングであるため、縦スミアとは異なる別の画質悪化を招く。従来技術 1 では、遮光膜 SL D がフローティングであるため映像信号線 DL の電位の変動に伴い遮光膜 SL D の電位も変動するが、例えば静電気の影響などにより複数ある遮光膜 SL D のうちの一部の遮光膜 SL D だけが映像信号線 DL の電位変動と無関係に急激に電位が変動する場合があります、これによって対応する一部の画素電極 PX の電位もこの変動の影響を受ける。この結果、周辺を表示と著しく階調の異なる表示となる場合があります、画質が悪くなってしまう。

【0016】

従来技術 2 では、遮光膜 SL D がストレージ線 STL と同電位に保たれているため、従来技術 1 のような現象は起きない。しかし、映像信号線 DL と第 1 の絶縁膜 IN 1 を介して重畳している遮光膜 SL D が映像信号線 DL とは異なる一定の電位で保たれていることで、映像信号線に映像信号を供給して駆動する時の負荷が増大する結果、消費電力の増加、あるいは波形なまりによる画質の劣化が生じる。

【0017】

本発明の目的は、画質の良い表示装置を提供することである。

【0018】

【課題を解決するための手段】

この目的を達成するため、本発明では、映像信号線と一部が重畳する位置に絶縁膜を介して映像信号線に沿って設けられた導電層がある場合に、この導電層と映像信号線とを電氣的に接続した。

【0019】

本発明の構成の一例を以下に列記する。

【0020】

(1)、液晶層を挟持する一对の基板のうち一方の基板に、複数の映像信号線と、マトリクス状に配置され前記映像信号線から映像信号が供給される複数の画素電極とを備えた液晶表示装置であって、

前記一方の基板は、前記映像信号線と一部が重畳する位置に、絶縁膜を介して設けられた複数の導電層を備え、

前記導電層のそれぞれは前記映像信号線と電氣的に接続されている。

【0021】

(2)、(1)において、前記一方の基板の前記液晶層と反対側にバックライトを備え、前記導電層は隣り合う 2 つの前記画素電極の隙間から前記バックライトからの光が漏れることを防止する。

【0022】

(3)、(1)または(2)において、前記導電層のそれぞれは、前記絶縁膜に設けられたコンタクトホールを介して 1 箇所前記映像信号線と電氣的に接続されている。

【0023】

(4)、(1)または(2)において、前記導電層のそれぞれは、前記絶縁膜に設けられたコンタクトホールを介して 2 箇所以上前記映像信号線と電氣的に接続されている。

【0024】

(5)、液晶層を挟持する一対の基板のうちの一方の基板に、複数の走査信号線と、前記複数の走査信号線と交差する複数の映像信号線と、マトリクス状に配置された複数の画素とを備えた液晶表示装置であって、

前記複数の画素の各画素は、前記走査信号線により駆動されるスイッチング素子と、前記スイッチング素子を介して前記映像信号線から映像信号が供給される画素電極とを備え、前記一方の基板は、前記映像信号線と一部が重畳する位置に、前記映像信号線よりも前記一方の基板側に絶縁膜を介して設けられた不透明な導電層を備え、

前記不透明な導電層のそれぞれは、前記映像信号線の幅よりも広い幅となっている部分を有するとともに、前記映像信号線を間にして隣り合う2つの画素の画素電極の両方に一部が重畳し、かつ、前記不透明な導電層のそれぞれは前記映像信号線と電氣的に接続されている。

10

【 0 0 2 5 】

(6)、(5)において、前記不透明な導電層のそれぞれは、前記絶縁膜に設けられたコンタクトホールを介して1箇所前記映像信号線と電氣的に接続されている。

【 0 0 2 6 】

(7)、(5)において、前記不透明な導電層のそれぞれは、前記絶縁膜に設けられたコンタクトホールを介して2箇所以上前記映像信号線と電氣的に接続されている。

【 0 0 2 7 】

(8)、(5)から(7)の何れかにおいて、前記映像信号線と前記不透明な導電層を前記絶縁膜に設けられたコンタクトホールを介して電氣的に接続するとともに、前記コンタクトホールの部分において、前記映像信号線は他の部分よりも幅が広がっている。

20

【 0 0 2 8 】

(9)、(5)から(8)の何れかにおいて、前記映像信号線は、少なくとも一部において、前記映像信号線を間にして隣り合う2つの画素の画素電極同士の隙間と等しいかそれよりも狭い幅となっている部分を有する。

【 0 0 2 9 】

(1 0)、(5)から(9)の何れかにおいて、前記不透明な導電層と前記画素電極とが重畳した部分の面積が、前記映像信号線と前記画素電極とが重畳した部分の面積よりも大きい。

【 0 0 3 0 】

30

(1 1)、(5)から(1 0)の何れかにおいて、前記不透明な導電層は前記走査信号線と同一材料で形成されている。

【 0 0 3 1 】

(1 2)、(5)から(1 1)の何れかにおいて、前記画素において蓄積容量を形成するための複数の容量線を有し、

前記不透明な導電層は前記容量線と同一材料で形成されている。

【 0 0 3 2 】

(1 3)、(5)から(1 2)の何れかにおいて、前記不透明な導電層は、前記隣り合う2つの画素の間のそれぞれに対応して互いに独立なパターンで形成されている。

【 0 0 3 3 】

40

(1 4)、(5)から(1 3)の何れかにおいて、前記画素電極は透明電極である。

【 0 0 3 4 】

(1 5)、(5)から(1 3)の何れかにおいて、前記画素電極は反射電極である。

【 0 0 3 5 】

(1 6)、(5)から(1 3)の何れかにおいて、前記画素電極は反射電極であり、前記各画素は透明電極で形成され前記映像信号が印加される第2の画素電極を備える。

【 0 0 3 6 】

(1 7)、(1 6)において、前記不透明な導電層は前記第2の画素電極と重畳しない位置に形成されている。

【 0 0 3 7 】

50

(1 8)、(1 6)または(1 7)において、光透過領域における前記透明電極と光反射領域における前記反射電極との間に段差を設け、前記光透過領域における前記液晶層の厚さが前記光反射領域における前記液晶層の厚さよりも大きい。

【 0 0 3 8 】

(1 9)、(5)から(1 8)の何れかにおいて、前記不透明な導電層から前記画素電極まで前記基板に対して垂直方向に測った距離の方が前記映像信号線から前記画素電極まで前記基板に対して垂直方向に測った距離よりも大きい。

【 0 0 3 9 】

(2 0)、(5)から(1 9)の何れかにおいて、バックライトを備える。

【 0 0 4 0 】

尚、本発明は以上の構成に限定されることなく、本発明の技術的思想を逸脱しない範囲で適宜変更が可能である。

【 0 0 4 1 】

【発明の実施の形態】

本発明の実施例を、図面を参照しながら説明する。

【 0 0 4 2 】

[第 1 実施例]

図 1 は、本発明の液晶表示装置の第 1 実施例における画素の概略構成の一例を示す平面図である。図 2 は、図 1 の A - A ' 線における断面図である。

【 0 0 4 3 】

図 1 及び図 2 に示すように、本実施例の液晶表示装置は、図示しない液晶層 LC を挟持する一対の基板のうちの一方の基板 SUB 1 に、複数の映像信号線 DL と、マトリクス状に配置され映像信号線 DL から映像信号が供給される複数の画素電極 PX とを有している。基板 SUB 1 としてはガラス基板やプラスチック基板など、絶縁性の透明材料を用いることが好ましい。一対の基板のうちの他方の基板である図示しない対向基板 SUB 2 も同様である。また、画素電極 PX の例としては、例えば ITO (Indium Tin Oxide) などの透明電極を用いることができる。

【 0 0 4 4 】

そして、映像信号線 DL と一部が重畳する位置に、絶縁膜 IN 1 を介して複数の導電層が設けられている。この導電層は、不透明な材料で形成されており、遮光膜としての機能を有している。図中では符号 SLD で示しており、以後、この導電層を遮光膜 SLD と呼ぶ。

【 0 0 4 5 】

そして、この遮光膜 SLD のそれぞれは映像信号線 DL と電気的に接続されている。

【 0 0 4 6 】

このように、映像信号線 DL と一部が重畳する位置に絶縁膜 IN 1 を介して映像信号線 DL に沿って設けられた導電層 (遮光膜 SLD) がある場合に、この導電層 (遮光膜 SLD) と映像信号線 DL とを電気的に接続することによって、導電層がフローティングになることを防止するとともに、映像信号線 DL と異なる電位としていないことによって従来技術 2 のように映像信号線 DL を駆動する際の負荷の増大や波形なまりを低減している。これによって、画質の良い表示が可能となる。

【 0 0 4 7 】

尚、本実施例では、電気的に接続する方法の一例として、絶縁膜 IN 1 に設けたコンタクトホール CH 1 を用いて電気的に接続した例を示している。本実施例ではそれぞれの遮光膜 SLD は 1 箇所接続した。

【 0 0 4 8 】

尚、遮光膜 SLD は走査信号線 GL と同一材料で形成すれば、両者を同時に形成できるのでプロセス数が増加しなくても済む。尚、ゲート電極 GT も走査信号線 GL と同時に形成できる。

【 0 0 4 9 】

10

20

30

40

50

本実施例では、画素において図示しない蓄積容量 C_{stg} を形成するための複数のストレージ線 STL を有している。遮光膜 SLD をストレージ線 STL と同一材料で形成すれば、両者を同時に形成できるのでプロセス数が増加しなくても済む。尚、ストレージ線 STL を用いて蓄積容量 C_{stg} を形成するかわりに前段の走査信号線 GL を利用して付加容量 C_{add} を形成することも可能であり、必ずしもストレージ線 STL は必須ではない。

【0050】

遮光膜 SLD 、走査信号線 GL 、ストレージ線 STL の3つを同一材料で同時に形成しても良い。

【0051】

尚、遮光膜 SLD を走査信号線 GL やストレージ線 STL などと同時に形成するとこれらの配線乗り越えることができないため、複数の遮光膜は隣り合う2つの画素の間のそれぞれに対応して互いに独立なパターンで形成されることとなる。

10

【0052】

マトリクス状に配置された複数の画素の各画素は、走査信号線 GL により駆動される図示しないスイッチング素子と、このスイッチング素子を介して映像信号線 DL から映像信号が供給される画素電極 PX とを備えている。スイッチング素子としては、例えば薄膜トランジスタ (TFT: Thin Film Transistor) などを用いることができる。

【0053】

ここで、映像信号線 DL の幅 $W1$ は、少なくとも一部において、映像信号線 DL を間にし隣り合う2つの画素の画素電極 PX 同士の隙間と等しいかそれよりも狭い幅となっている部分を有することが望ましい。こうすることで、図2の $L1$ に示したように画素電極 PX と重畳しなくなる結果、映像信号線 DL と画素電極 PX とその間の第2の絶縁膜 $IN2$ とにより形成される寄生容量が低減され、後述するように縦スミアが軽減される。

20

【0054】

しかし、このままでは図示しないバックライト BL からの光が $L1$ の部分から漏れてしまうので、遮光膜 SLD の幅 $W2$ を映像信号線 DL の幅 $W1$ よりも広い幅とし、図2の $L2$ に示すように映像信号線 DL を間にし隣り合う2つの画素の画素電極 PX の両方に一部を重畳させている。こうすることで、遮光膜 SLD は隣り合う2つの画素電極 PX の隙間からバックライト BL からの光が漏れることを防止している。

30

【0055】

尚、遮光膜 SLD は映像信号線 DL と電氣的に接続されているため、画素電極 PX との間に寄生容量が発生する。しかし、遮光膜 SLD は映像信号線 DL と絶縁膜 $IN1$ を介して基板 $SUB1$ 側に形成されているため、絶縁膜の合計膜厚が映像信号線 DL に比べて厚くなっている。すなわち、画素電極 PX と重畳する領域において遮光膜 SLD から画素電極 PX まで基板 $SUB1$ に対して垂直方向に測った距離の方が映像信号線 DL から画素電極 PX まで基板 $SUB1$ に対して垂直方向に測った距離よりも大きい。従って、画素電極 PX までの距離が映像信号線 DL に比べて遠いため寄生容量は小さくて済む。

【0056】

このように、本発明によれば画質の良い表示装置を提供することができる。

40

【0057】

[第2実施例]

図3は、本発明の液晶表示装置の第2実施例における画素の概略構成の一例を示す平面図である。図4は、図3の $B-B'$ 線における断面図である。本実施例においてこれまで説明した他の実施例と共通の部分については同一符号を付して重複説明は省略する。

【0058】

本実施例は基本的には第1実施例と同じである。第1実施例と異なる点は、画素の構造をいわゆる部分透過型としたことである。各画素は画素領域内に反射領域と透過領域（光透過領域）とを有している。反射領域では画素電極として反射電極 PXR が形成されており、対向基板 $SUB2$ 側から入射した光を反射して表示を行う。一方、透過領域では、映像

50

信号が供給される第2の画素電極として透明電極PXTが形成されており、反射電極PXRに例えば開口OP1を設けるなどして透明電極PXTが光学的に露出した構造となっている。そして、基板SUB1側から入射するバックライトBLからの光を透過して表示を行う。

【0059】

図4では、構造の一例として第2の絶縁膜IN2を形成した後、透明電極PXTを形成し、第3の絶縁膜IN3を形成し、その上に反射電極PXRを形成したものを示した。第3の絶縁膜IN3は透過領域において開口OP2を形成することで透過領域と反射領域に段差を設けて透過領域の液晶層LCの厚さdtを反射領域の液晶層LCの厚さdrよりも大きくしている。これは、透過領域と反射領域の光路長を調整して両者の光学特性を近づけるためである。

10

【0060】

尚、本実施例では第2の画素電極である透明電極PXTと遮光膜SLDとを図4のL3に示すように重畳させない位置にしている。これにより、寄生容量を低減できる。

【0061】

本実施例では、第1実施例の画素電極PXに対応するものが反射電極PXRとなっている。しかし、この構造に限られず、例えば構造を適宜変更して実施例1の画素電極PXに対応するものを透明電極PXTとしてもかまわない。

【0062】

尚、図4には、対向基板SUB2の構造の一例についても図示した。対向基板SUB2上にはカラーフィルタFIL、平坦化膜OC、対向電極CTが形成されている。対向電極CTにはコモン電位Vcomが供給されている。これらの構造は第1実施例などの他の実施例についても同様である。また、別途、配向膜や偏光板などが設けられるが、図示を省略している。尚、これらはあくまで一例であり、必要に応じて適宜変更されうる。

20

【0063】

[第3実施例]

図5は、本発明の液晶表示装置の第3実施例における画素の概略構成の一例を示す平面図である。本実施例においてこれまで説明した他の実施例と共通の部分については同一符号を付して重複説明は省略する。

【0064】

基本的な構成は第1実施例と同じであるが、本実施例では映像信号線DLとそれぞれの導電層(遮光膜SLD)とを2つのコンタクトホールCH1を用いて2箇所接続している点異なる。これにより、映像信号線DLと遮光膜SLDとが並列接続されるため抵抗が低減できるという効果がある。また、一部で断線が起こった場合でもバイパスが形成されるため表示が行えるという効果もある。これらの効果を奏するには接続箇所は図5に示すようになるべく遮光膜SLDの端部近傍で互いに離れた位置とした方が好ましい。

30

【0065】

尚、2箇所だけでなく3箇所以上としてもかまわない。また、第2実施例に適用しても良い。

【0066】

[縦スミア発生と低減の原理]

図6は、縦スミアが発生した表示画面の一例を示す図である。図7は、画素の等価回路図である。図8は、縦スミアが発生している領域の信号波形を説明する波形図である。図9は、縦スミアが発生していない領域の信号波形を説明する波形図である。

40

【0067】

図6では、表示領域AR1、AR3を同じレベルの中間調表示の背景とし、表示領域AR2に矩形状の白表示ウインドウを表示した例を示している。本来であれば表示領域AR1、AR3は同じ中間調のレベルとなるはずであるが、表示領域AR2の上下(縦方向)である表示領域AR3では、本来の中間調のレベルよりも白表示のレベルのほうにシフトしてしまっている。これが縦スミアである。

50

【 0 0 6 8 】

図 7 に示すように、画素の等価回路では走査信号線 G L からの走査信号により駆動されるスイッチング素子である薄膜トランジスタ T F T を介して映像信号線 D L から映像信号が図示しない画素電極 P X に書き込まれる。画素電極 P X は対向電極 C T との間に液晶層 L C を介して液晶容量 C l c を形成している。また、画素電極 P X とストレージ線 S T L との間には蓄積容量 C s t g が接続されており、書き込まれた映像信号の電圧を比較的長く保持することが可能となる。また、画素電極 P X と映像信号線 D L との間には寄生容量 C d s が形成されている。

【 0 0 6 9 】

図 8 において、横軸は時間 t を示し、縦軸は電位 V を示している。尚、ここで示した波形図では 1 フレーム期間 F L 毎に映像信号のコモン電位 V c o m に対する極性を反転させる交流化を行っている。縦スミアが発生している表示領域 A R 3 における特定の画素に着目すると、その行の走査信号線電位 V G L は 1 フレーム期間 F L 毎に走査信号の選択レベルが印加されている。対向電極 C T には一定のコモン電位 V c o m が印加されている。はじめは、映像信号線電位 V D L は映像信号としてある中間調電位となっており、走査信号に同期して薄膜トランジスタ T F T がオン状態になると、その特定の画素の画素電極電位 V P X は映像信号線電位 V D L に追従し、走査信号が終了して薄膜トランジスタ T F T がオフになると画素電極 P X はその電位を保持しようとする。

【 0 0 7 0 】

しかし、順次走査が進んで表示領域 A R 2 の走査に差し掛かったとき、映像信号線電位 V D L は白表示レベルの電位に変化する。このとき、寄生容量 C d s に起因して先ほどの特定の画素の画素電極電位 V P X もそれにつられて変化してしまう。これによって、縦スミアが発生する。

【 0 0 7 1 】

一方、図 9 に示すように、表示領域 A R 1 では 1 フレーム期間 F L の間、映像信号線電位は変化しないので画素電極電位 P X も変化していない。

【 0 0 7 2 】

ここで、縦スミアによる電圧変動レベル ΔV は、画素電極電位 V P X と映像信号線電位 V D L との差を V t としたとき、次の式であらわすことができる。

【 0 0 7 3 】

$$\Delta V = C d s / (C s t g + C l c + C d s) \times V t$$

従って、電圧変動レベル ΔV を小さくするためには寄生容量 C d s を小さくするか、(蓄積容量 C s t g + 液晶容量 C l c) を大きくすれば良い。

【 0 0 7 4 】

パネルの精細度が高くなった場合、画素サイズが小さくなるため、画素内で蓄積容量 C s t g や液晶容量 C l c を形成するための面積が制限される。したがって、このような場合には本発明を適用することにより寄生容量 C d s を小さくすることが有効である。

【 0 0 7 5 】

スイッチング素子の薄膜トランジスタ T F T の半導体層として多結晶シリコンを用いる場合には高精細化が可能であるが、その際に縦スミアを低減するために本発明を適用することが好適である。もちろんこれに限られず、半導体層にアモルファスシリコンを用いている場合に本発明を適用してもかまわない。

【 0 0 7 6 】

[第 4 実施例]

図 1 0 は、本発明の液晶表示装置の第 4 実施例における全体の等価回路図である。

【 0 0 7 7 】

液晶層 L C を挟持する一対の基板のうちの一方の基板 S U B 1 に、複数の走査信号線 G L と、複数の走査信号線 G L と交差する複数の映像信号線 D L と、表示領域 A R にマトリクス状に配置された図示しない複数の画素とを備えている。蓄積容量 C s t g を形成するためのストレージ線 S T L も形成されており、コモン電位 V c o m が印加されている。

【0078】

走査信号線GLには走査信号を印加する走査信号駆動回路GDRが接続されており、順次走査を行う。映像信号線DLには映像信号を印加する映像信号駆動回路DDRが接続されている。

【0079】

走査信号駆動回路GDR、映像信号駆動回路DDRの一方または両方は、多結晶シリコンを用いた薄膜トランジスタTFTにより画素における薄膜トランジスタTFTの形成工程と並行して基板SUB1上に直接形成することにより周辺回路内蔵型の液晶表示装置とすることが可能である。これに限られず、半導体集積回路チップの形で供給し、基板SUB1上に直接実装しても良いし、フレキシブルプリント基板(FPC)やテープキャリアパッケージ(TCP)などにより接続しても良い。

10

【0080】

〔第5実施例〕

図11は、本発明の液晶表示装置の第5実施例における全体の概略構成を示す図である。

【0081】

図11において、基板SUB1と対向基板SUB2は液晶層LCを挟持してシール材SLにより貼り合わされている。また、基板SUB1の液晶層LCと反対側にはバックライトBLが配置され、背面側(観察者と反対側)から液晶表示パネルを照らしている。

【0082】

本実施例では、部分透過型の液晶表示装置を用いた例を示しており、対向基板SUB2側から入射する光を反射して表示を行うことも可能となっている。尚、これに限られず、透過型の液晶表示装置に適用しても良い。

20

【0083】

〔第6実施例〕

図12は、本発明の液晶表示装置の第6実施例における画素の概略構成の一例を示す平面図である。図13は、図12のC-C'線における断面図である。図14は、図12のD-D'線における断面図である。本実施例においてこれまで説明した他の実施例と共通の部分については同一符号を付して重複説明は省略する。

【0084】

図12において他の実施例と異なる点は、映像信号線DLの幅が一定ではない点である。特に、遮光膜SLDと電氣的に接続を行うコンタクトホールCH1の部分において、映像信号線DLは他の部分よりも幅を広くしている。これは、接続面積の確保と、合わせずれなどを考慮して確実に接続を行うためである。

30

【0085】

この場合、映像信号線DLと画素電極PX(この例では反射電極PXR)との間の寄生容量Cdsが増加してしまうため、接続箇所はなるべく少ないほうが良いので、1箇所接続した構造としている。

【0086】

寄生容量Cds低減の観点から、遮光膜SLDと画素電極PX(反射電極PXR)とが重畳した部分の面積が、映像信号線DLと画素電極PX(反射電極PXR)とが重畳した部分の面積よりも大きいことが望ましい。

40

【0087】

また、遮光膜SLDのない部分では、映像信号線DLの幅を広くして画素電極(反射電極PXR)と重畳させることにより遮光を行っている。

【0088】

次に、画素に用いられているスイッチング素子の一例である薄膜トランジスタTFTの構造の一例を説明する。この薄膜トランジスタTFTの半導体層として多結晶シリコンを用いた場合を使って説明する。

【0089】

半導体層の上にはゲート絶縁膜GIを介してゲート電極GTが形成されている。ゲート電

50

極の下、半導体層はチャネル領域PSCとなっている。また、半導体層に不純物をドーピングすることによってドレイン領域SD1とソース領域SD2が形成されている。また、ゲート電極GTの端部近傍にはドレイン領域SD1及びソース領域SD2よりも低濃度の不純物がドーピングされたLDD(Lightly Doped Drain)領域LDDが形成されている。このような構造に代えて、チャネル領域PSCと同じ状態となっているオフセット領域を形成してもかまわない。そして、これらを覆って第1の絶縁膜IN1が形成されている。ドレイン領域SD1には、コンタクトホールCH2を介して映像信号線DLと一体になったドレイン電極SD3が接続されている。また、ソース領域SD2には、コンタクトホールCH3を介してソース電極SD4が接続されている。そして、これらを覆って第2の絶縁膜IN2が形成されている。その上には、透明電極PXTが形成されており、コンタクトホールCH4を介してソース電極SD4と接続されている。その上には第3の絶縁膜IN3が形成されている。その上には、反射電極PXRが形成されている。尚、反射電極PXRは第3の絶縁膜IN3に設けられた開口OP2の中で透明電極PXTと接続されている。しかし、このような構成に限られず、別途コンタクトホールを形成して透明電極PXTまたはソース電極SD4と接続する構成としてもかまわない。

10

【0090】

尚、図14においてストレージ線STLは容量電極PSEとの間、及びソース電極SD4との間、及び透明電極PXTとの間に蓄積容量Cstgを形成している。尚、容量電極PSEは不純物がドーピングされて導電性が付与された半導体層であり、ソース領域SD2と一体になっている。蓄積容量Cstgの構造としては本実施例の構造以外にも様々な方法があり、適宜変更が可能である。

20

【0091】

尚、これまで説明してきた第1から第6実施例の特徴は、矛盾が生じない限り他の1つ以上の実施例と相互に組み合わせることが可能である。

【0092】

【発明の効果】

以上説明したように、本発明によれば、画質の良い表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の第1実施例における画素の概略構成の一例を示す平面図である。

30

【図2】図1のA-A'線における断面図である。

【図3】本発明の液晶表示装置の第2実施例における画素の概略構成の一例を示す平面図である。

【図4】図3のB-B'線における断面図である。

【図5】本発明の液晶表示装置の第3実施例における画素の概略構成の一例を示す平面図である。

【図6】縦スミアが発生した表示画面の一例を示す図である。

【図7】画素の等価回路図である。

【図8】縦スミアが発生している領域の信号波形を説明する波形図である。

【図9】縦スミアが発生していない領域の信号波形を説明する波形図である。

40

【図10】本発明の液晶表示装置の第4実施例における全体の等価回路図である。

【図11】本発明の液晶表示装置の第5実施例における全体の概略構成を示す図である。

【図12】本発明の液晶表示装置の第6実施例における画素の概略構成の一例を示す平面図である。

【図13】図12のC-C'線における断面図である。

【図14】図12のD-D'線における断面図である。

【図15】従来技術1の概略構成を説明する画素部分の平面図である。

【図16】図15のE-E'線における断面図である。

【図17】従来技術2の概略構成を説明する画素部分の平面図である。

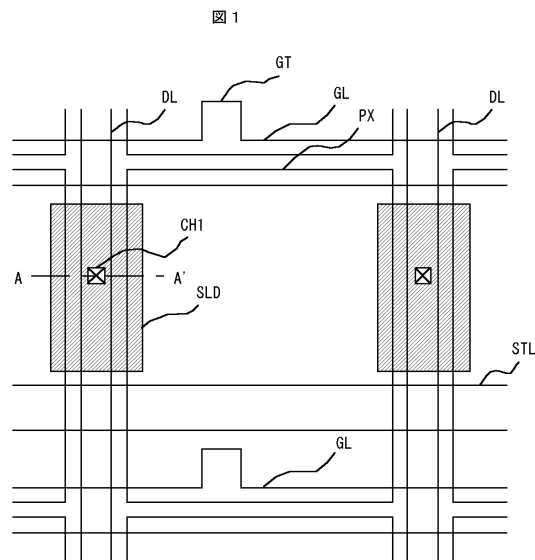
【符号の説明】

50

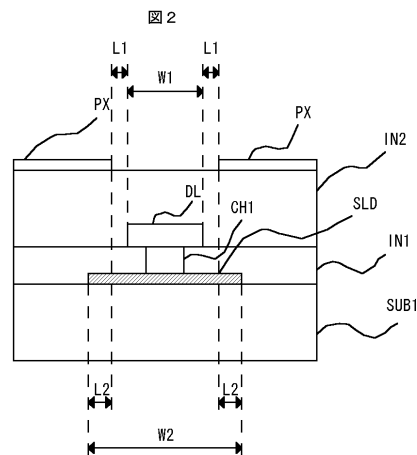
A R、A R 1 ~ A R 3 ... 表示領域、B L ... バックライト、C H 1 ~ C H 4 ... コンタクトホール、C d s ... 寄生容量、C l c ... 液晶容量、C s t g ... ストレージ容量、C T ... 対向電極、D D R ... 映像信号駆動回路、D L ... 映像信号線、F I L ... カラーフィルタ、F L ... 1 フレーム期間、G D R ... 走査信号駆動回路、G I ... ゲート絶縁膜、G L ... 走査信号線、G T ... ゲート電極、I N 1 ~ I N 3 ... 絶縁膜、L C ... 液晶層、L D D ... L D D 領域、O C ... 平坦化膜、O P 1、O P 2 ... 開口、P S C ... チャンネル領域、P S E ... 容量電極、P X ... 画素電極、P X R ... 反射電極、P X T ... 透明電極、S D 1 ... ドレイン領域、S D 2 ... ソース領域、S D 3 ... ドレイン電極、S D 4 ... ソース電極、S L ... シール材、S L D ... 遮光膜（不透明な導電層）、S T L ... ストレージ線（容量線）、S U B 1 ... 基板、S U B 2 ... 対向基板、T F T ... 薄膜トランジスタ（スイッチング素子）、V c o m ... コモン電位、V D L ... 映像信号線電位、V G L ... 走査信号線電位、V P X ... 画素電極電位。

10

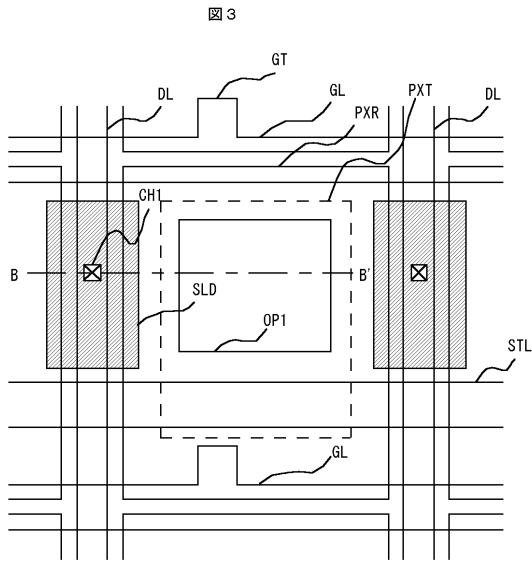
【図 1】



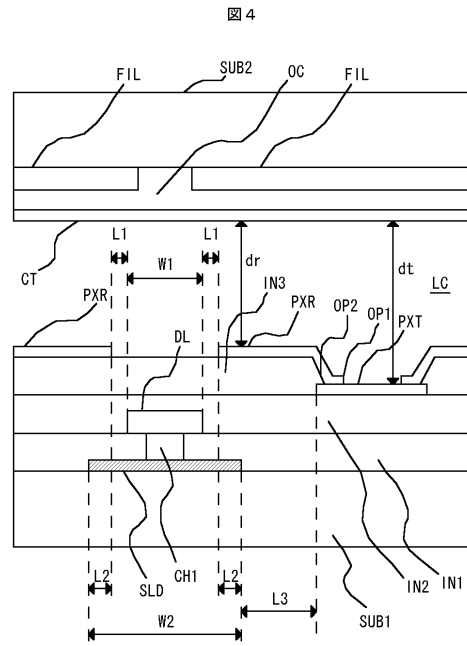
【図 2】



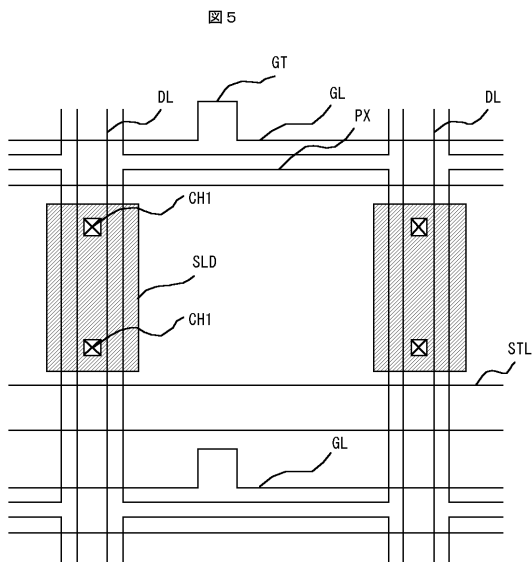
【図 3】



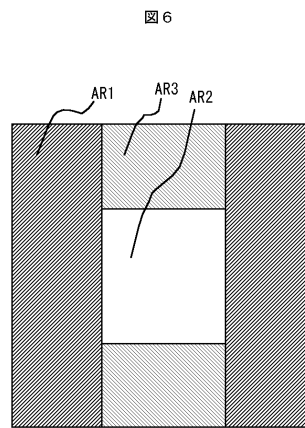
【図 4】



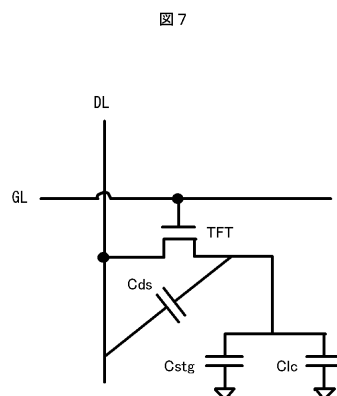
【図 5】



【図 6】

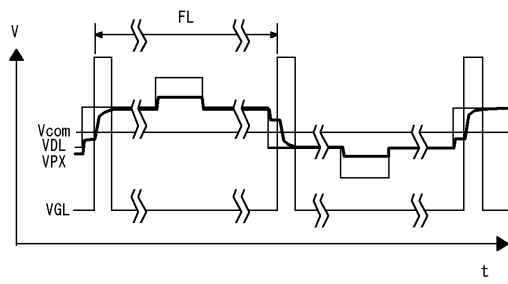


【図 7】



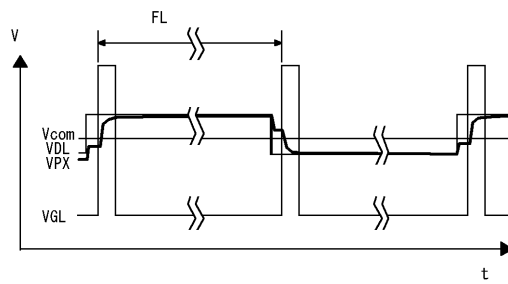
【図 8】

図 8



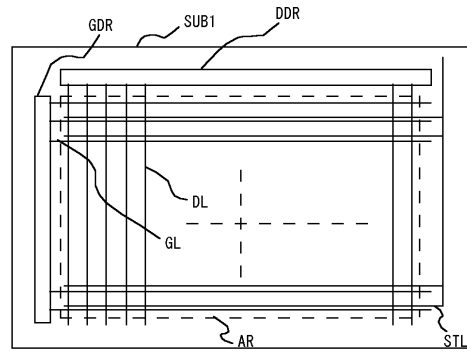
【図 9】

図 9



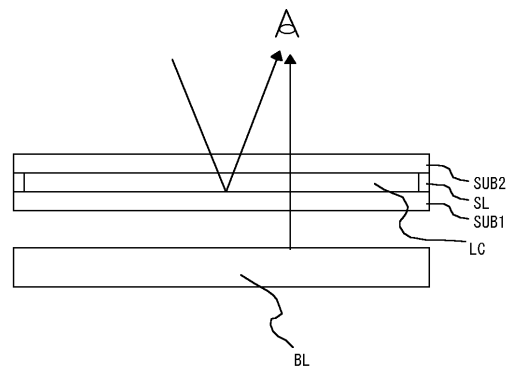
【図 10】

図 10



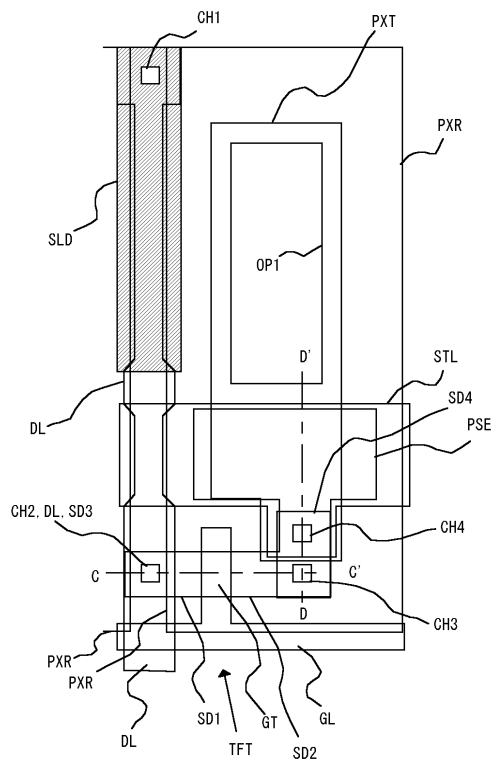
【図 11】

図 11



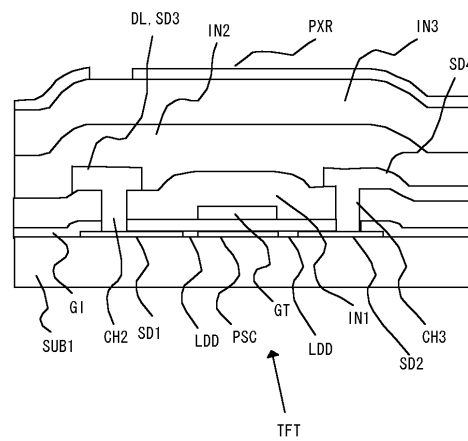
【図 12】

図 12



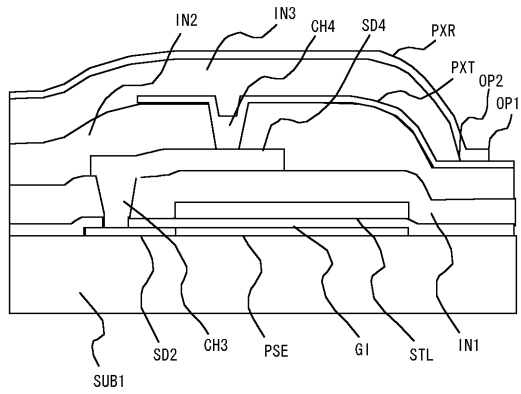
【図 13】

図 13



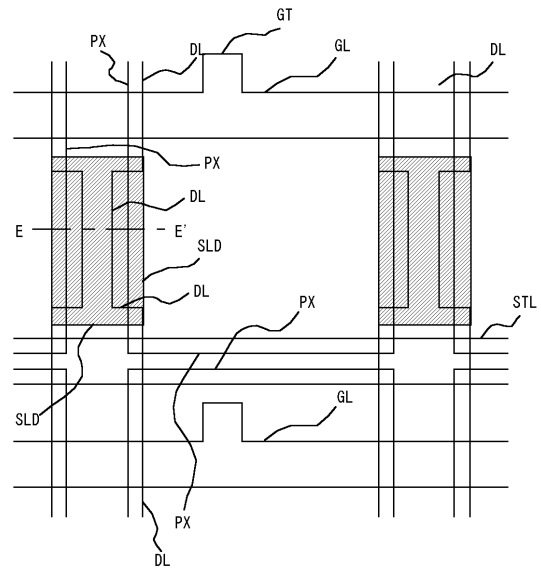
【図 14】

図 14



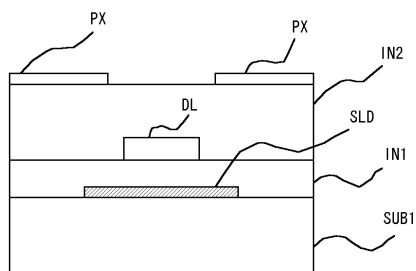
【図 15】

図 15



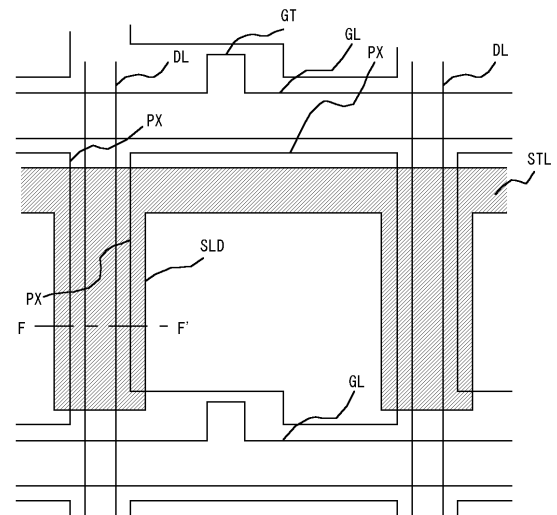
【図 16】

図 16



【図 17】

図 17



フロントページの続き

審査官 日夏 貴史

(56)参考文献 国際公開第01/082273(WO, A1)

特開平10-026771(JP, A)

特開平9-297302(JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1335 - 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP4051237B2	公开(公告)日	2008-02-20
申请号	JP2002220605	申请日	2002-07-30
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	阿須間宏明 長谷川篤 宮沢敏夫		
发明人	阿須間 宏明 長谷川 篤 宮沢 敏夫		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1368 G02F1/1333 G02F1/133 G02F1/13357 G02F1/1345 G02F1/136 G02F1/1362 H01L21/3205		
CPC分类号	G02F1/136209 G02F1/133555 G02F1/136213		
FI分类号	G02F1/1343 G02F1/1335.500 G02F1/1368 G02F1/1333 G02F1/1335.520 G02F1/13357		
F-TERM分类号	2H089/HA07 2H089/QA16 2H089/SA01 2H089/TA02 2H089/TA05 2H089/TA09 2H089/TA13 2H089/TA18 2H091/FA14Y 2H091/FA34Y 2H091/FA41Z 2H091/FD01 2H091/FD06 2H091/FD11 2H091/GA02 2H091/GA03 2H091/GA07 2H091/GA13 2H091/KA10 2H091/LA03 2H091/LA30 2H092/GA26 2H092/GA29 2H092/GA30 2H092/HA03 2H092/HA04 2H092/HA05 2H092/HA06 2H092/JA25 2H092/JB07 2H092/JB13 2H092/JB32 2H092/JB35 2H092/JB54 2H092/JB56 2H092/JB61 2H092/KA04 2H092/KA11 2H092/KA21 2H092/KB01 2H092/KB11 2H092/KB25 2H092/MA01 2H092/NA01 2H092/NA23 2H092/NA25 2H092/PA09 2H092/PA13 2H189/AA07 2H189/HA16 2H189/KA01 2H189/LA03 2H189/LA06 2H189/LA10 2H189/LA15 2H189/LA20 2H191/FA13Y 2H191/FA31Y 2H191/FA81Z 2H191/GA04 2H191/GA05 2H191/GA10 2H191/GA19 2H191/LA03 2H191/NA13 2H191/NA34 2H192/AA24 2H192/BC31 2H192/BC64 2H192/BC72 2H192/CB02 2H192/CC57 2H192/CC73 2H192/DA12 2H192/DA44 2H192/DA74 2H192/EA03 2H192/EA04 2H192/EA17 2H192/EA43 2H192/FB02 2H291/FA13Y 2H291/FA31Y 2H291/FA81Z 2H291/GA04 2H291/GA05 2H291/GA10 2H291/GA19 2H291/LA03 2H291/NA13 2H291/NA34 2H391/AA01 2H391/EA11		
代理人(译)	井上 学		
其他公开文献	JP2004061891A		
外部链接	Espacenet		

摘要(译)

提供了一种具有高图像质量的显示装置。在夹着液晶层LC的一对基板的一个基板SUB1上设置多个视频信号线DL和多个像素电极，这些像素电极以矩阵排列并从视频信号线DL提供视频信号。多个导电层SLD经由绝缘膜IN1在其一部分与视频信号线DL和PX重叠的位置处提供，每个导电层SLD电连接到视频信号线DL。导电层SLD还防止来自背光BL的光通过两个相邻像素电极PX之间的间隙泄漏。[选择图]图2

图 1

