

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4044592号
(P4044592)

(45) 発行日 平成20年2月6日(2008.2.6)

(24) 登録日 平成19年11月22日(2007.11.22)

(51) Int.Cl.

F I

G O 2 F 1/1345 (2006.01)
H O 1 L 29/786 (2006.01)G O 2 F 1/1345
H O 1 L 29/78 6 1 4

請求項の数 3 (全 17 頁)

(21) 出願番号 特願2006-280923 (P2006-280923)
 (22) 出願日 平成18年10月16日(2006.10.16)
 (62) 分割の表示 特願2005-16870 (P2005-16870)
 の分割
 原出願日 平成3年6月7日(1991.6.7)
 (65) 公開番号 特開2007-86795 (P2007-86795A)
 (43) 公開日 平成19年4月5日(2007.4.5)
 審査請求日 平成18年10月18日(2006.10.18)

前置審査

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 間瀬 晃
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 ▲ひろ▼木 正明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 竹村 保彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の信号線を有する表示部と、保護回路とを有し、
前記保護回路は、N型薄膜トランジスタと、P型薄膜トランジスタと抵抗とを有し、前
記複数の信号線に1つずつ電氣的に接続され、
前記N型薄膜トランジスタのソース及びドレインの一方とゲートとは前記抵抗を介して
電氣的に接続されており、
前記P型薄膜トランジスタのソース及びドレインの一方とゲートとは前記抵抗を介して
電氣的に接続されており、
前記N型薄膜トランジスタのソース及びドレインの他方と前記P型薄膜トランジスタの
ソース及びドレインの他方とは電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、前記複数の信号線に対応する前記保護回路において、前記N型薄膜
トランジスタのソース及びドレインの他方、並びに前記P型薄膜トランジスタのソース及
びドレインの他方は共通の配線に電氣的に接続されていることを特徴とする液晶表示装置
。

【請求項 3】

請求項 1 または 2 において、
前記表示部は、複数の画素を有し、
前記複数の画素に信号を入力する駆動回路を有し、

10

20

前記保護回路は、前記表示部と前記駆動回路の間に設けられることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、駆動用スイッチング素子として薄膜トランジスタ（以下TFTという）を使用した液晶電気光学装置における画像表示方法において、特に中間的な色調や濃淡の表現を得るための階調表示方法に関するものである。本発明は、特に、外部からいかなるアナログ信号をもアクティブ素子に印加することなく、階調表示をおこなう、いわゆる完全デジタル階調表示に関するものである。

10

【背景技術】

【0002】

液晶組成物はその物質特性から、分子軸に対して水平方向と垂直方向に誘電率が異なるため、外部の電解に対して水平方向に配列したり、垂直方向に配列したりさせることが容易にできる。液晶電気光学装置は、この誘電率の異方性を利用して、光の透過光量または散乱量を制御することでON/OFF、すなわち明暗の表示をおこなっている。液晶材料としては、TN（ツイステッド・ネマティック）液晶、STN（スーパー・ツイステッド・ネマティック）液晶、強誘電性液晶、ポリマー液晶あるいは分散型液晶とよばれる材料が知られている。液晶は外部電圧に対して、無限に短い時間に反応するのではなく、応答するまでにある一定の時間がかかることが知られている。その値はそれぞれの液晶材料に固有で、TN液晶の場合には、数10msec、STN液晶の場合には数100msec、強誘電性液晶の場合には数10μsec、分散型あるいはポリマー液晶の場合には数10msecである。

20

【0003】

液晶を利用した電気光学装置のうちでもっとも優れた画質が得られるものは、アクティブマトリクス方式を用いたものであった。従来のアクティブマトリクス型の液晶電気光学装置では、アクティブ素子として薄膜トランジスタ（TFT）を用い、TFTにはアモルファスまたは多結晶型の半導体を用い、1つの画素にP型またはN型のいずれか一方のみのタイプのTFTを用いたものであった。即ち、一般にはNチャネル型TFT（NTFTという）を画素に直列に連結している。そして、マトリクスの信号線に信号電圧を流し、それぞれの信号線の直交する箇所に設けられたTFTに双方から信号が印加されるとTFTがON状態となることを利用して液晶画素のON/OFFを個別に制御するものであった。このような方法によって画素の制御をおこなうことによって、コントラストの大きい液晶電気光学装置を実現することができる。

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、このようなアクティブマトリクス方式では、明暗や色調といった、階調表示をおこなうことは極めて難しかった。従来、階調表示は液晶の光透過性が、印加される電圧の大きさによって変わることを利用する方式が検討されていた。これは、例えば、マトリクス中のTFTのソース・ドレイン間に、適切な電圧を周辺回路から供給し、その状態でゲイト電極に信号電圧を印加することによって、液晶画素にその大きさの電圧をかけようとするものであった。

40

【0005】

しかしながら、このような方法では、例えば、TFTの不均質性やマトリクス配線の不均質性のために、実際には液晶画素にかかる電圧は、各画素によって、最低でも数%も異なってしまう。これに対し、例えば、液晶の光透過度の電圧依存性は、極めて非線型性が強く、ある特定の電圧で急激に光透過性が変化するため、たとえ数%の違いでも、光透過性が著しく異なってしまうことがあった。例えば、TN液晶ではON/OFF状態の中間状態の電位差は約1.2Vであり、16階調を達成せんとする場合には、75mVの精

50

度で、電位差を制御する必要があった。そのため、実際には16階調を達成することが限界であった。

【0006】

このように階調表示が困難であるということは、液晶ディスプレイ装置が従来の一般的な表示装置であるCRT（陰極線管）と競争してゆく上で極めて不利であった。

【0007】

本発明は従来、困難であった階調表示を実現させるための全く新しい方法を提案することを目的とするものである。

【課題を解決するための手段】

【0008】

さて、液晶にかかる電圧をアナログ的に制御することによって、その光透過性を制御することが可能であることを先に述べたが、本発明人らは、液晶に電圧のかかっている時間を制御することによって、視覚的に階調を得ることができることを見出した。

【0009】

例えば、代表的な液晶材料であるTN（ツイステッド・ネマチック）液晶を用いた場合において、例えば、図1（a）において、Aで示されるような矩形パルスを印加する場合と、Cで示されるような矩形パルスを印加する場合を比べて見ると、Aの方が明るいことを見出した。ここで、パルスの周期は1msecとした。結果的には、Aが最も明るく、以下、B、C、Dの順であった。このことは全く予想外のことである。なぜならば、通常の上記のTN液晶材料においては、1msecという時間はあまりにも短く、そのような短時間にはTN液晶は反応しないのである。したがって、いずれの場合にも液晶はON状態を実現することは不可能なはずである。しかしながら、実際には液晶は中間的な濃さを実現できた。

【0010】

その具体的な原理についてはまだ詳細にわかっていない。しかしながら、本発明人らは、この現象を利用して階調表現が可能であることを見いだしたのである。すなわち、液晶材料が反応しないような周期で液晶材料にパルスを印加するときにパルスの幅を制御することによって、中間的な明るさをデジタル制御で実現することが、まさに本発明の特徴とするものである。本発明人らの研究の結果、このような中間的な濃度を得るためのパルスの周期はTN液晶の場合には10msec以下が必要であることがわかった。

【0011】

ここで、パルスの周期という語句について、その意味を明確にする。すなわち、この場合には、複数のパルスを連続的に液晶に印加するのであるが、この場合のパルスの周期とは、1つのパルスが始まってから、次のパルスが始まるまでの間の時間のことをいう。したがって、パルスの繰り返し周波数の逆数となる。

また、パルス幅とは、パルスが電圧状態にある時間のことをいう。したがって、図1において、例えばCのパルス列の場合には、Tがパルスの周期であり、 τ がパルス幅である。

【0012】

同様な効果は、STN液晶においても、強誘電性液晶においても、また、ポリマー液晶あるいは分散型液晶においても見られた。いずれも、その応答時間よりも短い周期のパルスを加えることによって、中間的な色調が得られることが明らかになった。すなわち、STN液晶においては、100msec以下、のぞましくは10msec以下、強誘電性液晶においては10 μ sec以下、のぞましくは1 μ sec以下、ポリマー液晶あるいは分散型液晶においては10msec以下、のぞましくは1msec以下の周期のパルスを加えることによって、階調表示が得られた。

【0013】

通常は、テレビ等の画像では1秒間に30枚の静止画が次々に繰り出されて動画を形成する。したがって、1枚の静止画が継続する時間は約30msecである。この時間は人間の目にはあまりにも早すぎて、文字通り『目にも止まらない』時間であり、結果として

10

20

30

40

50

、視覚的には静止画を１枚１枚識別することはできない。ともかく、通常の動画を得るには、１枚の静止画は長くても１００ｍｓｅｃ以上継続することはできない。

【００１４】

本発明を利用して２５６階調の階調表示をおこなうとすれば、例えば、 $T = 3 \text{ m s e c}$ とすれば、この３ｍｓｅｃの時間を、少なくとも２５６分割しうるパルス電圧印加方法を、画素に電圧を印加する方法として採用する必要がある。すなわち、最短で $3 \text{ m s e c} / 256 = 11.7 \mu \text{ s e c}$ のパルス状の電圧が画素にかかるような回路を組む必要がある。実際には、図３に示すように、パルスのデューティ比 τ / T と液晶画素の光透過性は非線型的な関係であり、２５６階調を得るためには、さらに、パルスのデューティ比を細かく制御することが必要である。

10

【００１５】

しかも、実際の画像表示をおこなう場合には、他の画素も考慮しなければならない。実際の画像表示装置では、例えば４００行もの行がある。すなわち、後に述べるように、マトリクスのアクティブ素子は１００ｎｓｅｃという極短応答性が求められる。そこで、そのような短時間応答性を有する回路の例を図４に示し、以下、その説明をする。

【００１６】

図４は本発明を実施するために必要な液晶表示装置のアクティブマトリクスの回路の例を示す。本発明では、アクティブ素子は１００ｎｓｅｃ以下の短時間で応答することが要求されるので高速動作する回路を組む必要がある。そのためには従来のようにNTFTあるいはPTFTだけでスイッチングをおこなうのではなく、図４に示されるようにNTFTとPTFTとが相補的に動作するように構成された、インバータ型の回路を用いることが必要である。

20

【００１７】

この例では $N \times M$ のマトリクスの例を示したものであるが、煩雑さをさけるために、そのうちの n 行 m 列近傍のみを示した。これと同じものを上下左右に展開すれば完全なものが得られる。

【００１８】

図４には、４つのインバータ回路が描かれている。各インバータ回路は少なくとも１つのNTFTと少なくとも１つのPTFTから構成される。NTFTの数は、不良が存在した場合に備えて、さらに増やしても構わない。この回路では、NTFTとPTFTのゲート電極が信号線 X_n に接続され、また、このNTFTとPTFTのソースあるいはドレインの一方は互いに接続され、これは画素 $Z_{n,m}$ の電極に接続される。そして、このNTFTおよびPTFTの他方のソースあるいはドレインは、それぞれ、信号線 Y_m と Y_m に接続されている。以下では、信号線 $X_1, X_2, \dots, X_N$ を、集散的に、あるいは個別に X 線とよび、信号線 $Y_1, Y_2, \dots, Y_M$ を、集散的に、あるいは個別に Y 線とよぶ。また、図では画素のキャパシタと並列に人為的にキャパシタが挿入されている。このとき挿入されたキャパシタは自然放電によって、画素の電圧が低下する速度を減速せしめる作用を有する。画素の電圧の降下は画素のばらつきによって決定されるものであるので、特に本発明のように、画素に印加される電圧が一定のものとして階調表示をおこなおうとする発明においては、画質の低下を招くものである。しかしながら、このように画素に並列にキャパシタを挿入することにより、画素のばらつきによる電圧降下は著しく抑えることができ、高画質を得ることができる。

30

40

【００１９】

次に、このような回路を用いた場合の回路の動作例を図１（ｂ）および図２を用いて説明する。このマトリクス回路は図１（ａ）に示されるようなパルス状の電圧を液晶セルに印加するように動作する必要がある。そこで、このようなパルスを発生するために X 線および Y 線に印加される信号電圧の概要を図１（ｂ）に示す。例として、 400×640 のマトリクスを考える。

【００２０】

X 線に印加される信号は、例えば X_n 線の場合は、 $V(X_n)$ で示されるが、これは、

50

周期 T で繰り返されるひとまとまりのパルスの中に、実は 256 個のパルス（以下、サブパルスという）が含まれており、さらにその 256 個のサブパルスのそれぞれは、400 個の要素が入ったパルス列から構成されていることがわかる。ここで、400 という数字はマトリクスの行数である。したがって、 X 線に印加されるパルスの最小単位は $T = 3 \text{ ms}$ とすれば、 29 ns である。

【0021】

一方、 Y 線には、時間 $T / 256$ の間に、図の $V(Y_1)$ 、 $V(Y_m)$ 、 $V(Y_{m+1})$ 、 $V(Y_{400})$ で示されるようなパルスが、それぞれのタイミングをずらして印加される。このパルスは、上記 X 線に印加されるパルスの最小単位パルスよりもさらに短い必要がある。結局、時間 T の間には、各 Y 線には、256 回パルスが印加される。さらに、信号線 Y_m と対に設けられた信号線 $\underline{Y}_m$ には、図 1 (C) に示されるように、信号線 Y_m に印加される信号を補完するような信号が印加される。以下の説明では、いちいち、 $\underline{Y}_m$ の信号については説明しなくとも、 Y_m の信号を補完するような（逆相の）信号が加えられるものとする。

【0022】

次に、実際の回路の動作を図 2 に基づいて説明する。まず、第 1 のサブパルスがそれぞれの X 線に印加される。当然のことながら、これらのサブパルスは X 線ごとに異なる。一方、 Y 線には、先に述べたように、パルスが最初に Y_1 、次に Y_2 というように順々に印加されてゆく。まず、パルスが Y_1 に印加されたときを考える。このとき、画素 $Z_{1,1}$ に接続されている、アクティブ素子は OFF 状態となる。すなわち、 Y_1 は電圧状態 (V_H) であり、かつ $\underline{Y}_1$ は電圧状態でない (V_L) ので、PTFT と NTFT はインバータとして動作する状態になる。さらにインバータの入力 X_1 は V_H であるから、出力は反転して V_L となる。次いで、 Y_2 に電圧が加わるのであるが、このとき、画素 $Z_{1,2}$ には電圧のかかった状態となる。すなわち、インバータの入力 X_1 は V_L であるからである。そして、その後、 X_1 は V_L を保ったまま、 Y_2 は V_L に $\underline{Y}_2$ は V_H に信号が反転する。すると、PTFT と NTFT はインバータではなく、バッファとして機能する。そして、このとき、 X_1 は V_L であるので、この回路は動作せず、したがって、液晶セルに蓄えられた電荷は保持される。その後、 X_1 には、 V_L あるいは V_H の信号が加えられるが、どちらの信号が加えられた場合であっても、この回路は動作しない。したがって、液晶セルに蓄えられた電荷は保持され続ける。この状態は、少なくとも、次に Y_1 が V_H に、 $\underline{Y}_1$ が V_L になるまで持続する。同様に、 $Z_{1,m}$ も $Z_{1,m+1}$ も $Z_{1,400}$ も、電圧状態となる、その状態を持続することとなる。

【0023】

このようにして、パルスが順々に印加されてゆき、 Y_m に印加された場合を考える。今、4 つの画素 $Z_{n,m}$ 、 $Z_{n,m+1}$ 、 $Z_{n+1,m}$ 、 $Z_{n+1,m+1}$ に注目しているとすれば、 X_n および X_{n+1} の第 1 のサブパルスの m 番目および $(m+1)$ 番目に注目すればよい。 X_n も X_{n+1} も m 番目は V_L なので、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ は電圧（充電）状態になる。ついで、 Y_{m+1} にパルスが印加される。 X_n も X_{n+1} も $(m+1)$ 番目は V_L なので、この場合も画素 $Z_{n,m+1}$ 、 $Z_{n+1,m+1}$ は充電状態となる。

【0024】

次に、図では省略されているが、第 2 のサブパルスが来たものとする。このとき、 X_n も X_{n+1} も m 番目および $(m+1)$ 番目が V_L ならば、充電状態がなくならず、以上 4 つの画素は引き続き電圧状態を継続する。その後、第 $(h-1)$ のサブパルスまでは、4 つの画素とも電圧状態が継続したものとする。

【0025】

次に、サブパルスが進んで、第 h のサブパルスが来たものとする。図では煩雑さを避けるために m 番目および $(m+1)$ 番目以外は省略した。このとき、 X_n も X_{n+1} も m 番目は V_L なので、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ は電圧状態を継続する。しかし、 X_{n+1} には $(m+1)$ 番目が V_H であるので、画素 $Z_{n+1,m}$ は電圧状態が継続するものの、画素 $Z_{n+1,m+1}$ は、アクティブ素子の出力が電圧状態でなくなり、蓄えられていた電荷が放出され、電圧

10

20

30

40

50

状態は中断される。

【 0 0 2 6 】

さらに、第 i のサブパルスが来たときには、 X_n の $(m+1)$ 番目は V_H となったので、 $Z_{n,m+1}$ の充電状態は解除される。以下、第 j および第 k のサブパルスにおいて、それぞれ、 X_{n+1} 、 X_n の m 番目が V_H となったので、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ の充電状態がそれぞれ、第 k 、第 j のサブパルス中に中断される。このような過程を経ることによって、図 2 の $V(Z)$ に示すように、各画素ごとに電圧状態の時間をデジタル的にコントロールできる。

【 0 0 2 7 】

このような動作を繰り返すことにより、各画素に加わる電圧パルスの幅を図 1 (a) のように任意に制御することができる。

10

【 0 0 2 8 】

以上の説明から明らかなように、本発明を実施するにあたっては、上記のようなサブパルスは、明確に定義できるパルス状のものでなければならぬわけではない。説明を簡単にするために、サブパルスという概念を持ち出したが、特に、サブパルスとサブパルスの間が明確でなく、信号としては、ほとんど境界のないものであっても、本発明を実施することはあきらかである。さらに、説明をわかりやすくするために、信号のゼロレベルと電圧レベルを明確にしたが、これは、液晶あるいは TFT のしきい値電圧以下であるか、以上であるかという問題だけであるので、絶対にゼロである必要はない。また、電圧とは任意の点の電位を基準とした相対的な物理量であるので、以上の例において、パルスは逆の極性を持つものであっても、構わないことは明らかであろう。さらに、画素の対向電極に適当なオフセット電圧を加えても構わない。また、以上の例では、画面は 1 行ずつ順に走査されていったが、最初に $Y_1, Y_3, Y_5, \dots$ というように走査し、その後、 $Y_2, Y_4, Y_6, \dots$ というように走査する、いわゆる飛び越し走査法も可能であることは言うまでもない。

20

【 発明の効果 】

【 0 0 2 9 】

本発明では、従来のアナログ方式の階調表示に対し、デジタル方式の階調表示を行うことを特徴としている。その効果として、例えば 640×400 ドットの画素数を有する液晶電気光学装置を想定したばあい、合計 256,000 個の TFT すべての特性をばらつき無く作製することは、非常に困難を有し、現実的には量産性、歩留りを考慮すると、16 階調表示が限界と考えられているのに対し、本発明のように、全くアナログ的な信号を加えることなく純粋にデジタル制御のみで階調表示することにより、256 階調表示以上の階調表示が可能となった。完全なデジタル表示であるので、TFT の特性ばらつきによる階調の曖昧さは全くなり、したがって、TFT のばらつきが少々あっても、極めて均質な階調表示が可能であった。したがって、従来はばらつきの少ない TFT を得るために極めて歩留りが悪かったのに対し、本発明によって、TFT の歩留りがさほど問題とされなくなったため、液晶装置の歩留りは向上し、作製コストも著しく抑えることができた。

30

【 0 0 3 0 】

例えば 640×400 ドットの 256,000 組の TFT を 300mm 角に作成した液晶電気光学装置に対し通常のアナログ的な階調表示を行った場合、TFT の特性ばらつきが約 $\pm 10\%$ 存在するために、16 階調表示が限界であった。しかしながら、本発明によるデジタル階調表示をおこなった場合、TFT 素子の特性ばらつきの影響を受けにくいために、256 階調表示まで可能になりカラー表示ではなんと 16,777,216 色の多彩であり微妙な色彩の表示が実現できている。テレビ映像の様なソフトを映す場合、例えば同一色からなる『岩』でもその微細な窪み等から微妙に色合いが異なる。自然の色彩に近い表示を行おうとした場合、16 階調では困難を要する。本発明による階調表示によって、これらの微細な色調の変化を付けることが可能になった。

40

【 0 0 3 1 】

50

本発明の実施例では、シリコンを用いたTFTを中心に説明を加えたが、ゲルマニウムを用いたTFTも同様に使用できる。とくに、単結晶ゲルマニウムの電子移動度は $3600\text{ cm}^2/\text{Vs}$ 、ホール移動度は $1800\text{ cm}^2/\text{Vs}$ と、単結晶シリコンの値（電子移動度で $1350\text{ cm}^2/\text{Vs}$ 、ホール移動度で $480\text{ cm}^2/\text{Vs}$ ）の特性を上回っているため、高速動作が要求される本発明を実行する上で極めて優れた材料である。また、ゲルマニウムは非晶質状態から結晶状態へ遷移する温度がシリコンに比べて低く、低温プロセスに向いている。また、結晶成長の際の核発生率が小さく、したがって、一般に、多結晶成長させた場合には大きな結晶が得られる。このようにゲルマニウムはシリコンと比べても遜色のない特性を有している。

【0032】

本発明の技術思想を説明するために、主として液晶を用いた電気光学装置、特に表示装置を例として説明を加えたが、本発明の思想を適用するには、なにも表示装置である必要はなく、いわゆるプロジェクション型テレビやその他の光スイッチ、光シャッターであってもよい。さらに、電気光学材料も液晶に限らず、電界、電圧等の電氣的な影響を受けて光学的な特性が変わるものであれば、本発明を適用できることは明らかであろう。

【実施例1】

【0033】

本実施例では図4に示すような回路構成を用いた液晶表示装置を用いて、壁掛けテレビを作製したので、その説明を行う。またその際のTFTは、レーザーアニールを用いた多結晶シリコンとした。

【0034】

この回路構成に対応する実際の電極等の配置構成を1つの画素について、図5に示している。まず、本実施例で使用する液晶パネルの作製方法を図6を使用して説明する。図6(A)において、石英ガラス等の高価でない700以下、例えば約600の熱処理に耐え得るガラス50上にマグネトロンRF（高周波）スパッタ法を用いてブロッキング層51としての酸化珪素膜を100～300nmの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度150、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は3～10nm/分であった。

【0035】

この上にシリコン膜をプラズマCVD法により珪素膜52を作製した。成膜温度は250～350で行い本実施例では320とし、モノシラン(SiH_4)を用いた。モノシラン(SiH_4)に限らず、ジシラン(Si_2H_6) またトリシラン(Si_3H_8)を用いてもよい。これらをPCVD装置内に3Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.02～0.10W/ cm^2 が適当であり、本実施例では0.055W/ cm^2 を用いた。また、モノシラン(SiH_4)の流量は20SCCMとし、その時の成膜速度は約12nm/分であった。PTFTとNTFTとのスレッショルド電圧(V_{th})を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。またTFTのチャネル領域となるシリコン層の成膜にはこのプラズマCVDだけでなく、スパッタ法、減圧CVD法を用いても良く、以下にその方法を簡単に述べる。

【0036】

スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20～80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150、周波数は13.56MHz、スパッタ出力は400～800W、圧力は0.5Paであった。

【0037】

減圧気相法で形成する場合、結晶化温度よりも100～200低い450～550、例えば530でジシラン(Si_2H_6)またはトリシラン(Si_3H_8)をCVD装置に供給して成膜した。反応炉内圧力は30～300Paとした。成膜速度は5～25nm/分であった。PTFTとNTFTとのスレッショルド電圧(V_{th})を概略同一に制御するため

10

20

30

40

50

、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0038】

これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{cm}^{-3}$ 以下であることが好ましい。結晶化を助長させるためには、酸素濃度を $7 \times 10^{19} \text{cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{cm}^{-3}$ 以下とすることが望ましいが、少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまうため、この濃度を選択した。この酸素濃度が高いと、結晶化させにくく、レーザーアニール温度を高くまたはレーザーアニール時間を長くしなければならない。水素は $4 \times 10^{20} \text{cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{cm}^{-3}$ として比較すると1原子%であった。

【0039】

また、ソース・ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{cm}^{-3}$ 以下とし、ピクセル構成するTFTのチャネル形成領域のみに酸素をイオン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{cm}^{-3}$ となるように添加してもよい。上記方法によって、アモルファス状態の珪素膜を $50 \sim 500 \text{nm}$ 、本実施例では 100nm の厚さに成膜した。

【0040】

その後、フォトリジスト53をマスクP1を用いてソース・ドレイン領域のみ開孔したパターンを形成した。その上に、プラズマCVD法によりn型の活性層となる珪素膜54を作製した。成膜温度は $250 \sim 350$ でおこない、本実施例では 320 とし、モノシラン(SiH_4)とモノシランベースのフォスフィン(PH_3) 3%濃度のものを用いた。これらをPCVD装置内5Paの圧力で導入し、 13.56MHz の高周波電力を加えて成膜した。この際、高周波電力は $0.05 \sim 0.20 \text{W/cm}^2$ が適当であり、本実施例では 0.120W/cm^2 を用いた。

【0041】

この方法によって出来上がったn型シリコン層の比導電率は $2 \times 10^{-1} [\Omega \text{cm}^{-1}]$ 程度となった。膜厚は 5nm とした。こうして、図6(A)を得た。その後リフトオフ法を用いて、レジスト53を除去し、ソース・ドレイン領域55、56を形成した。

【0042】

同様のプロセスを用いて、p型の活性層を形成した。その際の導入ガスは、モノシラン(SiH_4)とモノシランベースのジボラン(B_2H_6) 5%濃度のものを用いた。これらをPCVD装置内に4Paの圧力で導入し、 13.56MHz の高周波電力を加えて成膜した。この際、高周波電力は $0.05 \sim 0.20 \text{W/cm}^2$ が適当であり、本実施例では 0.120W/cm^2 を用いた。この方法によって出来上がったp型シリコン層の比導電率は $5 \times 10^{-2} [\Omega \text{cm}^{-1}]$ 程度となった。膜厚は 5nm とした。こうして、図6(B)を得た。その後N型領域と同様にリフトオフ法を用いて、ソース・ドレイン領域59、60を形成した。その後、マスクP3を用いて珪素膜52をエッチング除去し、Nチャネル型薄膜トランジスタ用アイランド領域63とPチャネル型薄膜トランジスタ用アイランド領域64を形成した。

【0043】

その後、図6(C)に示すように、XeClエキシマレーザーを用いて、ソース・ドレイン・チャネル領域をレーザーアニールすると同時に、活性層にレーザードーピングを行った。この時のレーザーエネルギーは、閾値エネルギーが 130mJ/cm^2 で、膜厚全体が溶融するには 220mJ/cm^2 が必要となる。しかし、最初から 220mJ/cm^2 以上のエネルギーを照射すると、膜中に含まれる水素が急激に放出されるために、膜の破壊が起きる。そのために低エネルギーで最初に水素を追い出した後に溶融させる必要がある。本実施例では最初 150mJ/cm^2 で水素の追い出しを行なった後、 230mJ/cm^2 で結晶化をおこなった。

【0044】

この上に酸化珪素膜をゲイト絶縁膜として $50 \sim 200 \text{nm}$ 例えば 100nm の厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜

10

20

30

40

50

中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0045】

この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 MoSi_2 または WSi_2 との多層膜を形成した。これを第4のフォトマスクP4にてパターニングして図6(D)を得た。NTFT用のゲイト電極66、PTFT用のゲイト電極67を形成した。例えばチャネル長 $7 \mu\text{m}$ 、ゲイト電極としてリンド-ブ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。同時に、図7(D')に示すように、ゲイト配線65とそれに並行して配置された配線68もパターニングした。

【0046】

また、ゲート電極材料としては、上記材料以外に、例えばアルミニウム(Al)も使用することができる。アルミニウムを用いた場合、これを第4のフォトマスクP4にてパターニング後、その表面を陽極酸化することで、セルフアライン工法が適用可能なため、ソース・ドレインのコンタクトホールをよりゲートに近い位置に形成することが出来るため、移動度、スレッショールド電圧の低減からさらにTFTの特性を上げることができる。

【0047】

かくすると、400 以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画面の液晶表示装置にきわめて適したプロセスであるといえる。

【0048】

図6(E)において、層間絶縁物69を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば $0.2 \sim 0.6 \mu\text{m}$ の厚さに形成し、その後、第5のフォトマスクP5を用いて電極用の窓79を形成した。その後、さらに、これら全体にアルミニウムを $0.3 \mu\text{m}$ の厚みにスパッタ法により形成し第6のフォトマスクP6を用いてリド74およびコンタクト73、75を作製した。こうして、図6(E)と図7(E')を得た。その後、表面を平坦化用有機樹脂77、例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけを第7のフォトマスクP7にて行った。さらに、これら全体にITO(インジウム酸化錫)を $0.1 \mu\text{m}$ の厚みにスパッタ法により形成し第8のフォトマスクP8を用いて画素電極71を形成した。このITOは室温 $\sim 150^\circ\text{C}$ で成膜し、 $200 \sim 400^\circ\text{C}$ の酸素または大気中のアニールにより成就した。こうして、図6(F)と図7(F')を得た。図7(F')のA-A'の断面図を図7(G)に示す。実際には、この上に液晶材料をはさんで、対向電極が設けられ、図に示すように対向電極と電極71の間に静電容量が生じる。それと同時に配線68と電極71の間にも静電容量が生じる。そして、配線68を対向電極と同電位に保つことによって、図4に示したように、液晶画素に並列に容量が挿入された回路を構成することとなる。特に本実施例のように配置することによって、配線68はゲイト配線65と並行であるので、2配線間の寄生容量が少なく、したがって、ゲイト配線を伝播する信号の減衰や遅延を減らす効果がある。

【0049】

また、このようにして形成された配線68は、接地して使用される場合には、各マトリクスの終端に設けられる保護回路の接地線として使用できる。保護回路は、図10に示されるように、周辺の駆動回路と画素のあいだに設けられ、図11と図12で示されるような回路をいう。いずれも画素の配線に過大な電圧がかかるとON状態となり、電圧を取り去る作用を有する。これらの保護回路は、シリコンのようなドーピングされた、あるいはドーピングされていない半導体材料や、ITOのような透明導電材料、あるいは通常の配線材料を用いて構成される。したがって、画素の回路を形成するときと同時に形成することが可能である。

【0050】

このことは、例えば、図11の各保護回路が、NTFTやPTFT、あるいはそれらを

10

20

30

40

50

あわせたC/TFTで構成されていることから明らかであろう。また、図12の保護回路はTFTは使用されないが、ダイオードは、例えばPIN接合によって構成され、また、特にツェナー特性を重視するダイオードはNIN、PIP、あるいはNPN、PNPといった構造を有し、いちいち説明するまでもなく、本実施例で示した作製方法を援用することによって作製されうることは自明である。

【0051】

さて、以上のようにして得られたTFTの電気的な特性はPTFTで移動度は40 (cm^2/Vs)、 V_{th} は-5.9 (V)で、NTFTで移動度は80 (cm^2/Vs)、 V_{th} は5.0 (V)であった。

【0052】

上記の様な方法に従って作製された液晶電気光学装置用の一方の基板を得ることが出来た。この液晶表示装置の電極等の配置の様子を図5に示している。本発明によるインバータを構成するTFTが信号線 Y_1 と $\underline{Y}_1$ の間、および Y_2 と $\underline{Y}_2$ の間に、信号線 X_1 、 X_2 に平行に設けられている。このようなマトリクス構成をを左右、上下に繰り返すことにより、 640×480 、 1280×960 といった大画素の液晶表示装置とすることが出来る。本実施例では 1920×400 とした。この様にして第1の基板を得た。

【0053】

他方の基板の作製方法を図8に示す。ガラス基板上にポリイミドに黑色顔料を混合したポリイミド樹脂をスピンコート法を用いて $1 \mu\text{m}$ の厚みに成膜し、第9のフォトリソマスクP9を用いてブラックストライプ81を作製した。その後、赤色顔料を混合したポリイミド樹脂をスピンコート法を用いて $1 \mu\text{m}$ の厚みに成膜し、第10のフォトリソマスクP10を用いて赤色フィルター83を作製した。同様にマスクP11、P12を使用し、緑色フィルター85および青色フィルター86を作製した。これらの作製中各フィルターは350℃にて窒素中で60分の焼成を行なった。その後、やはりスピンコート法を用いて、レベリング層89を透明ポリイミドを用いて作製した。

【0054】

その後、これら全体にITO(インジウム酸化錫)を0.1 μm の厚みにスパッタ法により形成し第10のフォトリソマスクP10を用いて共通電極90を形成した。このITOは室温~150℃で成膜し、200~300℃の酸素または大気中のアニールにより成就し、第2の基板を得た。

【0055】

前記基板上に、オフセット法を用いて、ポリイミド前駆体を印刷し、非酸化性雰囲気たとえば窒素中にて350℃1時間焼成を行った。その後、公知のラビング法を用いて、ポリイミド表面を改質し、少なくとも初期において、液晶分子を一定方向に配向させる手段を設けた。

【0056】

その後、前記第一の基板と第二の基板によって、ネマチック液晶組成物を挟持し、周囲をエポキシ性接着剤にて固定した。基板上のリードにTAB形状の駆動ICと共通信号、電位配線を有するPCBを接続し、外側に偏光板を貼り、透過型の液晶電気光学装置を得た。これと冷陰極管を3本配置した後部照明装置、テレビ電波を受信するチューナーを接続し、壁掛けテレビとして完成させた。従来のCRT方式のテレビと比べて、平面形状の装置となったために、壁等に設置することも出来るようになった。この液晶テレビの動作は図1、図2に示したものと、実質的に同等な信号を液晶画素に印加することにより確認された。

【実施例2】

【0057】

本実施例では図4に示すような回路構成を用いた液晶表示装置を用いて、壁掛けテレビを作製したので、その説明を行う。またその際のTFTは、レーザーアニールを用いた多結晶シリコンとした。

【0058】

以下では、T F T部分の作製方法について図9にしたがって記述する。図9(A)において、石英ガラス等の高価でない700以下、例えば約600の熱処理に耐え得るガラス100上にマグネトロンRF(高周波)スパッタ法を用いてブロッキング層101としての酸化珪素膜を100~300nmの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度15、出力400~800W、圧力0.5Paとした。タ-ゲットに石英または単結晶シリコンを用いた成膜速度は3~10nm/分であった。

【0059】

この上にシリコン膜をプラズマCVD法により珪素膜102を作製した。成膜温度は250~350で行い本実施例では320とし、モノシラン(SiH_4)を用いた。モノシラン(SiH_4)に限らず、ジシラン(Si_2H_6) またトリシラン(Si_3H_8)を用いてもよい。これらをPCVD装置内に3Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.02~0.10W/cm²が適当であり、本実施例では0.055W/cm²を用いた。また、モノシラン(SiH_4)の流量は20SCCMとし、その時の成膜速度は約120/分であった。PTFTとNTFTとのスレッショルド電圧(V_{th})を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。またTFTのチャネル領域となるシリコン層の成膜にはこのプラズマCVDだけでなく、スパッタ法、減圧CVD法を用いても良く、以下にその方法を簡単に述べる。

【0060】

スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{ Pa}$ 以下とし、単結晶シリコンをタ-ゲットとして、アルゴンに水素を20~80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150、周波数は13.56MHz、スパッタ出力は400~800W、圧力は0.5Paであった。

【0061】

減圧気相法で形成する場合、結晶化温度よりも100~200低い450~550、例えば530でジシラン(Si_2H_6)またはトリシラン(Si_3H_8)をCVD装置に供給して成膜した。反応炉内圧力は30~300Paとした。成膜速度は5~25nm/分であった。PTFTとNTFTとのスレッショルド電圧(V_{th})を概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0062】

これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好ましい。結晶化を助長させるためには、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とすることが望ましいが、少なすぎると、バックライトによりオフ状態のリ-ク電流が増加してしまうため、この濃度を選択した。この酸素濃度が高いと、結晶化させるべく、レーザーアニ-ル温度を高くまたはレーザーアニ-ル時間を長くしなければならない。水素は $4 \times 10^{20} \text{ cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{ cm}^{-3}$ として比較すると1原子%であった。

【0063】

また、ソ-ス、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とし、ピクセル構成するTFTのチャネル形成領域のみに酸素をイオン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ となるように添加してもよい。上記方法によって、アモルファス状態の珪素膜を50~500nm、本実施例では100nmの厚さに成膜した。

【0064】

その後、フォトリジスト103をマスクP1を用いてNTFTのソース・ドレイン領域となるべき領域のみ開孔したパターンを形成した。そして、レジスト103をマスクとして、リンイオンをイオン注入法により、 $2 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、好ましくは $2 \times 10^{16} \text{ cm}^{-2}$ だけ、注入し、n型不純物領域104を形成した。その後、レジスト103は除去された。

【0065】

10

20

30

40

50

同様に、レジスト105を塗布し、マスクP2を用いて、PTFTのソース・ドレイン領域となるべき領域のみ開孔したパターンを形成した。そして、レジスト105をマスクとして、p型の不純物領域106を形成した。不純物としては、ホウソを用い、やはりイオン注入法を用いて、 $2 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-2}$ 、好ましくは $2 \times 10^{16} \text{ cm}^{-2}$ だけ、不純物を導入した。このようにして、図9(B)を得た。

【0066】

その後、珪素膜102上に、厚さ50～300nm、例えば、100nmの酸化珪素被膜107を、上記のRFスパッタ法によって形成した。そして、XeClエキシマレーザーを用いて、ソース・ドレイン・チャンネル領域をレーザーアニールによって、結晶化・活性化した。この時のレーザーエネルギーは、閾値エネルギーが 130 mJ/cm^2 で、膜厚全体が溶融するには 220 mJ/cm^2 が必要となる。しかし、最初から 220 mJ/cm^2 以上のエネルギーを照射すると、膜中に含まれる水素が急激に放出されるために、膜の破壊が起きる。そのために低エネルギーで最初に水素を追い出した後に溶融させる必要がある。本実施例では最初 150 mJ/cm^2 で水素の追い出しを行なった後、 230 mJ/cm^2 で結晶化をおこなった。さらに、レーザーアニール終了後は酸化珪素膜107は取り去った。

【0067】

その後、フォトマスクP3によって、アイランド状のNTFT領域111とPTFT領域112を形成した。この上に酸化珪素膜108をゲイト絶縁膜として50～200nm例えば100nmの厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0068】

この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、 MoSi_2 または WSi_2 との多層膜を形成した。これを第4のフォトマスクP4にてパターニングして図9(D)を得た。NTFT用のゲイト電極109、PTFT用のゲイト電極110を形成した。例えばチャンネル長 $7 \mu\text{m}$ 、ゲイト電極としてリンド-プ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。図には示されていないが、実施例1の場合と同様にゲイト配線とそれに平行な配線も形成した。

【0069】

この配線の材料としては、上記の材料以外にも、例えばアルミニウム(Al)を用いることも可能である。アルミニウムを用いた場合、これを第4のフォトマスクP4にてパターニング後、その表面を陽極酸化することで、セルフアライン工法が適用可能なため、ソース・ドレインのコンタクトホールをよりゲートに近い位置に形成することが出来るため、移動度、スレッショールド電圧の低減からさらにTFTの特性を上げることができる。

【0070】

かくすると、400以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大画面の液晶表示装置にきわめて適したプロセスであるといえる。

【0071】

図9(E)において、層間絶縁物113を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば $0.2 \sim 0.6 \mu\text{m}$ の厚さに形成し、その後、第5のフォトマスクP5を用いて電極用の窓117を形成した。その後、さらに、これら全体にアルミニウムを $0.3 \mu\text{m}$ の厚みにスパッタ法により形成し第6のフォトマスクP6を用いてリッド116およびコンタクト114、115を作製した後、表面を平坦化用有機樹脂119、例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけを第7のフォトマスクP7にて行った。さらに、これら全体にITO(インジウム酸化錫)を $0.1 \mu\text{m}$ の厚みにスパッタ

法により形成し第8のフォトマスクP8を用いて画素電極118を形成した。このITOは室温～150℃で成膜し、200～400℃の酸素または大気中のアニールにより成就した。

【0072】

得られたTFTの電気的な特性はPFTで移動度は35 (cm^2/Vs)、 V_{th} は-5.9 (V)で、NTFTで移動度は90 (cm^2/Vs)、 V_{th} は4.8 (V)であった。

【0073】

上記の様な方法に従って作製された液晶電気光学装置用の一方の基板を得ることが出来た。他方の基板の作製方法は実施例1と同じであるので省略する。その後、前記第一の基板と第二の基板によって、ネマチック液晶組成物を挟持し、周囲をエポキシ性接着剤にて固定した。基板上のリードにTAB形状の駆動ICと共通信号、電位配線を有するPCBを接続し、外側に偏光板を貼り、透過型の液晶電気光学装置を得た。これと冷陰極管を3本配置した後部照明装置、テレビ電波を受信するチューナーを接続し、壁掛けテレビとして完成させた。従来のCRT方式のテレビと比べて、平面形状の装置となったために、壁等に設置することも出来るようになった。この液晶テレビの動作は図1、図2に示したものと、実質的に同等な信号を液晶画素に印加することにより確認された。

【図面の簡単な説明】

【0074】

【図1】本発明による駆動波形の例を示す。

【図2】本発明による駆動波形の例を示す。

【図3】本発明による液晶の階調表示特性の例を示す。

【図4】本発明によるマトリクス構成の例を示す。

【図5】実施例による素子の平面構造を示す。

【図6】実施例によるTFTのプロセスを示す。

【図7】実施例によるTFTのプロセスを示す。

【図8】実施例によるカラーフィルターの工程を示す。

【図9】実施例によるTFTのプロセスを示す。

【図10】実施例における保護回路の接続例を示す。

【図11】実施例における保護回路の例を示す。

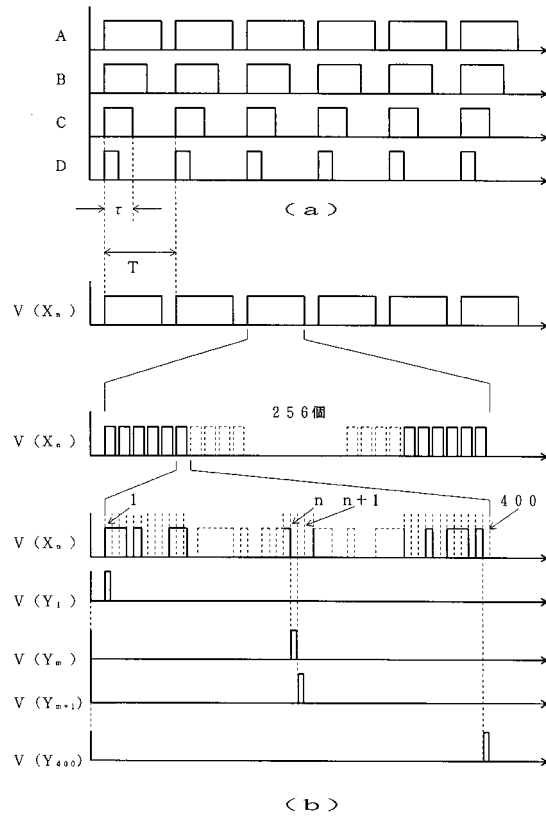
【図12】実施例における保護回路の例を示す。

10

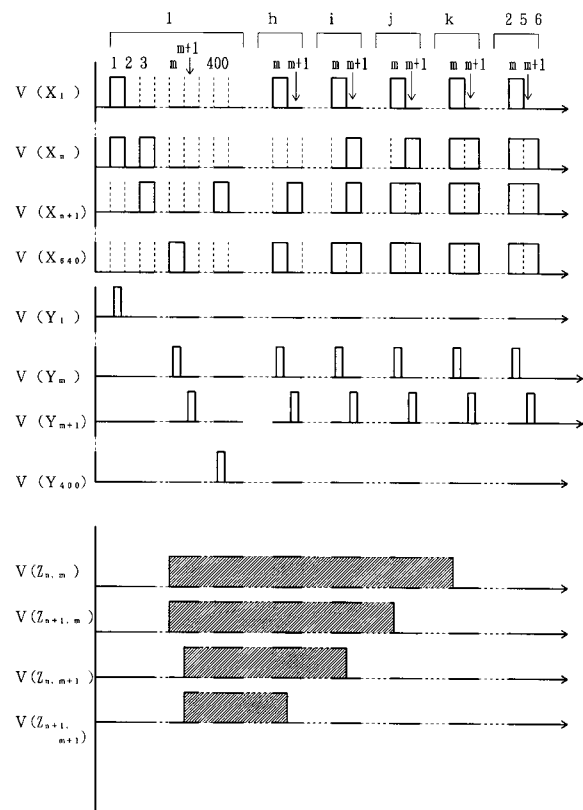
20

30

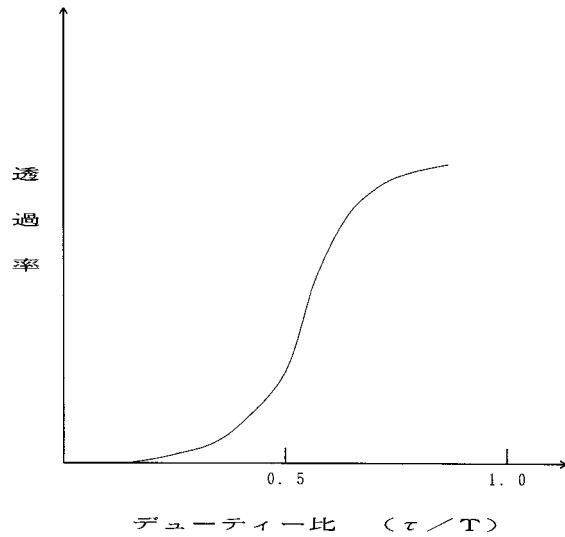
【図 1】



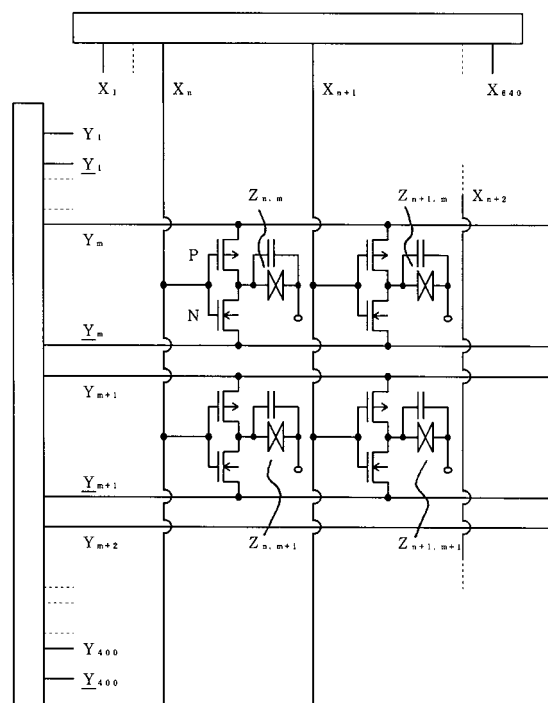
【図 2】



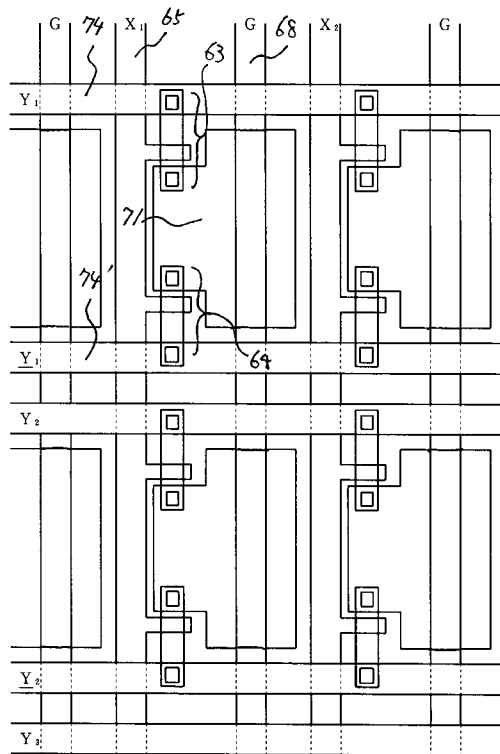
【図 3】

TN液晶、 $T=3\text{ msec}$ の場合

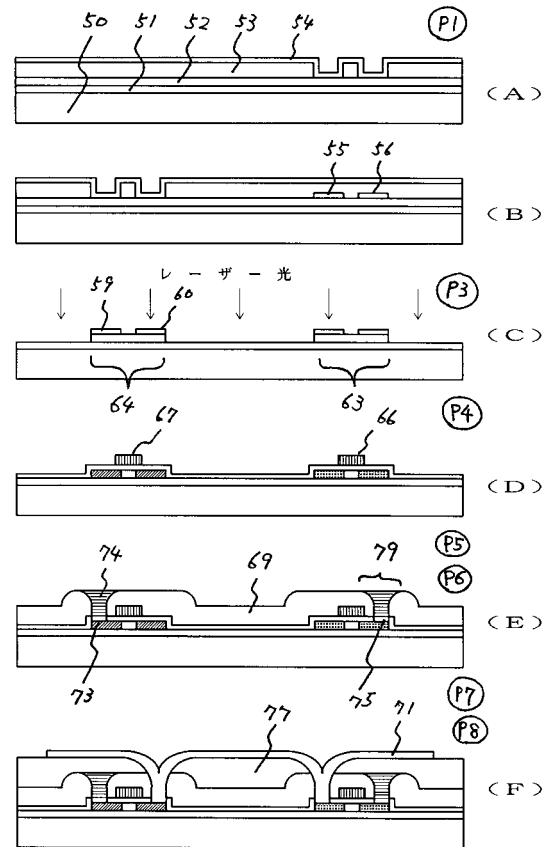
【図 4】



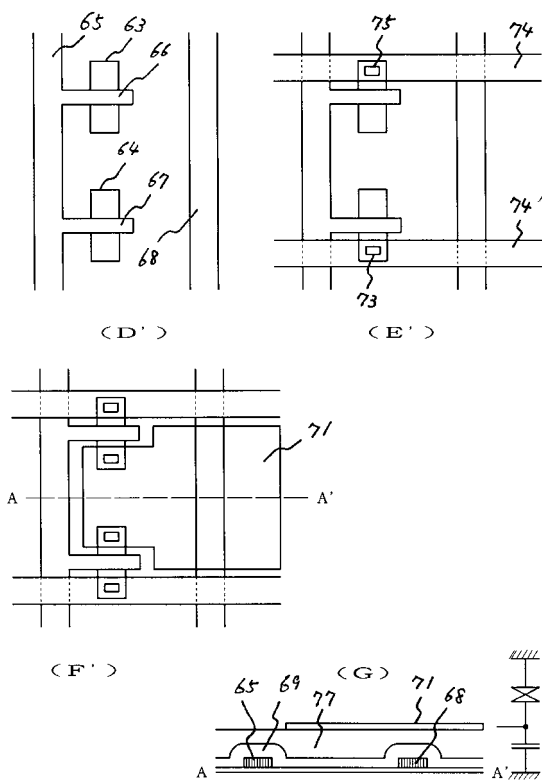
【図 5】



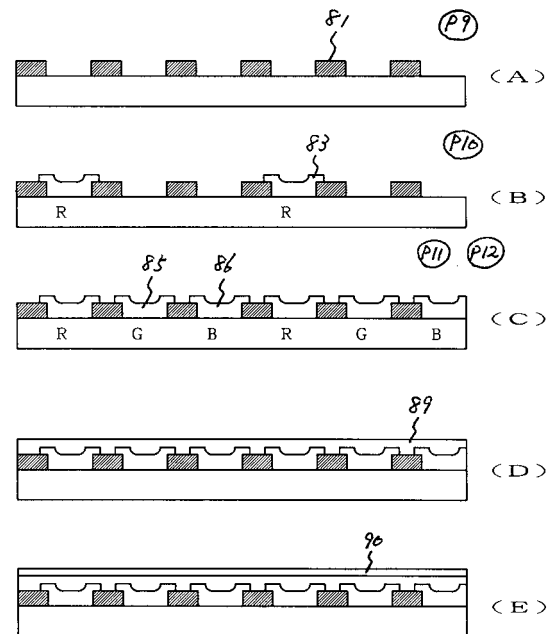
【図 6】



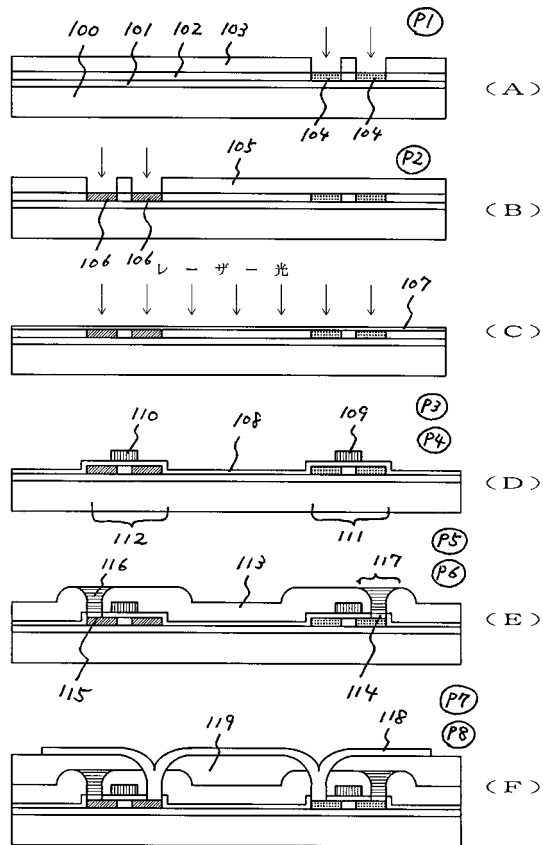
【図 7】



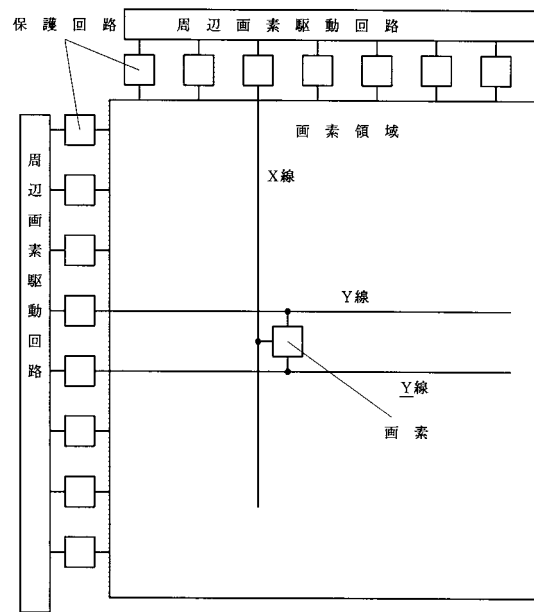
【図 8】



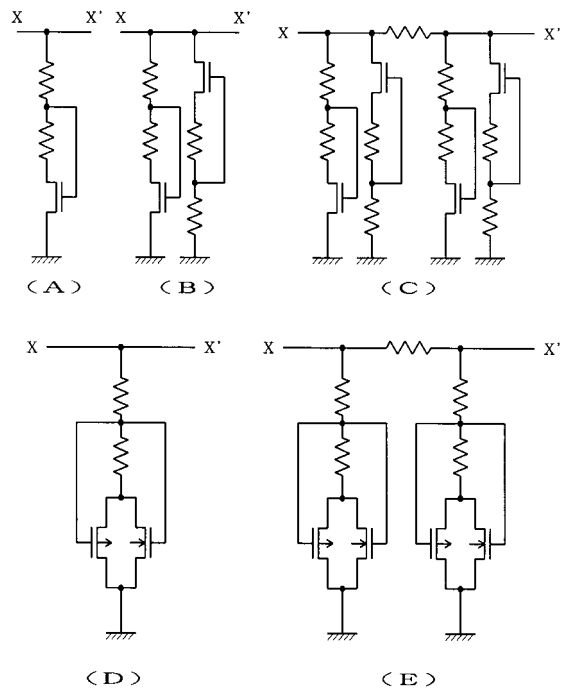
【図 9】



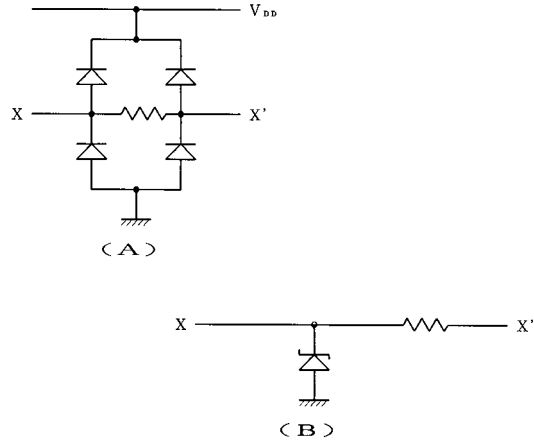
【図 10】



【図 11】



【図 12】



フロントページの続き

審査官 山口 裕之

- (56)参考文献 特開平 2 - 1 7 4 2 7 0 (J P , A)
特開平 3 - 1 3 2 7 2 3 (J P , A)
特開昭 5 7 - 2 1 1 2 7 2 (J P , A)
特開平 2 - 2 6 6 5 5 5 (J P , A)
特開昭 6 3 - 1 0 7 3 8 1 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 5

专利名称(译)	液晶表示装置		
公开(公告)号	JP4044592B2	公开(公告)日	2008-02-06
申请号	JP2006280923	申请日	2006-10-16
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 間瀬晃 ひろ木正明 竹村保彦		
发明人	山崎 舜平 間瀬 晃 ▲ひろ▼木 正明 竹村 保彦		
IPC分类号	G02F1/1345 H01L29/786		
FI分类号	G02F1/1345 H01L29/78.614 G02F1/133.550 G02F1/133.575 G02F1/1368 G09G3/20.621.B G09G3/20.621.M G09G3/20.623.D G09G3/20.641.A G09G3/20.642.J G09G3/20.670.K G09G3/36		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JA46 2H092/JB44 2H092/JB58 2H092/KA04 2H092/KA07 2H092/MA08 2H092/MA13 2H092/MA30 2H092/NA01 2H092/PA06 2H092/PA08 2H092/QA07 2H093/NA16 2H093/NA56 2H093/NC34 2H093/NC35 2H093/ND06 2H093/NE02 2H093/NE03 2H093/NE06 2H093/NE07 2H093/NF05 2H192/AA24 2H192/CB02 2H192/CB12 2H192/CB24 2H192/DA12 2H192/DA72 2H192/EA43 2H192/GA31 2H192/JA06 2H193/ZA04 2H193/ZD26 2H193/ZP02 2H193/ZP03 2H193/ZQ06 5C006/AA15 5C006/AA22 5C006/AC21 5C006/AC26 5C006/AF44 5C006/AF51 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5F110/AA30 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD13 5F110/EE03 5F110/EE04 5F110/EE05 5F110/EE09 5F110/EE14 5F110/EE34 5F110/FF02 5F110/GG02 5F110/GG03 5F110/GG13 5F110/GG24 5F110/GG28 5F110/GG32 5F110/GG33 5F110/GG34 5F110/GG43 5F110/GG45 5F110/GG47 5F110/HJ01 5F110/HJ13 5F110/HJ23 5F110/HL03 5F110/HL23 5F110/HM07 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN27 5F110/NN34 5F110/NN35 5F110/NN72 5F110/PP03 5F110/PP35		
审查员(译)	山口博之		
其他公开文献	JP2007086795A		
外部链接	Espacenet		

摘要(译)

一种用于电光器件的逆变器电路。反相器的N沟道型薄膜晶体管包括沟道区，设置有多个N型杂质区的半导体层，设置在半导体层上的栅极绝缘膜，并且栅电极与N型杂质中的至少一种重叠。此外，反相器电路的P沟道薄膜晶体管包括沟道区，设置有多个P型杂质区的半导体层，设置在半导体层上的栅极绝缘膜，以及设置在栅极绝缘膜上的栅极绝缘膜和一个栅极。点域1

