

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3988163号
(P3988163)

(45) 発行日 平成19年10月10日(2007.10.10)

(24) 登録日 平成19年7月27日(2007.7.27)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
H03K 17/687 (2006.01)

G09G 3/36
 G02F 1/133 550
 G09G 3/20 611A
 G09G 3/20 621L
 G09G 3/20 623B

請求項の数 20 外国語出願 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2003-185966 (P2003-185966)
 (22) 出願日 平成15年6月27日(2003.6.27)
 (65) 公開番号 特開2005-17958 (P2005-17958A)
 (43) 公開日 平成17年1月20日(2005.1.20)
 審査請求日 平成15年6月30日(2003.6.30)

(73) 特許権者 503234610
 奇景光電股▲ふん▼有限公司
 Himax Technologies,
 Inc.
 台湾台南県台南科学工業園区善化鎮南科八
 路12号1樓
 (74) 代理人 100100103
 弁理士 太田 明男
 (72) 発明者 邱 明正
 台湾台南県台南科学工業園区善化鎮南科八
 路12号1樓

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 液晶表示装置におけるソース駆動回路

(57) 【特許請求の範囲】

【請求項1】

入力電圧を受けデータ線を駆動するための出力電圧を発生するための液晶表示装置におけ
 るソース駆動回路であって、

接地電圧が印加される接地端子と、

前記接地電圧よりも高い電源電圧が印加される電源端子と、

前記入力電圧を受ける入力端子と、

制御信号端子と、

前記出力電圧を発生する出力端子と、

第1及び第2 P-チャンネルMOSトランジスタであって、それぞれのトランジスタがそ
 のゲートを前記第1 P-チャンネルMOSトランジスタのドレインに接続し、かつ前記第
 2 P-チャンネルMOSトランジスタがそのソースを前記出力端子に接続している前記第
 1及び第2 P-チャンネルMOSトランジスタと、

第1及び第2 N-チャンネルMOSトランジスタであって、それぞれのトランジスタがそ
 のゲートを前記第1 N-チャンネルMOSトランジスタのドレインに接続し、かつ前記第
 2 N-チャンネルMOSトランジスタがそのソースを前記出力端子に接続している前記第
 1及び第2 N-チャンネルMOSトランジスタと、

ゲートを前記入力端子に接続しソースを前記第1 P-チャンネルMOSトランジスタのソ
 ースに接続した第3 N-チャンネルMOSトランジスタと、

ドレインを前記電源端子に接続しゲートを第3 P-チャンネルMOSトランジスタのソー

10

20

スに接続した第3 P-チャンネルMOSトランジスタと、
 前記第3 P-チャンネルMOSトランジスタのソースと前記第1 N-チャンネルMOSト
 ランジスタのドレインとの間に接続される第1スイッチと、
 前記接地端子と前記第1 P-チャンネルMOSトランジスタのドレインとの間に接続され
 る第2スイッチと、
 前記電源端子と前記第3 N-チャンネルMOSトランジスタのドレインとの間に接続され
 る第3スイッチと、
 前記入力端子と前記第1 N-チャンネルMOSトランジスタのソースとの間に接続される
 第4スイッチと、
 前記電源端子と前記第2 N-チャンネルMOSトランジスタのドレインとの間に接続され 10
 る第5スイッチと、
 前記接地端子と前記第2 P-チャンネルMOSトランジスタのドレインとの間に接続され
 る第6スイッチと、
 前記制御信号端子と前記第1 N-チャンネルMOSトランジスタのドレインとの間に接続
 される第1コンデンサとを具備する、
 液晶表示装置におけるソース駆動回路。

【請求項2】

前記第1 N-チャンネルMOSトランジスタのドレインの電圧を、少なくとも前記入力電
 圧に前記第1 N-チャンネルMOSトランジスタの閾値電圧を加えたもののレベルに昇圧
 するように、前記第1コンデンサが所定時間作動することを特徴とする請求項1記載の液 20
 晶表示装置におけるソース駆動回路。

【請求項3】

V_{in} を前記入力電圧とし、 V_{thp1} を前記第1 P-チャンネルMOSトランジスタの閾値電
 圧とし、 V_{thn3} を前記第3 N-チャンネルMOSトランジスタの閾値電圧とした場合、前
 記第3及び第2スイッチは、前記第2 P-チャンネルMOSトランジスタのゲートに、
 $(V_{in} + V_{thp1} - V_{thn3})$ の電圧で、所定時間バイアスをかけるために動作することを特徴
 とする請求項1記載の液晶表示装置におけるソース駆動回路。

【請求項4】

V_{in} を前記入力電圧とし、 V_{thn1} を前記第1 N-チャンネルMOSトランジスタの閾値電
 圧とした場合、前記第4及び第1スイッチは、前記第2 N-チャンネルMOSトランジス 30
 タのゲートに、 $(V_{in} + V_{thn1})$ の電圧で、所定時間バイアスをかけるために動作するこ
 とを特徴とする請求項1記載の液晶表示装置におけるソース駆動回路。

【請求項5】

前記第6スイッチは、前記第2 P-チャンネルMOSトランジスタをソースフォロワとし
 て動作させるために動作することを特徴とする請求項1記載の液晶表示装置におけるソー 40
 ス駆動回路。

【請求項6】

前記第5スイッチは、前記第2 N-チャンネルMOSトランジスタをソースフォロワとし
 て動作させるために動作することを特徴とする請求項1記載の液晶表示装置におけるソー 40
 ス駆動回路。

【請求項7】

前記ソース駆動回路は、さらに、ソースを前記第2 P-チャンネルMOSトランジスタの
 ドレインに接続し、ドレインを前記出力端子に接続する第4 N-チャンネルMOSトラン
 ジスタを具備し、前記第4 N-チャンネルMOSトランジスタは、前記入力電圧が前記第 30
 2 P-チャンネルMOSトランジスタの閾値電圧より小さい場合、実質的に前記出力電圧
 を所定時間接地電圧とするために用いられることを特徴とする請求項1記載の液晶表示装
 置におけるソース駆動回路。

【請求項8】

前記ソース駆動回路は、さらに、ゲートを前記入力端子に接続し、ソースを前記第1 N-
 チャンネルMOSトランジスタのソースに接続した第4 P-チャンネルMOSトランジス 50

タと、

前記接地端子と前記第 4 P-チャンネル MOS トランジスタのドレインとの間に接続される第 7 スイッチとを具備することを特徴とする請求項 1 記載の液晶表示装置におけるソース駆動回路。

【請求項 9】

前記ソース駆動回路は、さらに、前記入力端子と前記第 3 N-チャンネル MOS トランジスタのソースとの間に接続される第 9 スイッチを具備することを特徴とする請求項 8 記載の液晶表示装置におけるソース駆動回路。

【請求項 10】

前記第 4 及び第 9 スイッチがそれぞれ OFF 状態と ON 状態に維持され、前記第 5 及び第 6 スイッチがそれぞれ ON 状態と OFF 状態で、前記第 2 N-チャンネル MOS トランジスタがソースフォロワとして動作することを特徴とする請求項 9 記載の液晶表示装置におけるソース駆動回路。

10

【請求項 11】

前記第 5 及び第 6 スイッチがそれぞれ所定時間 ON 状態と OFF 状態になった後に、前記第 5 及び第 6 スイッチが OFF 状態及び ON 状態になり、前記第 2 P-チャンネル MOS トランジスタをソースフォロワとして作動することを特徴とする請求項 10 記載の液晶表示装置におけるソース駆動回路。

【請求項 12】

前記第 4 及び第 9 スイッチがそれぞれ ON 状態と OFF 状態に維持され、前記第 5 及び第 6 スイッチがそれぞれ OFF 状態と ON 状態で、前記第 2 P-チャンネル MOS トランジスタがソースフォロワとして動作することを特徴とする請求項 9 記載の液晶表示装置におけるソース駆動回路。

20

【請求項 13】

前記第 5 及び第 6 スイッチがそれぞれ所定時間 OFF 状態と ON 状態になった後に、前記第 5 及び第 6 スイッチが ON 状態及び OFF 状態になり、前記第 2 N-チャンネル MOS トランジスタをソースフォロワとして作動することを特徴とする請求項 12 記載の液晶表示装置におけるソース駆動回路。

【請求項 14】

前記ソース駆動回路は、さらに、前記入力端子と前記出力端子との間に接続される第 8 スイッチを具備し、前記第 8 スイッチは前記第 2 P-チャンネル MOS トランジスタ又は前記第 2 N-チャンネル MOS トランジスタをソースフォロワとして動作した後に ON 状態になることを特徴とする請求項 9 記載の液晶表示装置におけるソース駆動回路。

30

【請求項 15】

前記ソース駆動回路は、さらに、ソースを前記第 2 P-チャンネル MOS トランジスタのドレインに接続し、ドレインを前記出力端子に接続した第 4 N-チャンネル MOS トランジスタを具備し、前記第 4 N-チャンネル MOS トランジスタは、前記入力電圧が前記第 2 P-チャンネル MOS トランジスタの閾値電圧より小さい場合、実質的に前記出力電圧を所定時間接地電圧にするために用いられることを特徴とする請求項 9 記載の液晶表示装置におけるソース駆動回路。

40

【請求項 16】

前記ソース駆動回路は、さらに、第 5 N-チャンネル MOS トランジスタと第 5 P-チャンネル MOS トランジスタとを具備し、前記第 5 N-チャンネル MOS トランジスタは、そのソースを前記出力端子に接続し、そのドレインを前記電源端子に接続し、そのゲートを前記入力端子に接続し、前記第 5 P-チャンネル MOS トランジスタは、そのソースを前記出力端子に接続し、そのドレインを前記接地端子に接続し、そのゲートを前記入力端子に接続したことを特徴とする請求項 9 記載の液晶表示装置におけるソース駆動回路。

【請求項 17】

V_{in} を前記入力電圧とし、 V_{thp1} を前記第 1 P-チャンネル MOS トランジスタの閾値電圧とし、 V_{thn3} を前記第 3 N-チャンネル MOS トランジスタの閾値電圧とした場合、第

50

2 P-チャンネルMOSトランジスタのゲートに ($V_{in} - V_{thn3} + V_{thp1}$) の電圧レベルでバイアスがかけられた後、前記第6及び第5スイッチがそれぞれON状態とOFF状態になり、前記第2 P-チャンネルMOSトランジスタをソースフォロワとして動作することを特徴とする請求項1記載の液晶表示装置におけるソース駆動回路。

【請求項18】

V_{in} を前記入力電圧とし、 V_{thn1} を前記第1 N-チャンネルMOSトランジスタの閾値電圧とした場合、前記第2 N-チャンネルMOSトランジスタのゲートに ($V_{in} + V_{thn1}$) の電圧レベルでバイアスをかけた後、前記第6及び第5スイッチがそれぞれOFF状態とON状態になり、前記第2 N-チャンネルMOSトランジスタをソースフォロワとして動作することを特徴とする請求項1記載の液晶表示装置におけるソース駆動回路。

10

【請求項19】

前記ソース駆動回路は、さらに、前記入力端子と前記出力端子との間に接続される第8スイッチを具備し、前記第8スイッチは、前記第2 P-チャンネルMOSトランジスタ又は前記第2 N-チャンネルMOSトランジスタがソースフォロワとして動作した後にON状態になることを特徴とする請求項1記載の液晶表示装置におけるソース駆動回路。

【請求項20】

前記ソース駆動回路は、さらに、第5 N-チャンネルMOSトランジスタと第5 P-チャンネルMOSトランジスタとを具備し、前記第5 N-チャンネルMOSトランジスタはそのソースを前記出力端子に接続し、そのドレインを前記電源端子に接続し、そのゲートを前記入力端子に接続し、さらに前記第5 P-チャンネルMOSトランジスタは、そのソースを前記出力端子に接続し、そのドレインを前記接地端子に接続し、そのゲートを前記入力端子に接続したことを特徴とする請求項1記載の液晶表示装置におけるソース駆動回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示 (LCD) 装置を駆動する装置、特に、LCD駆動装置に用いられる低電源駆動回路に関する。

【背景技術】

【0002】

30

LCDパネルはブラウン管 (CRT) パネルと比べて寸法においてより薄く、電力の浪費もより少ないため、近年、パーソナルコンピュータや、ワードプロセッサや、カラーテレビ受像機に適用されている。特に、アクティブマトリックス型LCD装置は応答が高速であり、高品質の優れた画面と多階調表示を有しているため、アクティブマトリックス型LCD装置の需要が高くなっている。

一般に、アクティブマトリックス型LCD装置は、薄膜金属線と、透明画素電極と、薄膜トランジスタ (TFTs) とを有する半導体基板と、透明な共通電極を有する対向基板と、半導体基板と対向基板の間に挿入された液晶とから構成される。スイッチ機能を有するTFTを制御することによって各画素電極に階調電圧が印加され、各画素電極と共通電極間の電圧差によって液晶の透過率が変化し、画面上で表示を行うことができる。

40

【0003】

半導体基板上には、画素電極に階調電圧を印加するためのデータ線とTFTにスイッチ制御信号 (走査信号) を印加する走査線が配置される。そして、走査線の走査信号が高レベルのとき、走査線に接続する全てのTFTはON状態になっており、データ線に送られる階調電圧はTFTを通じて画素電極に印加される。走査信号がTFTをOFF状態にするために低くなると、各画素電極と共通電極の間の電圧差は、次の階調電圧が画素電極に印加されるまで維持される。このように、走査信号が順に各走査線に送られ、階調電圧がすべての画素電極に印加されると、画面の表示はフレーム周期毎に更新される。

【0004】

データ線を駆動するため用いられるLCD駆動装置は、液晶容量、配線抵抗、配線容量

50

を含む各データ線の大きな負荷を充電・放電する必要がある。

LCD駆動装置は、一般に、分圧器と、デコーダと、データ線に接続される駆動回路によって構成される。従来は、駆動回路は演算増幅器によって実行される（S. Saito 他『カラー TFT-LCDのための6ビットデジタルデータプリンタ』SID 95 ダイジェスト、257-260頁、1995年を参照）。演算増幅器は高電流供給能力が有するため、駆動回路は、大容量の負荷を有するデータ線を高速で駆動することができる。また、演算増幅器内でトランジスタの閾値電圧がわずかに変動したときでも、演算増幅器の出力電圧の変動は比較的小さい。さらに、出力電圧は高精度とすることができる。

【0005】

しかし、従来技術の駆動回路では、それぞれ多数の構成要素をもつ演算増幅器の数はデータ線の数とともに増大する。このため、従来技術の駆動回路を用いたLCD駆動装置を単一の集積回路装置の形態で構成する場合、集積回路装置の寸法を十分に演算増幅器を収納できるように大きくしなければならず、製造費が増大する。さらに、演算増幅器は定常電流を必要とするため、電力の消失を増大する。従って、このような構造は低電力損失の使用には適しない。LCD駆動装置に演算増幅器を用いる詳細な技術は、Rutaに付与された「アクティブマトリックス液晶表示のための集積アナログソース駆動回路」を発明の名称とする米国特許6,075,524号明細書に記載されている。Tsuchi等に付与された「演算増幅器を具備しない液晶表示装置の駆動回路」を発明の名称とする米国特許6,127,997号明細書は、演算増幅器なしに構成される他のLCD駆動装置を開示している。しかし、この構成では、未だ、充電動作や放電動作に大きな変動が生じるため、より大きなチャンネルのプリチャージ充電損の問題がある。

【特許文献1】米国特許6,075,524号明細書

【特許文献2】米国特許6,127,997号明細書

【非特許文献1】S. Saito 他『カラー TFT-LCDのための6ビットデジタルデータプリンタ』SID 95 ダイジェスト、257-260頁、1995年

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、製造費や出力損失を低減でき、正確な駆動出力を得ることができ、負荷される充電損失を低減できる液晶表示駆動装置に用いられるソース駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

請求項1に記載するように、本発明の液晶表示装置におけるソース駆動回路は、入力電圧を受けデータ線を駆動するための出力電圧を発生するための液晶表示装置におけるソース駆動回路であって、

接地電圧が印加される接地端子と、

前記接地電圧よりも高い電源電圧が印加される電源端子と、

前記入力電圧を受ける入力端子と、

制御信号端子と、

前記出力電圧を発生する出力端子と、

第1及び第2 P-チャンネルMOSトランジスタであって、それぞれのトランジスタがそのゲートを前記第1 P-チャンネルMOSトランジスタのドレインに接続し、かつ前記第2 P-チャンネルMOSトランジスタがそのソースを前記出力端子に接続している前記第1及び第2 P-チャンネルMOSトランジスタと、

第1及び第2 N-チャンネルMOSトランジスタであって、それぞれのトランジスタがそのゲートを前記第1 N-チャンネルMOSトランジスタのドレインに接続し、かつ前記第2 N-チャンネルMOSトランジスタがそのソースを前記出力端子に接続している前記第1及び第2 N-チャンネルMOSトランジスタと、

ゲートを前記入力端子に接続しソースを前記第1 P-チャンネルMOSトランジスタのソ

ースに接続した第3 N-チャンネルMOSトランジスタと、
ドレインを前記電源端子に接続しゲートを第3 P-チャンネルMOSトランジスタのソースに接続した第3 P-チャンネルMOSトランジスタと、
前記第3 P-チャンネルMOSトランジスタのソースと前記第1 N-チャンネルMOSトランジスタのドレインとの間に接続される第1スイッチと、
前記接地端子と前記第1 P-チャンネルMOSトランジスタのドレインとの間に接続される第2スイッチと、
前記電源端子と前記第3 N-チャンネルMOSトランジスタのドレインとの間に接続される第3スイッチと、
前記入力端子と前記第1 N-チャンネルMOSトランジスタのソースとの間に接続される第4スイッチと、
前記電源端子と前記第2 N-チャンネルMOSトランジスタのドレインとの間に接続される第5スイッチと、
前記接地端子と前記第2 P-チャンネルMOSトランジスタのドレインとの間に接続される第6スイッチと、
前記制御信号端子と前記第1 N-チャンネルMOSトランジスタのドレインとの間に接続される第1コンデンサとを具備することを特徴とする。

10

【0008】

ここで、請求項2に記載するように、
前記第1 N-チャンネルMOSトランジスタのドレインの電圧を、少なくとも前記入力電圧に前記第1 N-チャンネルMOSトランジスタの閾値電圧を加えたもののレベルに昇圧するように、前記第1コンデンサが所定時間作動することを特徴とする。

20

【0009】

さらに、請求項3に記載するように、
 V_{in} を前記入力電圧とし、 V_{thp1} を前記第1 P-チャンネルMOSトランジスタの閾値電圧とし、 V_{thn3} を前記第3 N-チャンネルMOSトランジスタの閾値電圧とした場合、前記第3及び第2スイッチは、前記第2 P-チャンネルMOSトランジスタのゲートに、 $(V_{in} + V_{thp1} - V_{thn3})$ の電圧で、所定時間バイアスをかけるために動作することを特徴とする。

【0010】

30

また、請求項4に記載するように、
 V_{in} を前記入力電圧とし、 V_{thn1} を前記第1 N-チャンネルMOSトランジスタの閾値電圧とした場合、前記第4及び第1スイッチは、前記第2 N-チャンネルMOSトランジスタのゲートに、 $(V_{in} + V_{thn1})$ の電圧で、所定時間バイアスをかけるために動作することを特徴とするクレーム1記載のソース駆動回路。

【0011】

また、請求項5に記載するように、
前記第6スイッチは、前記第2 P-チャンネルMOSトランジスタをソースフォロワとして動作させるために動作することを特徴とする。

40

【0012】

請求項6に記載するように、
前記第5スイッチは、前記第2 N-チャンネルMOSトランジスタをソースフォロワとして動作させるために動作することを特徴とする。

【0013】

請求項7に記載するように、
前記ソース駆動回路は、さらに、ソースを前記第2 P-チャンネルMOSトランジスタのドレインに接続し、ドレインを前記出力端子に接続する第4 N-チャンネルMOSトランジスタを具備し、前記第4 N-チャンネルMOSトランジスタは、前記入力電圧が前記第2 P-チャンネルMOSトランジスタの閾値電圧より小さい場合、実質的に前記出力電圧

50

を所定時間接地電圧とするために用いられることを特徴とする。

【0014】

請求項8に記載するように、

前記ソース駆動回路は、さらに、ゲートを前記入力端子に接続し、ソースを前記第1N-チャンネルMOSトランジスタのソースに接続した第4P-チャンネルMOSトランジスタと、

前記接地端子と前記第4P-チャンネルMOSトランジスタのドレインとの間に接続される第7スイッチとを具備することを特徴とする。

【0015】

請求項9に記載するように、

前記ソース駆動回路は、さらに、前記入力端子と前記第3N-チャンネルMOSトランジスタのソースとの間に接続される第9スイッチを具備することを特徴とする。

【0016】

請求項10に記載するように、

前記第4及び第9スイッチがそれぞれOFF状態とON状態に維持され、前記第5及び第6スイッチがそれぞれON状態とOFF状態で、前記第2N-チャンネルMOSトランジスタがソースフォロワとして動作することを特徴とする

【0017】

請求項11に記載するように、

前記第5及び第6スイッチがそれぞれ所定時間ON状態とOFF状態になった後に、前記第5及び第6スイッチがOFF状態及びON状態になり、前記第2P-チャンネルMOSトランジスタをソースフォロワとして作動することを特徴とする。

【0018】

請求項12に記載するように、

前記第4及び第9スイッチがそれぞれON状態とOFF状態に維持され、前記第5及び第6スイッチがそれぞれOFF状態とON状態で、前記第2P-チャンネルMOSトランジスタがソースフォロワとして動作することを特徴とする。

【0019】

請求項13に記載するように、

前記第5及び第6スイッチがそれぞれ所定時間OFF状態とON状態になった後に、前記第5及び第6スイッチがON状態及びOFF状態になり、前記第2N-チャンネルMOSトランジスタをソースフォロワとして作動することを特徴とする。

【0020】

請求項14に記載するように、

前記ソース駆動回路は、さらに、前記入力端子と前記出力端子との間に接続される第8スイッチを具備し、前記第8スイッチは前記第2P-チャンネルMOSトランジスタ又は前記第2N-チャンネルMOSトランジスタをソースフォロワとして動作した後にON状態になることを特徴とする。

【0021】

請求項15に記載するように、

前記ソース駆動回路は、さらに、ソースを前記第2P-チャンネルMOSトランジスタのドレインに接続し、ドレインを前記出力端子に接続した第4N-チャンネルMOSトランジスタを具備し、前記第4N-チャンネルMOSトランジスタは、前記入力電圧が前記第2P-チャンネルMOSトランジスタの閾値電圧より小さい場合、実質的に前記出力電圧を所定時間接地電圧にするために用いられることを特徴とする。

【0022】

請求項16に記載するように、

前記ソース駆動回路は、さらに、第5N-チャンネルMOSトランジスタと第5P-チャンネルMOSトランジスタとを具備し、前記第5N-チャンネルMOSトランジスタは、そのソースを前記出力端子に接続し、そのドレインを前記電源端子に接続し、そのゲート

10

20

30

40

50

を前記入力端子に接続し、前記第5 P-チャンネルMOSトランジスタは、そのソースを前記出力端子に接続し、そのドレインを前記接地端子に接続し、そのゲートを前記入力端子に接続したことを特徴とする。

【0023】

請求項17に記載するように、

V_{in} を前記入力電圧とし、 V_{thp1} を前記第1 P-チャンネルMOSトランジスタの閾値電圧とし、 V_{thn3} を前記第3 N-チャンネルMOSトランジスタの閾値電圧とした場合、第2 P-チャンネルMOSトランジスタのゲートに $(V_{in} - V_{thn3} + V_{thp1})$ の電圧レベルでバイアスがかけられた後、前記第6及び第5スイッチがそれぞれON状態とOFF状態になり、前記第2 P-チャンネルMOSトランジスタをソースフォロワとして動作することを

10

【0024】

請求項18に記載するように、

V_{in} を前記入力電圧とし、 V_{thn1} を前記第1 N-チャンネルMOSトランジスタの閾値電圧とした場合、前記第2 N-チャンネルMOSトランジスタのゲートに $(V_{in} + V_{thn1})$ の電圧レベルでバイアスをかけた後、前記第6及び第5スイッチがそれぞれOFF状態とON状態になり、前記第2 N-チャンネルMOSトランジスタをソースフォロワとして動作することを特徴とする。

【0025】

請求項19に記載するように、

20

前記ソース駆動回路は、さらに、前記入力端子と前記出力端子との間に接続される第8スイッチを具備し、前記第8スイッチは、前記第2 P-チャンネルMOSトランジスタ又は前記第2 N-チャンネルMOSトランジスタがソースフォロワとして動作した後ON状態になることを特徴とする。

【0026】

請求項20に記載するように、

前記ソース駆動回路は、さらに、第5 N-チャンネルMOSトランジスタと第5 P-チャンネルMOSトランジスタとを具備し、前記第5 N-チャンネルMOSトランジスタはそのソースを前記出力端子に接続し、そのドレインを前記電源端子に接続し、そのゲートを前記入力端子に接続し、さらに前記第5 P-チャンネルMOSトランジスタは、そのソースを前記出力端子に接続し、そのドレインを前記接地端子に接続し、そのゲートを前記入力端子に接続したことを特徴とする。

30

【発明の効果】

【0027】

本発明によれば、駆動回路は多数の要素を有する動作増幅器を具備せず、また、LCDに適用される本発明に係る新規の駆動回路の回路設計はウエハーIC工程を十分に使用できるので、駆動回路のチップサイズを小さくすることができ、製造コストのみならず電力消費も低減できる。

【発明を実施するための最良の形態】

【0028】

40

本発明は、液晶表示装置において、データ線を駆動するため、入力電圧を受け、出力電圧を発生するソース駆動回路を提供する。本発明におけるソース駆動回路では、第1および第2 P-チャンネルMOSトランジスタは入力電圧をトレースし、n-ウェルプロセスにおける体積効果を除去でき、負荷充電損失を一定に保持するため用いられる。第1および第2のP-チャンネルMOSトランジスタは、共通のゲートを第1 P-チャンネルMOSトランジスタのドレインに接続しており、第2 P-チャンネルMOSトランジスタのソースは出力端子に接続されている。第1および第2 N-チャンネルMOSトランジスタは、共通のゲートを第1 N-チャンネルMOSトランジスタのドレインに接続しており、第2 N-チャンネルMOSトランジスタのソースは出力端子に接続されている。第3 N-チャンネルMOSトランジスタは、そのゲートを入力端子に接続すると共に、そのソースを第1 P-チャンネルMOSトランジスタ

50

のソースに接続している。第3 P-チャンネルMOSトランジスタは、そのソースを電源端子に接続すると共に、そのゲートを第3 P-チャンネルMOSトランジスタのドレインに接続している。第1スイッチが、第3 P-チャンネルMOSトランジスタのドレインと第1 N-チャンネルMOSトランジスタのドレインとの間に接続されている。第2スイッチが接地端子と第1 P-チャンネルMOSトランジスタのドレインとの間に接続されている。第3スイッチが、電源端子と第3 N-チャンネルMOSトランジスタのドレインとの間に接続されている。第4スイッチが、入力端子と第1 N-チャンネルMOSトランジスタのソースとの間に接続されている。第5スイッチが、電源端子と第2 N-チャンネルMOSトランジスタのドレインとの間に接続されている。第6スイッチが、接地端子と第2 P-チャンネルMOSトランジスタのドレインとの間に接続されている。第1 N-チャンネルMOSトランジスタのドレインの電圧を、少なくとも入力電圧にN-チャンネルMOSトランジスタの閾値電圧を加えたレベルに昇圧する制御信号をうける第1コンデンサが、接地と第1 N-チャンネルMOSトランジスタのドレインとの間に接続されている。本発明の第一の形態によれば、ソース駆動回路は、さらに第4 P-チャンネルMOSトランジスタと第7スイッチを具備する。第4 P-チャンネルMOSトランジスタは、そのゲートを入力端子に接続すると共に、そのソースを第1 N-チャンネルMOSトランジスタのソースに接続している。第7スイッチは、接地端子と第4 P-チャンネルMOSトランジスタのドレインとの間に接続されている。

10

【0029】

本発明の一形態によれば、ソース駆動回路は、さらに、入力端子と第3 N-チャンネルMOSトランジスタのソースとの間に接続される第9スイッチを具備する。

20

本発明の他の態様によれば、ソース駆動回路は、さらに、ゲートを低電圧に接続し、ソースを第2 P-チャンネルMOSトランジスタのドレインに接続し、ドレインを出力端子に接続する第4 N-チャンネルMOSトランジスタを具備する。

本発明の他の態様によれば、ソース駆動回路は、さらに、入力端子と出力端子との間に接続される第8スイッチを具備する。第8スイッチは、第2 P-チャンネルMOSトランジスタの作動後又は第2 N-チャンネルMOSトランジスタの作動後に、ソースフォロワとしてON状態となる。

演算増幅器を用いることなく構成される本発明に係るLCD駆動装置は、より大きなチャンネルのプリチャージ・チャージ損失の問題を著しく低減することができる。

【0030】

30

本発明の他の目的、効果および新規な特徴は添付図を参照することによって、以下の詳細な説明からより明らかとなる。

図1は先行技術であるLCD駆動回路を例示する回路図である。

図2は本発明に係る駆動回路の第1実施例を例示する回路図である。

図3A～図3Hは図2および図4に示す駆動回路の動作を説明するためのタイミングチャートである。

図4は図2に示す駆動回路の変容例の回路図である。

図5は図2に示す駆動回路の動作を示す表である。

図6は本発明に係る駆動回路の第2実施例を例示する回路図である。

図7A～図7Iは図6に示す駆動回路の第1動作を説明するためのタイミングチャートである。

40

図8A～図8Iは図6に示す駆動回路の第2動作を説明するためのタイミングチャートである。

図9A～図9Iは図6に示す駆動回路の第3動作を説明するためのタイミングチャートである。

図10は図6に示す駆動回路の変容例の回路図である。

図11は図6の駆動回路の動作を示す表である。

【実施例】

【0031】

本発明に係る好ましい実施例を記載する前に、典型的なLCD駆動装置を、図1を参照

50

して説明する。図示するように、LC駆動装置は、一般に、分圧器101と、デコーダ102と、データ線DLに接続される駆動回路103とから構成される。データ線DLは、また、薄膜トランジスタ(TFT)(図示せず)を介して画素電極に接続される。分圧器101は多階調電圧を生成するため抵抗R1, R2, . . . , R64を具備する。さらに、デコーダ102は、抵抗R1, R2, . . . , R64に接続される線と映像データ信号D0, D1, . . . , D5を受ける線の交差点に設けられるCMOSスイッチによって構成される。

【0032】

図2に、本発明の第一実施例に係る電源駆動回路を示す。本発明の電源駆動回路において、第1および第2P-チャンネルMOSトランジスタは入力電圧をトレースするために用いられ、これによって、n-ウエルプロセスにおいて体積効果を除去でき、負荷電荷損失を一定に保持できる。第1及び第2P-チャンネルMOSトランジスタPT1, PT2は、その共通ゲートを、第1P-チャンネルMOSトランジスタPT1のドレインに接続しており、第2P-チャンネルMOSトランジスタPT2は、そのソースを出力端子に接続している。第1及び第2N-チャンネルMOSトランジスタNT1, NT2は、その共通ゲートを、第1N-チャンネルMOSトランジスタNT1のドレインに接続しており、第2N-チャンネルMOSトランジスタNT2は、そのソースを出力端子に接続している。第3N-チャンネルMOSトランジスタNT3は、そのゲートを入力端子に接続しており、そのソースを第1P-チャンネルMOSトランジスタPT1のソースに接続している。第3P-チャンネルMOSトランジスタPT3は、そのドレインを電源端子に接続しており、そのゲートを第3P-チャンネルMOSトランジスタPT3のソースに接続している。第1スイッチS1は、第3P-チャンネルMOSトランジスタPT3のソースと第1N-チャンネルMOSトランジスタNT1のドレインの間に接続されている。第2スイッチS2は、アース端子と第1P-チャンネルMOSトランジスタPT1のドレインの間に接続されている。第3スイッチS3は、電源端子と第3N-チャンネルMOSトランジスタNT3のドレインとの間に接続されている。第4スイッチS4は、入力端子と第1N-チャンネルMOSトランジスタNT1のソースの間に接続されている。第5スイッチS5は、電源端子と第2N-チャンネルMOSトランジスタNT2のドレインの間に接続されている。第6スイッチS6は、アース端子と第2P-チャンネルMOSトランジスタPT2のドレインの間に接続されている。第1N-チャンネルMOSトランジスタのドレインの電圧を、少なくとも入力電圧にN-チャンネルMOSトランジスタの閾値電圧を加えた電圧まで昇圧するための制御信号NPを受け取るための第1コンデンサC1は、制御信号端子と第1N-チャンネルMOSトランジスタのドレインの間に接続されている。あらゆる型のコンデンサ(例えば、金属-絶縁体-金属形やエアギャップ形)も第1コンデンサC1として使用することができる。

【0033】

第3N-チャンネルMOSトランジスタNT3と第3、第2スイッチS3、S2は、第2P-チャンネルMOSトランジスタPT2のゲートにおける電圧を、入力電圧から、第1P-チャンネルMOSトランジスタPT1の閾値電圧に第3N-チャンネルMOSトランジスタNT3の閾値電圧を加えた分だけシフトした電圧にバイアスするために動作する。第3P-チャンネルMOSトランジスタPT3と第4、第1スイッチS4、S1は、第2N-チャンネルMOSトランジスタNT2のゲートにおける電圧を、入力電圧から、第1N-チャンネルMOSトランジスタNT1の閾値電圧の分だけシフトした電圧へとバイアスさせるために動作する。第6スイッチS6は、第2P-チャンネルMOSトランジスタPT2をソースフォロワとして動作させるために動作し、これによって、第1及び第2P-チャンネルMOSトランジスタPT1, PT2の共通ゲートにおける電圧から第2P-チャンネルMOSトランジスタPT2の閾値電圧の分だけシフトした電圧が、出力端子から出力電圧として出力される。第5スイッチS5は、第2N-チャンネルMOSトランジスタNT2をソースフォロワとして動作させるために動作し、これによって、第1及び第2N-チャンネルMOSトランジスタNT1, NT2の共通ゲートにおける電圧から第

2 N-チャンネルMOSトランジスタNT 2の閾値電圧分だけシフトした電圧が、出力端子の出力電圧として出力される。

【0034】

本発明のソース駆動回路では、ソース駆動回路はさらに第4 P-チャンネルMOSトランジスタPT 4と第7スイッチS 7を具備することができる。第4 P-チャンネルMOSトランジスタPT 4は、そのゲートを入力端子に接続しており、そのソースは第1 N-チャンネルMOSトランジスタNT 1のソースに接続している。第7スイッチS 7は、アース端子と第4 P-チャンネルMOSトランジスタPT 4のドレインの間に接続されている。さらに、本発明のソース駆動回路は、低電圧に接続されたゲートと、第2 P-チャンネルMOSトランジスタのドレインに接続されたソースと、出力端子に接続されたドレインを有する第4 N-チャンネルMOSトランジスタNT 4も具備することができる。

10

【0035】

図2の駆動回路の動作を、以下、2つのデータ出力期間を示す図3 A、3 B、3 C、3 D、3 E、3 F、3 G、3 Hを参照して説明する。

まず、時点t 0では、図3 Bに示すように、スイッチS 1とS 2は両方ともONとなっている。トランジスタPT 1とPT 2のゲートにおけるバイアス電圧 V_1 は0ボルトである。また、トランジスタNT 1とNT 2のゲートにおけるバイアス電圧 V_2 は $V_{DD} - V_{thp4}$ ボルトである。

【0036】

次に、時点t 1では、図3 B及び図3 Cに示すように、スイッチS 1とS 2はOFFになっており、制御信号NPはON状態であり、第1 N-チャンネルMOSトランジスタNT 1のドレインの電圧を、全ての設定ガンマ電圧にN-チャンネルMOSトランジスタの閾値電圧を加えた電圧より高い電圧へと昇圧する。同時に、スイッチS 3、S 7とトランジスタPT 4 (PT 4とPT 7が存在する場合)はONとなり、したがって、バイアス電圧 V_1 と V_2 は、 V_{thp1} をトランジスタPT1の閾値電圧とし、 V_{thn3} をトランジスタNT 3の閾値電圧とし、 V_{thn1} をトランジスタNT1の閾値電圧とし、 V_{thp4} をトランジスタPT 4の閾値電圧とするとき、

20

$$V_1 = V_{in} - V_{thn3} + V_{thp1}$$

$$V_2 = V_{in} + V_{thn1} + V_{thp4}$$

【0037】

次に、時点t 2では、図3 D及び図3 Eに示すように、スイッチS 4とS 6はONとなり、バイアス電圧 V_2 は

$$V_2 = V_{in} + V_{thn1}$$

となる。

30

この状態では、トランジスタPT2はソースフォロワとして用いられるため、出力電圧 V_{out} は、 V_{thp2} をトランジスタPT 2の閾値電圧とすると、

$$V_{out} = V_{in} - V_{thn3} + V_{thp1} - V_{thp2}$$

となる。

【0038】

ここで、第4 P-チャンネルMOSトランジスタPT 4と第7スイッチS 7は、本発明の本質的な要素ではないことに留意すべきである。第4 P-チャンネルMOSトランジスタPT 4と第7スイッチS 7が存在しない場合は、時点t 1とt 2における動作は、以下のようにより異なる。時点t 1では、図3 C及び図3 Fに示すように、スイッチS 3はONとなり、バイアス電圧 V_1 は、

40

$$V_1 = V_{in} - V_{thn3} + V_{thp1}$$

となる。

【0039】

次に、時点t 2では、図3 Dと図3 Eに示すように、スイッチS 4とS 6はONとなり、バイアス電圧 V_2 は、

$$V_2 = V_{in} + V_{thn1}$$

50

となる。

この状態では、トランジスタPT2はソースフォロワとして用いられるので、出力電圧 V_{out} は、 V_{thp2} をトランジスタPT2の閾値電圧とすると、

$$V_{out} = V_{in} - V_{thn3} + V_{thp1} - V_{thp2}$$

となる。

【0040】

バイアス電圧 V_2 は、第4P-チャンネルMOSトランジスタPT4と第7スイッチS7の有無にかかわらず、時点t2において同じである。しかし、本発明のソース駆動回路が第4P-チャンネルMOSトランジスタPT4及び第7スイッチS7を具備しない場合、入力端子において大きな電流が流れる。このため、 V_{thp1} が V_{thp2} とほぼ等しい()の場合、出力電圧 V_{out} は

$$V_{out} = V_{in} - V_{thn3}$$

によって置き換えられる。

トランジスタPT1とPT2が互いに近接して設けられ、その寸法も互いにほぼ同じである場合、閾値電圧 V_{thp1} は閾値電圧 V_{thp2} とほぼ同じでありえることに留意すべきである。

【0041】

次に、時点t3で、図3Gに示すように、スイッチS5はONとなる。この状態では、トランジスタNT2はソースフォロワとして用いられるため、出力電圧 V_{out} は、 V_{thn2} をそのトランジスタNT2の閾値電圧とすると、

$$V_{out} = V_{in} + V_{thn1} - V_{thn2}$$

となる。したがって、 V_{thn1} が V_{thn2} とほぼ等しい()の場合、出力電圧 V_{out} は

$$V_{out} = V_{in}$$

によって置き換えられる。

【0042】

このように、第1実施例では、出力電圧 V_{out} を入力電圧 V_{in} と等しくすることができ、ソースフォロワとしてのトランジスタNT2に接続されるソースフォロワとしてのトランジスタPT2によって高精度の電圧バッファを得ることができる。

また、一般的なN-ウェル工程において、P-チャンネルMOSトランジスタのソースフォロワは超低ガンマ電圧をトレースできないため、映像データが超低ガンマ電圧を選択したときには、さらにもうひとつN-チャンネルMOSトランジスタを設け、接地電圧まで引き上げるのが好ましい。第4N-チャンネルMOSトランジスタNT4は、入力電圧がトランジスタPT2の閾値電圧よりも小さいときに出力電圧を接地電圧まで引き上げるために用いられる。

時点t5から時点t8までの動作は、時点t0から時点t3に繰り返す。

【0043】

図4は図2の駆動回路の変容例の回路図を示す。ソース駆動回路は、さらに、入力端子と出力端子の間に接続される第8スイッチS8を具備する。第8スイッチS8は、図3Hに示すように、ソースフォロワとして第2P-チャンネルMOSトランジスタPT2あるいは第2N-チャンネルMOSトランジスタNT2の動作後にONとなる。 V_{out} が V_{in} に近づく際のソースフォロワの駆動能力が乏しいため、第8スイッチS8を使用することで、正確に最適値(目的値)に達することができる。スイッチS8を使用する他の理由は、トランジスタNT1とNT2の閾値電圧の差に基づく出力電圧 V_{out} とその最適値との差を補償するためである。例えば、図4の駆動回路の動作は図3Aから3Hまでに示すように行われる。時点t2から時点t4の期間の間、出力電圧 V_{out} は

$$V_{out} = V_{in} + V_{thn1} - V_{thn2}$$

で表される。

【0044】

この場合、 V_{thn1} と V_{thn2} 間に差がある場合、出力電圧 V_{out} はその最適値、すなわち V_{in} から ΔV だけ偏差する。次に、時点t4においてそれぞれスイッチS5、S6はとも

10

20

30

40

50

にOFFとなり、スイッチS8はONとなり、このため出力電圧 V_{out} はソース出力によって同じ階調出力電圧とともに平均化され、最終的に、時間が十分長くなると、 ΔV は小さいため、入力電圧 V_{in} と等しくなる。S8の時間が長くなくても、同じ階調出力を有する各ソース出力はなお平均化される。そして、その最適値からの ΔV は、逆の極性によって相殺される。というのは、逆極性を有するソース出力は、その最適値から同じレベルで偏差しているからである。このように、図4では、S8をONにすることによって出力電圧 V_{out} の精度が向上する。ソース駆動回路は、さらに、第5N-チャンネルMOSトランジスタNT5及び第5P-チャンネルMOSトランジスタPT5を具備し、第5N-チャンネルMOSトランジスタNT5は、そのソースを出力端子に接続し、そのドレインを電源端子に接続し、そのゲートを入力端子に接続しており、第5P-チャンネルMOSトランジスタPT5は、そのソースを出力端子に接続し、そのドレインをアース端子に接続し、そのゲートを入力端子に接続している。第5N-チャンネルMOSトランジスタNT5及び第5P-チャンネルMOSトランジスタPT5は、目標値に近づくための最初の段階で、ソース出力を充電・放電するために使用される。第5N-チャンネルMOSトランジスタNT5及び第5P-チャンネルMOSトランジスタPT5を用いることにより、ソース出力をさらに正確に動作させることができる。

【0045】

図5は図2の駆動回路の動作を示す表である。図5に示す駆動回路の動作手順は、論理回路（図2には図示せず）によって容易に配列することができる。

【0046】

図6は本発明の第2実施例に係るソース駆動回路を示す。図6の構成は実質的に図2の構成と同じである。図2に示す構成と図6に示す構成の主な違いを以下に示す。本発明のソース駆動回路の第2実施例では、第4P-チャンネルMOSトランジスタPT4と第7スイッチS7が必要となる。さらに、第8スイッチS8が、入力端子と第1P-チャンネルMOSトランジスタPT1のソースの間に接続されている。

P-チャンネルMOSトランジスタのソースフォロワは低ガンマ電圧をトレースできないため、低ガンマ電圧をトレースするためにはさらにN-チャンネルMOSトランジスタのソースフォロワが必要である。例えば、 V_0 は最高ガンマ電圧を表し、 V_{63} は最低ガンマ電圧を表す。 V_1 、 V_2 、… V_{62} のガンマ電圧は順に小さくなる。本発明に基づく駆動回路の第2実施例では、ガンマ電圧を三分割する。ガンマ電圧の第I部は V_0 から V_7 の間である。ガンマ電圧の第II部は V_8 から V_{55} の間である。ガンマ電圧の第III部は V_{56} から V_{63} の間である。

【0047】

図7Aから7Fは、第I部における図6の駆動回路の第1の動作を説明するためのタイミングチャートであり、2つのデータ出力期間を示す。スイッチS4は第I部と第II部では常にOFFとなっている。

まず、時点 t_0 では、図7Bに示すように、スイッチS1とS2はともにONとなる。トランジスタPT1とPT2のゲートにおけるバイアス電圧 V_1 は0ボルトである。また、トランジスタNT1とNT2のゲートにおけるバイアス電圧 V_2 は $V_{DD} - V_{thp3}$ ボルトである。

次に、時点 t_1 では、図7B、7C、7Eに示すように、スイッチS1、S2はOFFとなり、スイッチS3、S7はONとなる。さらに、制御信号NPはON状態であり、第1N-チャンネルMOSトランジスタNT1のドレインの電圧を、N-チャンネルMOSトランジスタの閾値電圧とP-チャンネルMOSトランジスタPT4の閾値電圧とを加えた入力電圧のレベルまで昇圧する。そのとき、バイアス電圧 V_2 は

$$V_2 = V_{in} + V_{thn1} + V_{thn4}$$

となる。

【0048】

次に、時点 t_2 では、図7Fに示すように、スイッチS3とS7はOFFとなり、スイッチS9はONとなるので、バイアス電圧 V_1 は

10

20

30

40

50

$$V_1 = V_{in} + V_{thp1}$$

となる。

同時に、スイッチ S 5 は ON となる。この状態では、トランジスタ NT 2 はソースフォロワとして用いられるため、出力電圧 V_{out} は

$$V_{out} = V_{in} + V_{thn1} + V_{thp4} - V_{thn2}$$

となる。

したがって、 V_{thn1} が V_{thn2} とほぼ等しい () 場合、出力電圧 V_{out} は

$$V_{out} = V_{in} + V_{thp4}$$

によって置き換えられる。

ここで、 $(V_{in} + V_{thp4})$ レベルの最大許容電圧は電源電圧であることに留意すべきである。

10

【0049】

次に、時点 t 3 では、図 7 D と 7 G に示すように、スイッチ S 5 は OFF となり、スイッチ S 6 は ON となる。この状態では、トランジスタ PT 2 はソースフォロワとして用いられるため、出力電圧 V_{out} は、 V_{thp2} をトランジスタ PT 2 の閾値電圧とすると、

$$V_{out} = V_{in} + V_{thp1} - V_{thp2}$$

となる。したがって、 V_{thp1} が V_{thp2} とほぼ等しい () 場合、出力電圧 V_{out} は

$$V_{out} = V_{in}$$

によって置き換えられる。

【0050】

20

トランジスタ PT 1 と PT 2 が互いに近接して設けられ、その寸法も互いにほぼ同じである場合、閾値電圧 V_{thp1} は閾値電圧 V_{thp2} とほぼ同じでありえることに留意すべきである。また、一般的な N-ウェル工程において、P-チャンネル MOS トランジスタのソースフォロワは超低ガンマ電圧をトレースできないため、映像データが超低ガンマ電圧を選択したときには、さらにもうひとつ N-チャンネル MOS トランジスタを設け、接地する方がよいことにも留意すべきである。第 4 N-チャンネル MOS トランジスタ NT 4 は、入力電圧 V_{in} がトランジスタ PT 2 の閾値電圧よりも小さいときに出力電圧を接地するために用いられる。時点 t 5 から時点 t 8 までの動作は、時点 t 0 から時点 t 3 の動作を繰り返す。

【0051】

30

図 8 A ~ 8 F は、第 II 部における図 6 の駆動回路の第 2 の動作を説明するためのタイミングチャートである。第 II 部の駆動回路の動作は、図 7 A と 8 A に示すように S 5 が ON である間は、関係 $(V_{in} + V_{thp4})$ を維持することができる点を除き、第 I 部の駆動回路の動作と同様である。

【0052】

図 9 A ~ 9 F は、第 III 部における図 6 の駆動回路の第 3 の動作を説明するためのタイミングチャートである。V 5 6 から V 6 3 の第 III 部のガンマ電圧はより低くなり、P-チャンネル MOS トランジスタのソースフォロワは低ガンマ電圧を正確にトレースできないため、N-チャンネル MOS トランジスタのソースフォロワが低ガンマ電圧をトレースするため主として用いられる。スイッチ S 9 は第 III 部では常に OFF となる。

40

まず、時点 t 0 では、図 9 B に示すように、スイッチ S 1 と S 2 はともに ON となる。トランジスタ PT 1 と PT 2 のゲートのバイアス電圧 V_1 は 0 ボルトである。また、トランジスタ NT 1 と NT 2 のゲートにおけるバイアス電圧 V_2 は $V_{DD} - V_{thp3}$ ボルトである。

【0053】

次に、時点 t 1 では、図 9 B 及び図 9 C に示すように、スイッチ S 1 と S 2 は OFF となり、スイッチ S 3 と S 7 は ON となる。さらに、制御信号 NP は ON 状態であり、第 1 N-チャンネル MOS トランジスタ NT 1 のドレインの電圧を、N-チャンネル MOS トランジスタ NT 1 の閾値電圧と P-チャンネル MOS トランジスタ PT 4 の閾値電圧とを加えた入力電圧のレベルに昇圧する。

50

次に、時点 t_2 では、図 9 D 及び図 9 F に示すように、スイッチ S_4 は ON となり、バイアス電圧 V_1 と V_2 は、

$$V_1 = V_{in} + V_{thp1} - V_{thn3}$$

$$V_2 = V_{in} + V_{thn1}$$

となる。

【0054】

同時に、スイッチ S_6 は ON となる。この状態では、トランジスタ PT 2 はソースフォロワとして用いられるため、出力電圧 V_{out} は、 V_{thp2} をトランジスタ PT 2 の閾値電圧とすると、

$$V_{out} = V_{in} + V_{thp1} - V_{thn3} - V_{thp2}$$

10

となる。

したがって、 V_{thp1} が V_{thp2} とほぼ等しい () 場合、出力電圧 V_{out} は

$$V_{out} = V_{in} - V_{thn3}$$

によって置き換えられる。

トランジスタ PT 1 と PT 2 が互いに近接して設けられ、その寸法も互いにほぼ同じである場合、閾値電圧 V_{thp1} は閾値電圧 V_{thp2} とほぼ同じでありえることに留意すべきである。

【0055】

次に、時点 t_3 では、図 9 G に示すように、スイッチ S_5 は ON となる。この状態では、トランジスタ NT 2 はソースフォロワとして用いられるため、出力電圧 V_{out} は、 V_{thn2} をトランジスタ NT 2 の閾値電圧とすると、

20

$$V_{out} = V_{in} + V_{thn1} - V_{thn2}$$

となる。

したがって、 V_{thn1} が V_{thn2} とほぼ等しい () 場合、出力電圧 V_{out} は

$$V_{out} = V_{in}$$

によって置き換えられる

【0056】

図 10 は図 6 の駆動回路の変容例の回路図を示す。ソース駆動回路はさらに、入力端子と出力端子の間に接続されている第 8 スイッチ S_8 を具備する。第 8 スイッチ S_8 は、図 7 H、8 H、9 H に示すように、ソースフォロワとしてとして用いられる第 2 P-チャンネル MOS トランジスタ PT 2 あるいは第 2 N-チャンネル MOS トランジスタ NT 2 の動作後に ON となる。 V_{out} が V_{in} に近づく際のソースフォロワの駆動能力が乏しいため、スイッチ S_8 を使用することで、正確に最適値 (目的値) に達することができる。スイッチ S_8 を使用する他の理由は、図 4 で説明されている。ソース駆動回路はさらに第 5 N-チャンネル MOS トランジスタ NT 5 と第 5 P-チャンネル MOS トランジスタ PT 5 を具備する。第 5 N-チャンネル MOS トランジスタ NT 5 は、そのソースを出力端子に接続し、そのドレインを電源端子に接続し、そのゲートを入力端子に接続している。第 5 P-チャンネル MOS トランジスタ PT 5 は、そのソースを出力端子に接続し、そのドレインをアース端子に接続し、そのゲートを入力端子に接続している。第 5 N-チャンネル MOS トランジスタと第 5 P-チャンネル MOS トランジスタは、より正確な出力電圧を得るために使用される。

30

40

図 11 は図 6 の駆動回路の動作を示す表である。駆動回路の動作は第 I、II、III 部によって異なるが、図 7 - 図 9 に示すように、駆動回路の動作は、論理回路 (図示せず) によりさらに容易に配列することができる。すなわち、第 I、II、III 部における S_5 と S_6 または S_4 と S_8 の間のスイッチは、マルチプレクサによって容易に実現できる。

【0057】

このように、第 2 実施例では、出力電圧 V_{out} を入力電圧 V_{in} と等しくすることができ、ソースフォロワとしてのトランジスタ NT 2 とソースフォロワとしてのトランジスタ PT 2 を組み合わせることによって高電流供給機能を達成することができる。

【0058】

50

上記した実施例において、P－チャンネルMOSトランジスタはゲート絶縁型の他のP－チャンネルトランジスタであってもよく、N－チャンネルMOSトランジスタはゲート絶縁型の他のN－チャンネルトランジスタであってもよい。

【0059】

以上説明してきたように、本発明によると、駆動回路は多数の要素を有する動作増幅器を具備せず、また、LCDに適用される本発明に係る新規の駆動回路の回路設計はウエハーIC工程を十分に使用できるので、駆動回路のチップサイズを小さくすることができ、製造コストのみならず電力消費も低減できる。

本発明を、好ましい実施例に参照して説明してきたが、多くの他の可能な変容例や変形例が、以下に請求する本発明の要旨及び範囲から逸脱することなくなしうることは理解で

10

【図面の簡単な説明】

【0060】

【図1】 先行技術であるLCD駆動回路を例示する回路図である。

【図2】 本発明に係る駆動回路の第1実施例を例示する回路図である。

【図3】 A～Hは図2および図4に示す駆動回路の動作を説明するためのタイミングチャートである。

【図4】 図2に示す駆動回路の変容例の回路図である。

【図5】 図2に示す駆動回路の動作を示す表である。

【図6】 本発明に係る駆動回路の第2実施例を例示する回路図である。

20

【図7】 A～Iは図6に示す駆動回路の第1動作を説明するためのタイミングチャートである。

【図8】 A～Iは図6に示す駆動回路の第2動作を説明するためのタイミングチャートである。

【図9】 A～Iは図6に示す駆動回路の第3動作を説明するためのタイミングチャートである。

【図10】 図6に示す駆動回路の変容例の回路図である。

【図11】 図6の駆動回路の動作を示す表である。

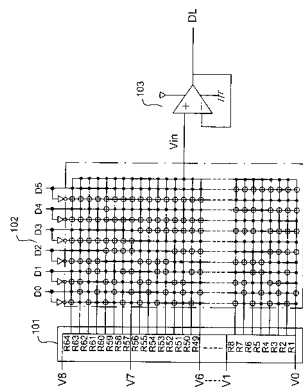
【符号の説明】

【0061】

30

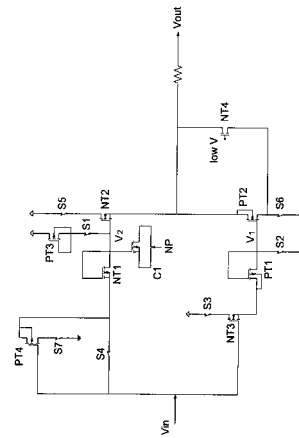
101 分圧器
102 デコーダ
103 駆動回路
DL データ線

【図 1】

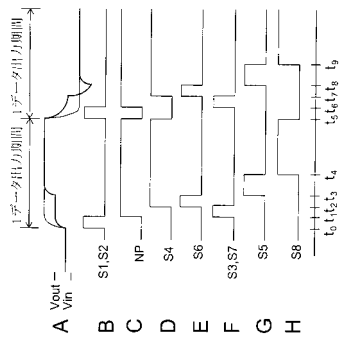


従来技術

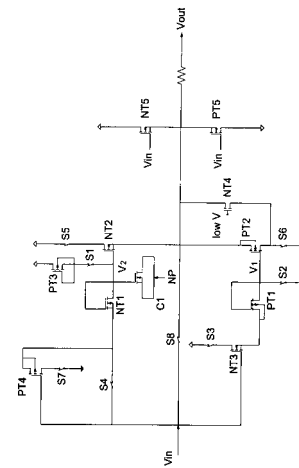
【図 2】



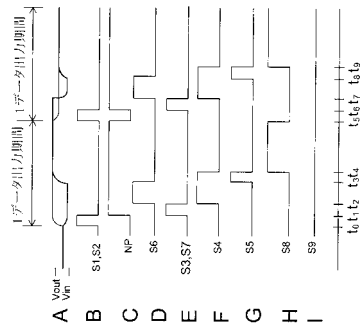
【図 3】



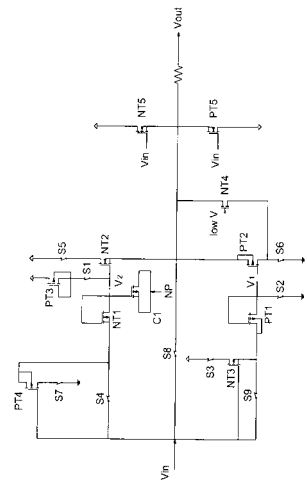
【図 4】



【図 9】



【図 10】



【図 11】

S1	S2	NP	S3(S7)	S4	S5	S6	S8
ON	ON	Low	OFF	OFF	OFF	OFF	OFF
OFF	OFF	High	ON	OFF	OFF	OFF	OFF
OFF	OFF	High	OFF	ON	ON	ON	OFF
OFF	OFF	High	OFF	ON	OFF	ON	OFF
OFF	OFF	High	OFF	OFF	OFF	OFF	ON

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 C
H 0 3 K 17/687 A

(56)参考文献 特開2003-022055 (JP, A)
特開2000-338461 (JP, A)
特開平11-119750 (JP, A)
特開2004-096702 (JP, A)
国際公開第2004/042691 (WO, A1)
特開2002-055645 (JP, A)
特開平09-230828 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G09G3/00-3/08,3/12-3/26,3/30-3/38
G02F1/133
H03K17/00-17/70

专利名称(译)	液晶显示装置中的源极驱动电路		
公开(公告)号	JP3988163B2	公开(公告)日	2007-10-10
申请号	JP2003185966	申请日	2003-06-27
[标]申请(专利权)人(译)	奇景光电股份有限公司		
申请(专利权)人(译)	奇景光电股▲ふん▼有限公司		
当前申请(专利权)人(译)	奇景光电股▲ふん▼有限公司		
[标]发明人	邱明正		
发明人	邱 明正		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H03K17/687		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.621.L G09G3/20.623.B G09G3/20.641.C H03K17/687.A		
F-TERM分类号	2H093/NA16 2H093/NA51 2H093/NC11 2H093/ND39 2H193/ZD21 5C006/AA16 5C006/AC21 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF64 5C006/AF71 5C006/AF84 5C006/BB16 5C006/BC11 5C006/BC20 5C006/BF25 5C006/BF46 5C006/EB04 5C006/EB05 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/DD27 5C080/DD28 5C080/FF11 5C080/JJ03 5C080/JJ04 5J055/AX12 5J055/AX28 5J055/AX44 5J055/BX16 5J055/CX30 5J055/DX01 5J055/DX13 5J055/DX14 5J055/DX22 5J055/DX44 5J055/DX53 5J055/DX54 5J055/DX61 5J055/DX82 5J055/EX07 5J055/EX21 5J055/EY01 5J055/EY10 5J055/EY21 5J055/EZ20 5J055/EZ24 5J055/EZ54 5J055/FX12 5J055/FX18 5J055/GX00 5J055/GX01 5J055/GX04 5J055/GX05		
代理人(译)	大田章男		
其他公开文献	JP2005017958A		
外部链接	Espacenet		

摘要(译)

要解决的问题：公开一种源驱动电路，其通过在液晶显示装置中接收输入电压来产生用于驱动数据线的输出电压。ΣSOLUTION：在源极驱动电路中，第一和第二P沟道MOS晶体管配合作为跟踪输入电压的初级侧源电源跟随器，并且可以消除体积效应以保持负载电荷损耗恒定。然后，第一和第二N沟道MOS晶体管用作次级侧源极跟随器。电容器将第一N沟道MOS晶体管的漏极电压升高至至少达到通过将N沟道MOS晶体管的阈值电压加到输入电压所获得的电平。此外，当输出电压接近输入电压时，使用用于获得精确输出电压的特殊开关。Ž

