

(11)特許出願公開番号

特開2009-145485

(P2009-145485A)

(43) 公開日 平成21年7月2日(2009.7.2)

(51) Int.Cl.

F I

テーマコード (参考)

G O 9 G 3/36 (2006.01)

G O 9 G 3/36

2H093

G O 9 G 3/20 (2006.01)

G09G 3/20 670G

5C006

GO2F 1/133 (2006.01)

G O 9 G 3/20 6 2 1 K

5C080

G09G 3/20 631V

G O 9 G 3/20 6 7 O N

審査請求 有 請求項の数 7 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2007-321031 (P2007-321031)

(22) 出願日 平成19年12月12日 (2007.12.12)

(71) 出願人 308033711

OKIセミコンダクタ株式会社

東京都八王子市東浅川町550番地1

(74) 代理人 100079119

弁理士 藤村 元彦

(74) 代理人 100109036

弁理士 永岡 重幸

(74) 代理人 100147728

弁理士 高野 信司

(72) 発明者 遊佐 敦史

東京都港区虎ノ門1丁目7番12号 沖電

気工業株式会社内

Fターム(参考) 2H093 NA16 NC10 NC12 NC21 NC28

NC50 NC59 NC90 ND46 ND60

[最終頁に続く](#)

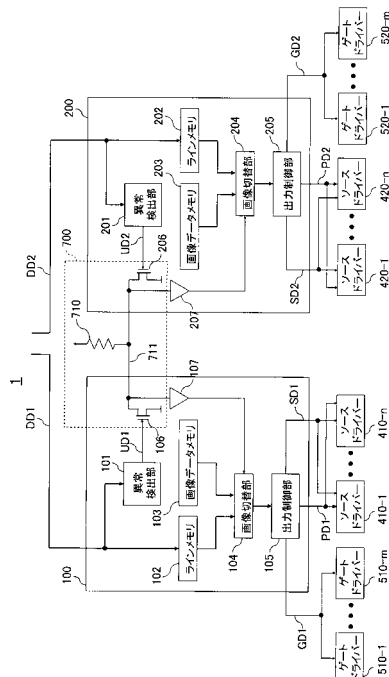
(54) 【発明の名称】 液晶パネル駆動装置

(57) 【要約】

【課題】複数のタイミングコントローラの各々が異常な表示データ信号を受け取った場合でも、液晶パネルを損傷することなく正常な表示を実現することができる液晶パネル駆動装置を提供する。

【解決手段】液晶パネル駆動装置に含まれるタイミングコントローラの各々が、表示データ信号の異常を検出して生成した異常検出信号を、異常検出ラインを介して他のタイミングコントローラに伝達すると共に、該異常検出信号に応じて画像データメモリに記憶されている異常時画像データを出力する。

【選択図】図 1



【特許請求の範囲】**【請求項 1】**

外部からの表示データ信号に含まれる画像データを記憶するラインメモリと前記ラインメモリに記憶されている画像データ及び前記表示データ信号に基づく駆動信号を液晶パネル駆動ドライバに与える出力制御部とを各々が含む複数のタイミングコントローラを含む液晶パネル駆動装置であって、

前記タイミングコントローラの各々は、

前記表示データ信号の異常を検出した場合に異常検出信号を出力する異常検出部と、

前記異常検出信号を他のタイミングコントローラに伝達する異常検出信号伝達部と、

異常時画像データを記憶する画像データメモリと、

前記異常検出信号に応じて前記ラインメモリに記憶されている画像データに代えて前記画像データメモリに記憶されている異常時画像データを前記出力制御部に与える画像切替部と、を含むことを特徴とする液晶パネル駆動装置。

10

【請求項 2】

前記異常検出信号伝達部は、前記異常検出信号を受け入れるゲート入力と、プルアップ抵抗に接続されている異常検出ラインを介して前記異常検出信号を他のタイミング制御部に伝達するドレイン出力と、基準電位に接続されているソース接地と、からなるオープンドレイン出力回路であることを特徴とする請求項 1 に記載の液晶パネル駆動装置。

【請求項 3】

前記タイミングコントローラの 1 に含まれるオープンドレイン出力回路のドレイン出力と、前記タイミングコントローラの別の 1 に含まれるオープンドレイン出力回路のドレイン出力とは、前記プルアップ抵抗に接続されている異常検出ラインを介して相互に接続されていることを特徴とする請求項 2 に記載の液晶パネル駆動装置。

20

【請求項 4】

前記出力制御部は、前記表示データ信号に含まれるクロック信号に同期して前記画像データを前記液晶パネル駆動ドライバに与え、

前記異常検出信号は、前記クロック信号の異常検出を表すクロック異常検出信号と、当該同期の異常検出を表す同期異常検出信号とからなり、

前記画像切替部は、前記クロック異常検出信号及び同期異常検出信号の両方若しくは一方に応じて前記異常時画像データを前記出力制御部に与えることを特徴とする請求項 1 に記載の液晶パネル駆動装置。

30

【請求項 5】

前記タイミングコントローラの各々は、前記クロック異常検出信号に応じて前記表示データ信号に含まれるクロック信号に代えて内部クロック信号を選択するクロック切替え部を含み、

前記出力制御部は、前記内部クロック信号に同期して前記異常時画像データを前記液晶パネル駆動ドライバに与えることを特徴とする請求項 4 に記載の液晶パネル駆動装置。

【請求項 6】

前記画像切替部は、スタート信号を生成するスタート信号生成手段と、前記スタート信号を自身が属するタイミングコントローラとは異なる他のタイミングコントローラに伝達するスタート信号伝達手段と、を含み、

40

前記出力制御部は、前記スタート信号に応じて前記液晶パネル駆動ドライバへの前記画像データの供給を開始することを特徴とする請求項 1 に記載の液晶パネル駆動装置。

【請求項 7】

自身が属するタイミングコントローラに含まれる画像切替部が生成したスタート信号と、当該タイミングコントローラとは異なる他のタイミング制御部からのスタート信号とのいずれか 1 つを選択するセレクタとを含み、

前記出力制御部は、前記セレクタによって選択されたスタート信号に応じて前記画像データの供給を開始することを特徴とする請求項 6 に記載の液晶パネル駆動装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、複数のタイミングコントローラにより液晶パネルを駆動する液晶パネル駆動装置に関する。

【背景技術】

【0002】

液晶パネルにおいて高解像度の表示を行う場合に、表示データ信号の転送速度を低下させつつ、多くの表示データ信号を転送できるように、複数のタイミングコントローラを用いて液晶パネルを駆動する液晶パネル駆動装置が知られている。図4は液晶パネル及びこれを駆動する液晶パネル駆動装置を表す図である。グラフィックプロセッサ300が、表示データ信号DD1をタイミングコントローラ100に、表示データ信号DD2をタイミングコントローラ200に、それぞれ供給する。タイミングコントローラ100は、表示データ信号DD1に基づくソースドライバ制御信号SD1及び画像データ信号PD1をソースドライバ410-1~410-n(nは正整数)の各々に供給する。また、タイミングコントローラ100は、表示データ信号DD1に基づくゲートドライバ制御信号GD1をゲートドライバ510-1~510-m(mは正整数)の各々に供給する。ソースドライバ410-1~410-n及びゲートドライバ510-1~510-mの各々は、タイミングコントローラ100から受け取ったソースドライバ制御信号SD1、画像データ信号PD1及びゲートドライバ制御信号GD1に応じて液晶パネル600を駆動する。タイミングコントローラ200、ソースドライバ420-1~420-n及びゲートドライバ520-1~520-mの各々も、上記したのと同様に動作する。

【0003】

図4に示される如き構成の場合には、通常、タイミングコントローラ100とタイミングコントローラ200とは、それぞれ独立して動作する。また、タイミングコントローラ100は、表示データ信号DD1が異常である場合に液晶パネル保護のために、異常時表示を行う機能を有し、タイミングコントローラ200も同様に表示データ信号DD2が異常である場合に異常時表示を行う機能を有する場合がある。このとき、例えば表示データ信号DD1のみに異常が生じた場合、タイミングコントローラ100による異常時表示と、タイミングコントローラ200による正常表示とが混在して表示されてしまう。また、タイミングコントローラ100によるゲートドライバ510-1~510-mの制御タイミングと、タイミングコントローラ200によるゲートドライバ520-1~520-mの制御タイミングとが異なる場合には、ゲートドライバ510-1~510-m、520-1~520-mや液晶パネル600を破壊してしまう可能性がある。

【0004】

例えば特許文献1には、複数のタイミングコントローラを用いた表示パネルの駆動方法が開示されている。ここでは、一方のタイミングコントローラが表示制御の異常を検出したとき、当該検出の結果を他方のタイミングコントローラに通知し、該他方のタイミングコントローラが、該一方のタイミングコントローラへ正常な画像信号やクロック信号を送信することにより、表示制御を正常に行い、表示パネルの劣化を防止することができるとしている。

【特許文献1】特開2006-243565号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1には、複数のタイミングコントローラの各々が、同時に異常な表示データ信号を受け取った場合についての言及が無く、また、これに対処するための具体的な回路構成が示されていない。また、特許文献1には、例えば、一方のタイミングコントローラにクロック信号が消失した表示データ信号が入力され、他方のタイミングコントローラに同期信号が消失した表示データ信号が入力されるなどの、タイミングコントローラ間で異なる異常表示データ信号が入力された場合への対処が示されていない。これ

らのことから、特許文献１に開示されている表示パネルの駆動方法では、複数のタイミングコントローラの各々が同時に異常な表示データ信号を受け取った場合、異常時表示と正常表示とが混在して表示されてしまうという問題点があった。加えて、特許文献１では、複数のタイミングコントローラ間での画像表示のタイミング合わせに関しても触れられておらず、ここに開示される表示パネルの駆動方法では、タイミングコントローラ間のゲートドライバー制御タイミングのズレに起因して液晶パネルが損傷してしまうという問題点があった。

【０００６】

本発明は上記した如き問題点に鑑みてなされたものであって、複数のタイミングコントローラの各々が異常な表示データ信号を受け取った場合でも、液晶パネルを損傷することなく正常な表示を実現することができる液晶パネル駆動装置を提供することを目的とする。

10

【課題を解決するための手段】

【０００７】

本発明による液晶パネル駆動装置は、外部からの表示データ信号に含まれる画像データを記憶するラインメモリと前記ラインメモリに記憶されている画像データ及び前記表示データ信号に基づく駆動信号を液晶パネル駆動ドライバに与える出力制御部とを各々が含む複数のタイミングコントローラを含む液晶パネル駆動装置であって、前記タイミングコントローラの各々は、前記表示データ信号の異常を検出した場合に異常検出信号を出力する異常検出部と、前記異常検出信号を他のタイミングコントローラに伝達する異常検出信号伝達部と、異常時画像データを記憶する画像データメモリと、前記異常検出信号に応じて前記ラインメモリに記憶されている画像データに代えて前記画像データメモリに記憶されている異常時画像データを前記出力制御部に与える画像切替部と、を含むことを特徴とする。

20

【発明を実施するための最良の形態】

【０００８】

以下、本発明に係る実施例について添付の図面を参照しつつ詳細に説明する。

< 第１の実施例 >

図１は本発明による液晶パネル駆動装置１を表すブロック図である。液晶パネル駆動装置１は、液晶パネル（図示せず）を駆動するための装置であり、タイミングコントローラ１００及び２００、ソースドライバー４１０－１～４１０－ n 及び４２０－１～４２０－ n （ n は正整数）、ゲートドライバー５１０－１～５１０－ m 及び５２０－１～５２０－ m （ m は正整数）を含む。

30

【０００９】

タイミングコントローラ１００は、グラフィックプロセッサ（図示せず）からの表示データ信号ＤＤ１を受け取り、これに基づいて生成して得られたソースドライバー制御信号ＳＤ１及び画像データ信号ＰＤ１をソースドライバー４１０－１～４１０－ n の各々に与え、同じく表示データ信号ＤＤ１に基づいて生成して得られたゲートドライバー制御信号ＧＤ１をゲートドライバー５１０－１～５１０－ m の各々に与える。

【００１０】

40

ソースドライバー４１０－１～４１０－ n の各々は、液晶パネル駆動ドライバであって、タイミングコントローラ１００からのソースドライバー制御信号ＳＤ１及び画像データ信号ＰＤ１に基づいて図示せぬ液晶パネルを駆動する。ゲートドライバー５１０－１～５１０－ m の各々も、液晶パネル駆動ドライバであって、タイミングコントローラ１００からのゲートドライバー制御信号ＧＤ１に基づいて液晶パネルを駆動する。

【００１１】

タイミングコントローラ１００は、異常検出部１０１と、ラインメモリ１０２と、画像データメモリ１０３と、画像切替部１０４と、出力制御部１０５と、異常検出信号伝達部７００の一部であるオープンドレイン出力回路１０６と、バッファ１０７と、を含む。

【００１２】

50

異常検出部 101 は、図示せぬグラフィックプロセッサからの表示データ信号 DD1 を受け取り、表示データ信号 DD1 の異常を検出する。異常検出部 101 は、例えば、本来、表示データ信号 DD1 に含まれているはずのクロック信号や同期信号が消失していた場合などに、表示データ信号 DD1 が異常であると判断する。異常検出部 101 は、表示データ信号 DD1 の異常を検出した場合に、異常検出信号 UD1 を出力する。ここでは、異常検出部 101 は、正常時、すなわち、表示データ信号 DD1 の異常を検出していない場合、ローレベルの信号を出力しているものとする。また、異常検出部 101 は、異常検出時、ハイレベルの異常検出信号 UD1 を出力するものとする。

【0013】

ラインメモリ 102 は、グラフィックプロセッサからの表示データ信号 DD1 を受け取り、これに含まれる画像データを記憶する。

10

【0014】

画像データメモリ 103 は、表示データ信号 DD1 及び / 又は DD2 に異常が発生した場合に、図示せぬ液晶パネルに表示するための画像を表す異常時画像データを記憶する。

【0015】

画像切替部 104 は、正常時、すなわち、異常検出信号 UD1 が発せられていない場合、ラインメモリ 102 に記憶されている画像データを出力制御部 105 に与える。また、画像切替部 104 は、異常検出信号 UD1 に応じて、ラインメモリ 102 に記憶されている画像データに代えて、画像データメモリ 103 に記憶されている異常時画像データを出力制御部 105 に与える。ここでは、画像切替部 104 は、自身の切り替え制御入力端子（図示せず）にハイレベルの信号が入力されている場合に、ラインメモリ 102 に記憶されている画像データを出力制御部 105 に与え、切り替え制御入力端子にローレベルの信号が入力されている場合に、画像データメモリ 103 に記憶されている異常時画像データを出力制御部 105 に与えるものとする。

20

【0016】

出力制御部 105 は、画像切替部 104 からの正常時の画像データ若しくは異常時画像データに基づいて生成して得られたソースドライバ制御信号 SD1 及び画像データ信号 PD1 をソースドライバ 410 - 1 ~ 410 - n の各々に与えると共に、ゲートドライバ制御信号 GD1 をゲートドライバ 510 - 1 ~ 510 - m の各々に与える。

【0017】

オープンドレイン出力回路 106 のゲート入力、異常検出部 101 の出力に接続されており、異常検出部 101 からの異常検出信号 UD1 を受け入れる。正常時、ゲート入力には、異常検出部 101 からのローレベルの信号が入力されており、ドレイン - ソース間が電氣的に疎通していない。異常時には、ゲート入力にハイレベルの異常検出信号 UD1 が入力され、ドレイン - ソース間が電氣的に疎通する。また、オープンドレイン出力回路 106 のソース接地は、基準電位 (GND) に接続されている。

30

【0018】

オープンドレイン出力回路 106 のドレイン出力は、プルアップ抵抗 710 に接続されている異常検出ライン 711 の一端に接続されている。プルアップ抵抗 710 は、タイミングコントローラ 100 が搭載されている基板上に配置され、一端が異常検出ライン 711 上に接続され、他端が該基板のハイレベル電位の電源層に接続されている。異常検出ライン 711 の他端はタイミングコントローラ 200 に含まれているオープンドレイン出力回路 206 のドレイン出力に接続されている。また、オープンドレイン出力回路 106 のドレイン出力は、バッファ 107 を介して画像切替部 104 の切り替え制御入力端子に接続されている。

40

【0019】

タイミングコントローラ 200 も、タイミングコントローラ 100 と同様の構成であり、同様の処理を行う。また、ソースドライバ 420 - 1 ~ 420 - n 及びゲートドライバ 520 - 1 ~ 520 - m も、上記したのと同様の処理を行う。

【0020】

50

以下に、グラフィックプロセッサからの表示データ信号DD1に異常があり且つ表示データ信号DD2が正常である場合の液晶パネル駆動装置1の動作について説明する。

【0021】

先ず、異常検出部101が、表示データ信号DD1に異常がないと判別している場合には、オープンドレイン出力回路106のゲート入力にローレベルの信号が入力されており、オープンドレイン出力回路106のドレイン・ソース間は電氣的に疎通していない。異常検出部201は、表示データ信号DD2が正常であると判別しており、オープンドレイン出力回路206のゲート入力にローレベルの信号が入力され、オープンドレイン出力回路206のドレイン・ソース間は電氣的に疎通していない。この場合、プルアップ抵抗710がハイレベルの電位に接続されていることから、ハイレベルの信号が、画像切替部104及び204の双方の切り替え制御入力端子に供給されている。

10

【0022】

異常検出部101は、表示データ信号DD1の異常を検出した場合、ハイレベルの異常検出信号UD1を発する。異常検出信号UD1はオープンドレイン出力回路106のゲート入力に入力され、オープンドレイン出力回路106のドレイン・ソース間が電氣的に疎通する。ソース接地が基準電位に接続されていることから、ローレベルの信号がバッファ107を介して画像切替部104の切り替え制御入力端子に供給されると共に、異常検出ライン711及びバッファ207を介して画像切替部204の切り替え制御入力端子に供給される。一方、異常検出部201は、継続して表示データ信号DD2が正常であると判別しており、ハイレベルの異常検出信号UD2を発しないため、オープンドレイン出力回路206のドレイン・ソース間は電氣的に疎通していない。

20

【0023】

画像切替部104は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ102に記憶されている画像データに代えて、画像データメモリ103に記憶されている異常時画像データを出力制御部105に与える。同様に画像切替部204は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ202に記憶されている画像データに代えて、画像データメモリ203に記憶されている異常時画像データを出力制御部205に与える。

【0024】

出力制御部105は、画像切替部104からの異常時画像データに基づいて生成して得られたソースドライバ制御信号SD1及び異常時の画像データ信号PD1をソースドライバ410-1~410-nの各々に与えると共に、ゲートドライバ制御信号GD1をゲートドライバ510-1~510-mの各々に与える。出力制御部205も出力制御部105と同様の処理を行う。

30

【0025】

上記した処理により、タイミングコントローラ100への表示データ信号DD1にのみ異常があった場合においても、タイミングコントローラ100及び200の双方が、異常時の画像データ信号を出力するするため、異常時表示と正常表示とが混在して表示されるという従来技術における問題を解消して、液晶パネルを損傷することなく正常な表示を実現することができる。

40

【0026】

次に、グラフィックプロセッサからの表示データ信号DD1及びDD2の双方に異常があった場合の液晶パネル駆動装置1の動作について説明する。この場合、異常検出部101は、表示データ信号DD1の異常を検出して、ハイレベルの異常検出信号UD1を発し、異常検出部201は、表示データ信号DD2の異常を検出して、ハイレベルの異常検出信号UD2を発する。これにより、オープンドレイン出力回路106及び206の双方のドレイン・ソース間が電氣的に疎通する。この場合、ローレベルの信号が、バッファ107を介して画像切替部104の切り替え制御入力端子に供給されると共に、バッファ207を介して画像切替部204の切り替え制御入力端子に供給される。

【0027】

50

画像切替部 104 は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ 102 に記憶されている画像データに代えて、画像データメモリ 103 に記憶されている異常時画像データを出力制御部 105 に与える。同様に画像切替部 204 は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ 202 に記憶されている画像データに代えて、画像データメモリ 203 に記憶されている異常時画像データを出力制御部 205 に与える。出力制御部 105 及び 205 は上述したのと同様に動作する。

【0028】

上記した処理により、タイミングコントローラ 100 への表示データ信号 DD1 及びタイミングコントローラ 200 への表示データ信号 DD2 の双方に異常があった場合においても、タイミングコントローラ 100 及び 200 の双方が、異常時の画像データ信号を出力するため、異常時表示と正常表示とが混在して表示されるという従来技術における問題を解消して、液晶パネルを損傷することなく正常な表示を実現することができる。

10

【0029】

また、タイミングコントローラ 100 と 200 とを 1 本の異常検出ライン 711 で接続し、タイミングコントローラ 100 及び 200 が搭載されている基板上に、異常検出ライン 711 に接続されたプルアップ抵抗を搭載するのみで、異常検出信号伝達部 700 を構成できるため、該基板上の面積の増大及びコストの増加を最小限に抑えつつ正常な表示を実現することができる。

20

< 第 2 の実施例 >

図 2 は液晶パネル駆動装置 2 を表すブロック図である。以下、第 1 の実施例と異なる点を主として説明する。

【0030】

異常検出部 101 は、グラフィックプロセッサからの表示データ信号 DD1 を受け取り、表示データ信号 DD1 に含まれるクロック信号及び同期信号の異常を検出する。異常検出部 101 は、クロック信号の異常を検出した場合にハイレベルのクロック異常検出信号 CS1 を出力する。また、異常検出部 101 は、同期信号の異常を検出した場合にハイレベルの同期異常検出信号 SS1 を出力する。なお、異常検出部 101 は、正常時、すなわち、表示データ信号 DD1 の異常を検出していない場合、ローレベルの信号を出力している。

30

【0031】

オープンドレイン出力回路 106 のゲート入力は、異常検出部 101 の出力に接続されており、異常検出部 101 からのクロック異常検出信号 CS1 を受け入れる。正常時、ゲート入力には、異常検出部 101 からのローレベルの信号が入力されており、ドレイン - ソース間が電氣的に疎通していない。異常時には、ゲート入力にハイレベルのクロック異常検出信号 CS1 が入力され、ドレイン - ソース間が電氣的に疎通する。また、オープンドレイン出力回路 106 のソース接地は、基準電位 (GND) に接続されている。

【0032】

オープンドレイン出力回路 106 のドレイン出力は、プルアップ抵抗 720 に接続されているクロック異常検出ライン 721 の一端に接続されている。プルアップ抵抗 720 は、タイミングコントローラ 100 が搭載されている基板上に配置され、一端がクロック異常検出ライン 721 上に接続され、他端が該基板のハイレベル電位の電源層に接続されている。クロック異常検出ライン 721 の他端はタイミングコントローラ 200 に含まれているオープンドレイン出力回路 206 のドレイン出力に接続されている。オープンドレイン出力回路 106 のドレイン出力は、バッファ 107 を介して AND 回路 110 の入力に接続されている。また、オープンドレイン出力回路 106 のドレイン出力は、バッファ 107 を介してクロック切替部 111 に接続されている。

40

【0033】

オープンドレイン出力回路 108 のゲート入力は、異常検出部 101 の出力に接続されており、異常検出部 101 からの同期異常検出信号 SS1 を受け入れる。正常時、ゲート

50

入力には、異常検出部 101 からのローレベルの信号が入力されており、ドレイン - ソース間が電氣的に疎通していない。異常時には、ゲート入力にハイレベルの同期異常検出信号 SS1 が入力され、ドレイン - ソース間が電氣的に疎通する。また、オープンドレイン出力回路 108 のソース接地は、基準電位 (GND) に接続されている。

【0034】

オープンドレイン出力回路 108 のドレイン出力は、プルアップ抵抗 730 に接続されている同期異常検出ライン 731 の一端に接続されている。プルアップ抵抗 730 は、タイミングコントローラ 100 が搭載されている基板上に配置され、一端が同期異常検出ライン 731 上に接続され、他端が該基板のハイレベル電位の電源層に接続されている。同期異常検出ライン 731 の他端はタイミングコントローラ 200 に含まれているオープン
10
ドレイン出力回路 208 のドレイン出力に接続されている。また、オープンドレイン出力回路 108 のドレイン出力は、バッファ 109 を介して AND 回路 110 の入力に接続されている。

【0035】

AND 回路 110 の一方の入力は、バッファ 107 の出力に接続され、他方の入力はバッファ 109 の出力に接続されている。AND 回路 110 の出力は画像切替部 104 の切り替え制御入力端子に接続されている。

【0036】

クロック切替部 111 は、内部クロックを生成する内部クロック生成手段を有し、クロック異常検出信号 CS1 に応じて、表示データ信号 DD1 に含まれるクロック信号に代えて内部クロック信号を選択し、これを出力制御部 105 に与える。ここでは、クロック切
20
替部 111 は、バッファ 107 からのローレベルの信号入力に
20
応じて、内部クロック信号を選択するものとする。

【0037】

出力制御部 105 は、正常時には、表示データ信号 DD1 に含まれるクロック信号に同期して、ソースドライバ制御信号 SD1、画像データ信号 PD1 をソースドライバ 410 - 1 ~ 410 - n に、ゲートドライバ制御信号 GD1 をゲートドライバ 510 - 1 ~ 510 - m に与えている。出力制御部 105 は、異常時には、表内部クロックに同期して、これらの信号をソースドライバ 410 - 1 ~ 410 - n 及びゲートドライバ 510 - 1 ~ 510 - m に与える。
30

【0038】

タイミングコントローラ 200 も、タイミングコントローラ 100 と同様の構成であり、同様の処理を行う。

【0039】

グラフィックプロセッサからの表示データ信号 DD1 に含まれている同期信号に異常があり且つクロック信号が正常である場合、液晶パネル駆動装置 2 は以下のように動作する。

【0040】

異常検出部 101 は、表示データ信号 DD1 の同期異常を検出して、ハイレベルの同期異常検出信号 SS1 を発する。同期異常検出信号 SS1 はオープンドレイン出力回路 108 のゲート入力に入力され、オープンドレイン出力回路 108 のドレイン - ソース間が電氣的に疎通する。ソース接地が基準電位に接続されていることから、ローレベルの信号がバッファ 109 を介して AND 回路 110 の一方の入力に供給されると共に、同期異常検出ライン 731 及びバッファ 209 を介して AND 回路 210 の一方の入力に供給される。
40

【0041】

異常検出部 101 は、表示データ信号 DD1 に含まれているクロック信号については正常であると判断し、ハイレベルのクロック異常検出信号 CS1 を発しないため、オープンドレイン出力回路 106 のドレイン - ソース間は電氣的に疎通していない。このとき、プルアップ抵抗 720 の一端がハイレベル電位の電源層に接続されていることから、AND
50

回路 1 1 0 の他方の入力にはバッファ 1 0 7 を介してハイレベルの信号が入力されると共に、AND 回路 2 1 0 の他方の入力にはバッファ 2 0 7 を介してハイレベルの信号が入力される。

【 0 0 4 2 】

また、クロック切替部 1 1 1 は、バッファ 1 0 7 からのハイレベルの信号入力に応じて表示データ信号 D D 1 に含まれるクロック信号を選択し、これを出力制御部 1 0 5 に与える。同様にクロック切替部 2 1 1 は、バッファ 2 0 7 からのハイレベルの信号入力に応じて表示データ信号 D D 2 に含まれるクロック信号を選択し、これを出力制御部 2 0 5 に与える。

【 0 0 4 3 】

AND 回路 1 1 0 の一方の入力にはバッファ 1 0 7 からのハイレベルの信号が入力され、他方の入力にはバッファ 1 0 9 からのローレベルの信号が入力されるため、AND 回路 1 1 0 の出力はローレベルの信号を画像切替部 1 0 4 に与える。同様に AND 回路 2 1 0 の出力はローレベルの信号を画像切替部 2 0 4 に与える。

【 0 0 4 4 】

画像切替部 1 0 4 は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ 1 0 2 に記憶されている画像データに代えて、画像データメモリ 1 0 3 に記憶されている異常時画像データを出力制御部 1 0 5 に与える。同様に画像切替部 2 0 4 は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、ラインメモリ 2 0 2 に記憶されている画像データに代えて、画像データメモリ 2 0 3 に記憶されている異常時画像データを出力制御部 2 0 5 に与える。

【 0 0 4 5 】

出力制御部 1 0 5 は、表示データ信号 D D 1 に含まれているクロック信号に同期して、ソースドライバ制御信号 S D 1 及び異常時の画像データ信号 P D 1 をソースドライバ 4 1 0 - 1 ~ 4 1 0 - n の各々に与えると共に、ゲートドライバ制御信号 G D 1 をゲートドライバ 5 1 0 - 1 ~ 5 1 0 - m の各々に与える。出力制御部 2 0 5 も出力制御部 1 0 5 と同様の処理を行う。

【 0 0 4 6 】

上記した処理により、タイミングコントローラ 1 0 0 は、表示データ信号 D D 1 に含まれている同期信号が異常でありクロック信号が正常である場合には、表示データ信号 D D 1 に含まれているクロック信号に同期して異常時の画像データ信号 P D 1 を出力することができる。同期信号の異常は、同期異常検出ラインを介してタイミングコントローラ 2 0 0 に伝達されるため、タイミングコントローラ 2 0 0 も表示データ信号 D D 2 に含まれているクロック信号に同期して異常時の画像データ信号 P D 2 を出力することができる。

【 0 0 4 7 】

次にグラフィックプロセッサからの表示データ信号 D D 1 に含まれているクロック信号に異常があり、同期信号は正常若しくは異常である場合、液晶パネル駆動装置 2 は以下のように動作する。

【 0 0 4 8 】

異常検出部 1 0 1 は、表示データ信号 D D 1 のクロック異常を検出して、ハイレベルのクロック異常検出信号 C S 1 を発する。クロック異常検出信号 C S 1 はオープンドレイン出力回路 1 0 6 のゲート入力に入力され、オープンドレイン出力回路 1 0 6 のドレイン - ソース間が電氣的に疎通する。ソース接地が基準電位に接続されていることから、ローレベルの信号がバッファ 1 0 7 を介して AND 回路 1 1 0 の一方の入力に供給されると共に、同期異常検出ライン 7 2 1 及びバッファ 2 0 7 を介して AND 回路 2 1 0 の一方の入力に供給される。異常検出部 1 0 1 は、同期信号に関して正常若しくは異常の判断を下し、AND 回路 1 1 0 の他方の入力にはバッファ 1 0 9 を介してハイレベル若しくはローレベルの信号が入力されると共に、AND 回路 2 1 0 の他方の入力にはバッファ 2 0 9 を介してハイレベル若しくはローレベルの信号が入力される。

【 0 0 4 9 】

また、クロック切替部 1 1 1 は、バッファ 1 0 7 からのローレベルの信号入力に応じて内部クロック信号を選択し、これを出力制御部 1 0 5 に与える。同様にクロック切替部 2 1 1 は、バッファ 2 0 7 からのローレベルの信号入力に応じて内部クロック信号を選択し、これを出力制御部 2 0 5 に与える。

【 0 0 5 0 】

A N D 回路 1 1 0 の一方の入力にはバッファ 1 0 7 からのローレベルの信号が入力されるため、A N D 回路 1 1 0 の出力はローレベルの信号を画像切替部 1 0 4 に与える。同様に A N D 回路 2 1 0 の出力はローレベルの信号を画像切替部 2 0 4 に与える。

【 0 0 5 1 】

画像切替部 1 0 4 は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、画像データメモリ 1 0 3 に記憶されている異常時画像データを出力制御部 1 0 5 に与える。同様に画像切替部 2 0 4 は、自身の切り替え制御入力端子に供給されたローレベルの信号に応じて、画像データメモリ 2 0 3 に記憶されている異常時画像データを出力制御部 2 0 5 に与える。

【 0 0 5 2 】

出力制御部 1 0 5 は、内部クロック信号に同期して、ソースドライバ制御信号 S D 1 及び異常時の画像データ信号 P D 1 をソースドライバ 4 1 0 - 1 ~ 4 1 0 - n の各々に与えると共に、ゲートドライバ制御信号 G D 1 をゲートドライバ 5 1 0 - 1 ~ 5 1 0 - m の各々に与える。出力制御部 2 0 5 も出力制御部 1 0 5 と同様の処理を行う。

【 0 0 5 3 】

上記した処理により、タイミングコントローラ 1 0 0 は、表示データ信号 D D 1 に含まれているクロック信号が異常である場合には、クロック切替部 1 1 1 により生成された内部クロック信号に同期して異常時の画像データ信号 P D 1 を出力することができる。同期信号の異常は、同期異常検出ラインを介してタイミングコントローラ 2 0 0 に伝達されるため、タイミングコントローラ 2 0 0 もクロック切替部 2 1 1 により生成された内部クロック信号に同期して異常時の画像データ信号 P D 2 を出力することができる。

【 0 0 5 4 】

以上、タイミングコントローラ 1 0 0 への表示データ信号 D D 1 に異常があった場合について説明したが、タイミングコントローラ 2 0 0 への表示データ信号 D D 2 に異常があった場合にも、同様の処理がなされる。

【 0 0 5 5 】

以上のように第 2 の実施例による液晶パネル駆動装置 2 は、表示データ信号 D D 1 に含まれているクロック信号の異常と同期信号の異常とを個別に検出し、同期信号が異常であり且つクロック信号が正常であると判別した場合には、該クロック信号に同期して異常時の画像データ信号を出力し、クロック信号が異常であると判別した場合には、内部クロック信号に同期して異常時の画像データ信号を出力する。液晶パネル駆動装置 2 には、クロック信号の異常を伝達するためのクロック異常検出ラインと、同期信号の異常を伝達するための同期異常検出ラインとが設けられ、それぞれの異常を他方のタイミングコントローラに伝達しているため、クロック信号に異常があった場合には、タイミングコントローラ 1 0 0 及び 2 0 0 の双方が同時に表示データ信号に含まれているクロック信号から内部クロック信号に切り替えることができる。

【 0 0 5 6 】

タイミングコントローラ 1 0 0 への表示データ信号 D D 1 及び / 又はタイミングコントローラ 2 0 0 への表示データ信号 D D 2 に異常があった場合においても、タイミングコントローラ 1 0 0 及び 2 0 0 の双方が、同時に内部クロック信号に切り替えて、該内部クロック信号に同期して異常時の画像データ信号 P D 1 及び P D 2 を出力するため、異常時表示と正常表示とが混在して表示されるという従来の問題を解消して、液晶パネルを損傷することなく正常な表示を実現することができる。

< 第 3 の実施例 >

図 3 は液晶パネル駆動装置 3 を表すブロック図である。以下、第 2 の実施例と異なる点

10

20

30

40

50

を主として説明する。

【 0 0 5 7 】

画像切替部 1 0 4 は、ラインメモリ 1 0 2 に記憶されている画像データ又は画像データメモリ 1 0 3 に記憶されている異常時画像データの 1 ライン分のデータを出力制御部 1 0 5 へ出力開始する毎にハイレベルのパルス信号を生成して出力する。以下、該パルス信号をスタート信号 S T 1 と称する。

【 0 0 5 8 】

セクタ 1 1 2 の一方の入力 (1) には、スタート信号 S T 1 が入力される。セクタ 1 1 2 の他方の入力 (2) には、バッファ 1 1 4 の出力が接続されている。セクタ 1 1 2 は、自身の入力信号選択端子 (図示せず) にハイレベルの信号が入力された場合に、入力 (1) を選択し、ローレベルの信号が入力された場合に、入力 (2) を選択する。ここでは、ハイレベル固定のセレクト信号 S L 1 がセクタ 1 1 2 の入力信号選択端子に入力され、スタート信号 S T 1 が出力されているものとする。セクタ 1 1 2 の出力はバッファ 1 1 3 の入力及び出力制御部 1 0 5 に接続されている。

10

【 0 0 5 9 】

バッファ 1 1 3 の出力は、スタート信号伝達ライン 7 4 0 の一端に接続されている。バッファ 1 1 3 は、自身のイネーブル端子 (図示せず) にハイレベルの信号を入力された場合にイネーブル状態となり、ローレベルの信号を入力された場合にディセーブル状態となる。ここでは、該イネーブル端子にハイレベル固定のセレクト信号 S L 1 が入力され、バッファ 1 1 3 はイネーブル状態であるとする。この場合、セクタ 1 1 2 からのスタート信号 S T 1 がバッファ 1 1 3 及びスタート信号伝達ライン 7 4 0 を介してタイミングコントローラ 2 0 0 に伝達される。

20

【 0 0 6 0 】

バッファ 1 1 4 の入力、スタート信号伝達ライン 7 4 0 の一端に接続され、タイミングコントローラ 2 0 0 からのスタート信号 S T 2 をセクタ 1 1 2 の他方の入力 (2) に与える。

【 0 0 6 1 】

タイミングコントローラ 2 0 0 に含まれている画像切替部 2 0 4 も、画像切替部 1 0 4 と同様にスタート信号 S T 2 を生成して出力する。

【 0 0 6 2 】

セクタ 2 1 2 の一方の入力 (1) には、スタート信号 S T 2 が入力される。セクタ 2 1 2 の他方の入力 (2) には、バッファ 2 1 4 の出力が接続されている。セクタ 2 1 2 は、自身の入力信号選択端子 (図示せず) にハイレベルの信号が入力された場合に、入力 (1) を選択し、ローレベルの信号が入力された場合に、入力 (2) を選択する。ここでは、ローレベル固定のセレクト信号 S L 2 がセクタ 2 1 2 の入力信号選択端子に入力され、スタート信号伝達ライン 7 4 0 を介して伝達されたタイミングコントローラ 1 0 0 からのスタート信号 S T 1 が出力されているものとする。セクタ 2 1 2 の出力はバッファ 2 1 3 の入力及び出力制御部 2 0 5 に接続されている。

30

【 0 0 6 3 】

バッファ 2 1 3 の出力は、スタート信号伝達ライン 7 4 0 の一端に接続されている。バッファ 2 1 3 は、自身のイネーブル端子 (図示せず) にハイレベルの信号を入力された場合にイネーブル状態となり、ローレベルの信号を入力された場合にディセーブル状態となる。ここでは、該イネーブル端子にローレベル固定のセレクト信号 S L 2 が入力され、バッファ 2 1 3 はディセーブル状態であるとする。なお、このときのセクタ 2 1 2 はスタート信号 S T 2 を出力していない。

40

【 0 0 6 4 】

バッファ 2 1 4 の入力、スタート信号伝達ライン 7 4 0 の一端に接続され、タイミングコントローラ 1 0 0 からのスタート信号 S T 1 をセクタ 2 1 2 の他方の入力 (2) に与える。

【 0 0 6 5 】

50

以下に、液晶パネル駆動装置 3 の動作について説明する。なお、異常検出部 101 及び 201 におけるクロック異常、同期異常の検出処理は第 2 の実施例と同一である。

【0066】

画像切替部 104 は、スタート信号 ST1 をセクタ 112 の一方の入力 (1) に出力している。スタート信号 ST1 は、画像切替部 104 がラインメモリ 102 に記憶されている画像データ又は画像データメモリ 103 に記憶されている異常時画像データの 1 ライン分のデータを出力制御部 105 へ出力開始する毎にハイレベルのパルスが表れる信号である。

【0067】

セクタ 112 の入力信号選択端子には、ハイレベル固定のセレクト信号 SL1 が入力されており、入力 (1) が選択されているため、セクタ 112 の出力からはスタート信号 ST1 が出力されている。セクタ 112 から出力されたスタート信号 ST1 は、出力制御部 105 に与えられると共に、スタート信号伝達ライン 740 を介してタイミングコントローラ 200 へ伝達される。

【0068】

スタート信号伝達ライン 740 を介して伝達されたスタート信号 ST1 は、バッファ 214 を介してセクタ 212 の入力 (2) へ入力される。セクタ 212 の入力信号選択端子には、ローレベル固定のセレクト信号 SL2 が入力されており、入力 (2) が選択されているため、セクタ 212 の出力からはスタート信号 ST1 が出力されている。なお、バッファ 213 は、ディセーブル状態になっているため、スタート信号 ST1 をスタート信号伝達ライン 740 へ出力しない。

【0069】

出力制御部 105 は、スタート信号 ST1 のハイレベルのパルスに応じて、画像切替部 104 からのソースドライバ制御信号 SD1、画像データ信号 PD1 及びゲートドライバ制御信号 GD1 の出力を開始する。同時に、出力制御部 205 は、スタート信号 ST1 のハイレベルのパルスに応じて、画像切替部 204 からのソースドライバ制御信号 SD2、画像データ信号 PD2 及びゲートドライバ制御信号 GD2 の出力を開始する。

【0070】

上記したように、第 3 の実施例によれば、タイミングコントローラ 100 がスタート信号 ST1 を生成し、これを自身の出力制御部 105 に与えると共に、スタート信号伝達ライン 740 を介してタイミングコントローラ 200 の出力制御部 205 へ伝達する。出力制御部 105 及び 205 の双方はスタート信号 ST1 のハイレベルのパルスを起点として 1 ライン毎に画像データ信号 PD1 及び PD2 などを出力する。これにより、タイミングコントローラ 100 及び 200 の双方が、画像データ信号 PD1 及び PD2 などの出力タイミングを合わせることができ、タイミングずれによる表示異常及び液晶パネルの損傷を回避することができる。

【0071】

以上、タイミングコントローラ 100 が生成したスタート信号 ST1 を、スタート信号伝達ライン 740 を介してタイミングコントローラ 200 へ伝達する場合について説明したが、反対に、タイミングコントローラ 200 が生成したスタート信号 ST2 を、スタート信号伝達ライン 740 を介してタイミングコントローラ 100 へ伝達することもできる。この場合、上記の例とは反対に、セレクト信号 SL1 をローレベル固定、セレクト信号 SL2 をハイレベル固定することで容易に実現できる。

【0072】

第 1 ~ 3 の実施例はタイミングコントローラの個数が 2 つの場合の例であるが、本発明による液晶パネル駆動装置は、タイミングコントローラの個数が 3 つ以上の場合にも適用可能である。この場合、各タイミングコントローラ間を第 1 ~ 3 の実施例の場合と同様に、プルアップ抵抗に接続された異常検出ライン及びスタート信号伝達ラインで接続することにより、同様の効果を奏することができる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 7 3 】

【図 1】第 1 の実施例による液晶パネル駆動装置を表すブロック図である。

【図 2】第 2 の実施例による液晶パネル駆動装置を表すブロック図である。

【図 3】第 3 の実施例による液晶パネル駆動装置を表すブロック図である。

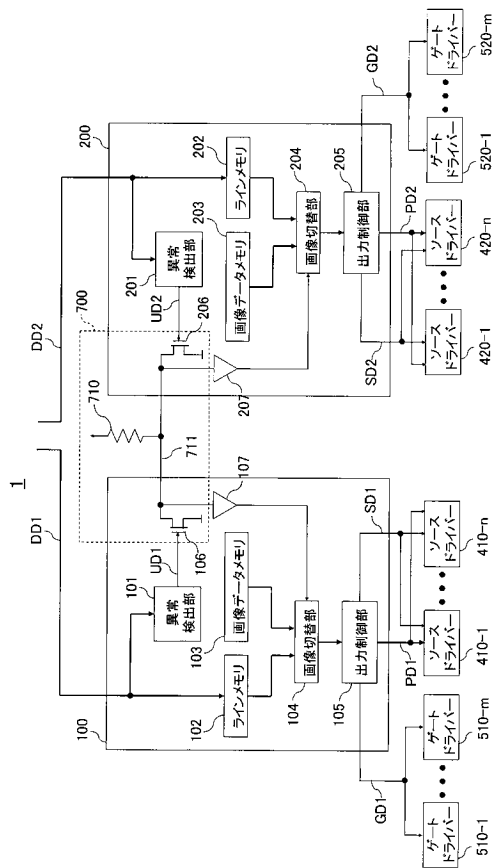
【図 4】液晶パネル及び液晶パネル駆動装置を表すブロック図である。

【符号の説明】

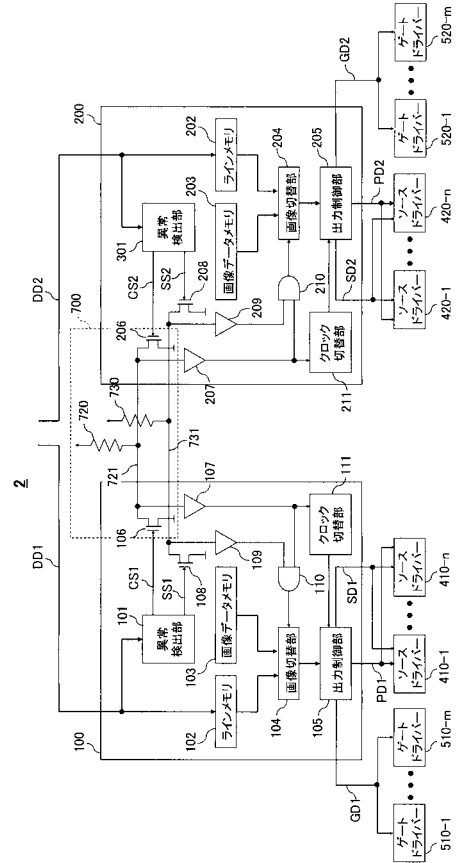
【 0 0 7 4 】

1、2、3	液晶パネル駆動装置	
100、200	タイミングコントローラ	
101、201	異常検出部	10
102、202	ラインメモリ	
103、203	画像データメモリ	
104、204	画像切替部	
105、205	出力制御部	
106、206、108、208	オープンドレイン出力回路	
107、207、109、209、113、213、114、214	バッファ	
110、210	AND回路	
111、211	クロック切替部	
112、212	セレクタ	
300	グラフィックプロセッサ	20
410 - 1 ~ 410 - n、420 - 1 ~ 420 - n	ソースドライバ	
510 - 1 ~ 510 - m、520 - 1 ~ 520 - m	ゲートドライバ	
600	液晶パネル	
700	異常検出信号伝達部	
710、720、730	プルアップ抵抗	
711	異常検出ライン	
721	クロック異常検出ライン	
731	同期異常検出ライン	
740	スタート信号伝達ライン	
CS1、CS2	クロック異常検出信号	30
DD1、DD2	表示データ信号	
GD1、GD2	ゲートドライバ制御信号	
PD1、PD2	画像データ信号	
SD1、SD2	ソースドライバ制御信号	
SL1、SL2	セレクト信号	
SS1、SS2	同期異常検出信号	
UD1、UD2	異常検出信号	

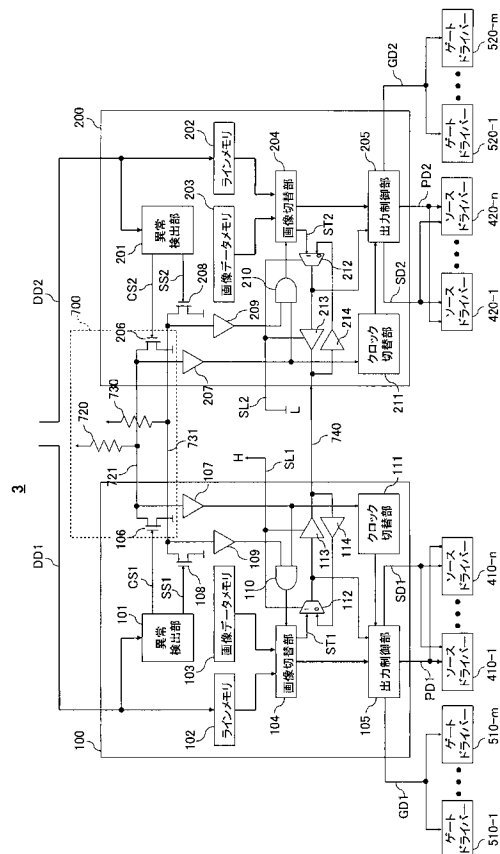
【 図 1 】



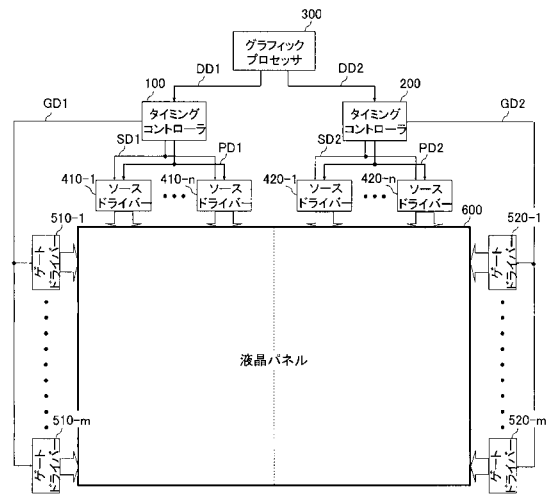
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 1 2 K	
	G 0 9 G 3/20 6 1 2 L	
	G 0 2 F 1/133 5 0 5	

F ターム(参考)	5C006	AF42	AF45	AF51	AF53	AF54	AF65	BB16	BC12	BF05	FA04
	5C080	AA10	BB05	DD09	DD18	EE26	FF01	FF11	GG12	GG17	JJ02

专利名称(译)	液晶面板驱动装置		
公开(公告)号	JP2009145485A	公开(公告)日	2009-07-02
申请号	JP2007321031	申请日	2007-12-12
申请(专利权)人(译)	OKI半导体有限公司		
[标]发明人	遊佐敦史		
发明人	遊佐 敦史		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3685 G09G2330/08		
FI分类号	G09G3/36 G09G3/20.670.G G09G3/20.621.K G09G3/20.631.V G09G3/20.670.N G09G3/20.612.K G09G3/20.612.L G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC28 2H093/NC50 2H093/NC59 2H093/NC90 2H093/ND46 2H093/ND60 5C006/AF42 5C006/AF45 5C006/AF51 5C006/AF53 5C006/AF54 5C006/AF65 5C006/BB16 5C006/BC12 5C006/BF05 5C006/FA04 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD18 5C080/EE26 5C080/FF01 5C080/FF11 5C080/GG12 5C080/GG17 5C080/JJ02 2H193/ZF22 2H193/ZF24 2H193/ZF36 2H193/ZH50 2H193/ZH52 2H193/ZJ14 2H193/ZK21		
代理人(译)	藤村元彦 高野真司		
其他公开文献	JP4567046B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种即使在多个定时控制器中的每一个接收到异常显示数据信号时也能够正常显示而不损坏液晶面板的液晶面板驱动装置。
ŽSOLUTION：当检测到显示数据信号的异常时，包括在液晶面板驱动装置中的每个定时控制器产生异常显示数据信号，经由异常检测线将信号发送到其他定时控制器并在异常时输出图像数据。根据异常显示数据信号存储在图像数据存储器中。
Ž

