

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2009-69562
(P2009-69562A)

(43) 公開日 平成21年4月2日(2009.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 622G	5C006
G02F 1/133 (2006.01)	G09G 3/20 631V	5C080
	G09G 3/20 621B	
	G09G 3/20 660Q	
審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く		

(21) 出願番号	特願2007-238817 (P2007-238817)	(71) 出願人	304053854
(22) 出願日	平成19年9月14日 (2007.9.14)		エプソンイメージングデバイス株式会社
			長野県安曇野市豊科田沢6925
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	田尻 憲一
			長野県安曇野市豊科田沢6925 エプソ
			ンイメージングデバイス株式会社内
		Fターム(参考)	2H093 NA16 NA33 NA43 NC10 NC12
			NC13 NC34 NC35 NC36 NC90
			ND39 ND49
			最終頁に続く

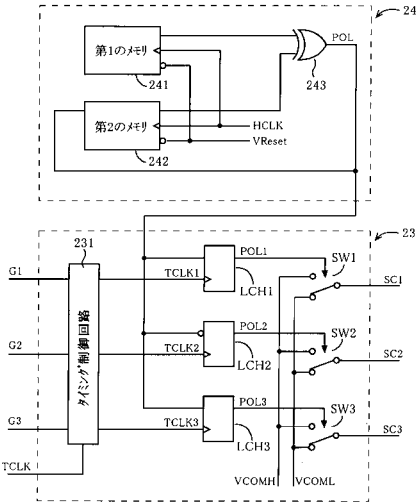
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】保持容量線駆動方式の液晶表示装置において、簡単な回路構成で、パースナル表示の低消費電力化を実現する。

【解決手段】極性信号生成回路24は、第1のメモリ241、第2のメモリ242、排他的論理和回路243とで形成される。第1のメモリ241は、画像が表示される表示領域と、画像が表示されない非表示領域との区別を表す第1のデータが、各ラインに対応して格納される。第1のデータは、表示領域では「1」であり、非表示領域では「0」である。第2のメモリ242は、1フレーム前の極性信号POLの極性を表す第2のデータを各ラインに対応して格納するメモリである。第1のメモリ241から読み出された第1のデータと、第2のメモリ242から読み出された第2のデータは排他的論理和回路243に入力される。排他的論理和回路243から極性信号POLが得られ、保持容量線駆動回路23に供給される。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数の画素からなる画素領域と、

複数の保持容量線と、

前記画素の画素電極と前記保持容量線の間に接続された保持容量と、

前記複数の保持容量線の電位の極性を決定するための極性信号を生成する極性信号生成回路と、を備え、

前記極性信号生成回路は、前記画素領域中の画像が表示される表示領域と画像が表示されない非表示領域との区別を表す第 1 のデータが格納された第 1 のメモリと、

1 フレーム前の極性信号の極性を表す第 2 のデータが格納された第 2 のメモリと、

前記第 1 のメモリから読み出された第 1 のデータが表示領域を表す場合は、前記第 2 のメモリから読み出された第 2 のデータを反転して極性信号として出力し、前記第 1 のメモリから読み出された第 1 のデータが非表示領域を表す場合は、前記第 2 のメモリから読み出された第 2 のデータを極性信号として出力する演算回路と、を含み、

表示領域においては極性信号を 1 フレーム毎に反転し、非表示領域においては 1 フレーム前の極性信号の極性を維持させるようにしたことを特徴とする液晶表示装置。

【請求項 2】

前記演算回路は、前記第 1 のデータと前記第 2 のデータが入力された排他的論理和回路であり、この排他的論理和回路の出力信号が前記第 2 のメモリに格納されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記極性信号生成回路により生成された極性信号をタイミング信号に基づいてラッチするラッチ回路と、

前記ラッチ回路によってラッチされた極性信号に応じて、前記保持容量線の電位を切り換える第 1 のスイッチング素子を備えることを特徴とする請求項 1 又は請求項 2 に記載の液晶表示装置。

【請求項 4】

共通電位が印加された共通電極と、

前記画素電極と前記共通電極の間に配置された液晶と、

非表示領域において、前記画素電極に前記共通電位を印加する第 2 のスイッチング素子と、を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、保持容量線駆動方式の液晶表示装置に関する。

【背景技術】**【0002】**

従来より、液晶表示装置の駆動方式として保持容量線駆動方式が知られている。この方式は、保持容量線と画素電極の間に保持容量を設け、画素電極に表示信号を書き込んだ後に、保持容量線の電位を変動させることにより、画素電極の電位を正又は負の方向に変化させる。これにより、表示信号のダイナミックレンジを小さくすることができるため、低消費電力での駆動が可能になる。この保持容量線駆動方式を用いた液晶表示装置については、特許文献 1 に記載されている。

【0003】

また、液晶表示装置の表示方式として、パーシャル表示方式が知られている。この方式は、画素領域の中、一部の領域を画像が表示される表示領域とし、残りの領域を画像が表示されない非表示領域（白、又は黒の表示領域）とするものである。

【0004】

保持容量線駆動方式の液晶表示装置において、パーシャル表示を行う場合、非表示領域においては保持容量線の駆動を停止することで、低消費電力化を図ることができる。この

10

20

30

40

50

種の液晶表示装置については、特許文献２に記載されている。

【特許文献１】特開２００２－１９６３５８号公報

【特許文献２】特開２００７－１４０１９２号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかしながら、上記のようにパーシャル表示において、非表示領域においては保持容量線の駆動を停止することで、低消費電力化を図るためには、回路構成が複雑になるという問題があった。

【課題を解決するための手段】

【０００６】

本発明の液晶表示装置は、複数の画素からなる画素領域と、複数の保持容量線と、前記画素の画素電極と前記保持容量線の間に接続された保持容量と、前記複数の保持容量線の電位の極性を決定するための極性信号を生成する極性信号生成回路と、を備え、極性信号生成回路は、画素領域中の画像が表示される表示領域と、画像が表示されない非表示領域との区別を表す第１のデータが格納された第１のメモリと、１フレーム前の極性信号の極性を表す第２のデータが格納された第２のメモリと、前記第１のメモリから読み出された第１のデータが表示領域を表す場合は、前記第２のメモリから読み出された第２のデータを反転して極性信号として出力し、前記第１のメモリから読み出された第１のデータが非表示領域を表す場合は、前記第２のメモリから読み出された第２のデータを極性信号として出力する演算回路と、を含み、第１のデータが変更されることにより、表示領域においては極性信号を１フレーム毎に反転し、非表示領域においては１フレーム前の極性信号の極性を維持させるようにしたことを特徴とする。

【０００７】

かかる構成によれば、極性信号生成回路により、画素領域の全体に画像を表示する全画面表示から、パーシャル表示へ移行する際に（あるいは、パーシャル表示において表示領域を変更する際に）、非表示領域においては、極性信号の極性を１フレーム前の状態（パーシャル表示へ移行する１フレーム前の全画面表示の状態、あるいは、パーシャル表示において表示領域を変更する１フレーム前の表示領域の状態）でそのまま維持させることが可能である。しかも、極性信号生成回路は、２つのメモリと、演算回路で構成できるので、回路構成が簡単である。

【発明の効果】

【０００８】

本発明によれば、保持容量線駆動方式の液晶表示装置において、簡単な回路構成で、パーシャル表示の低消費電力化を実現することができる。

【発明を実施するための最良の形態】

【０００９】

本発明の実施形態による液晶表示装置について図面を参照しながら説明する。図１は液晶表示装置のブロック図である。この液晶表示装置は、保持容量線駆動方式が採用され、しかもパーシャル表示を行うことができるものである。

【００１０】

複数の画素がマトリクス状に配置されて画素領域を形成している。図１においては、簡単のため、３行×３列の９個の画素を示している。各画素はゲート線ＧＬ１～ＧＬ３、ソース線ＳＬ１～ＳＬ３の各交差点に対応して配置されており、Ｎチャネル型の薄膜トランジスタからなる画素トランジスタ１０、画素トランジスタ１０のドレインに接続された画素電極１１、画素電極１１と共通電極ＣＥの間に配置された液晶１２が設けられている。共通電極ＣＥには共通電位ＶＣＯＭが供給されるようになっている。

【００１１】

また、第１行の画素に対応して、第１の保持容量線ＳＣ１が設けられ、画素電極１１と第１の保持容量線ＳＣ１との間に保持容量１３が設けられている。第２行の画素に対応し

10

20

30

40

50

て、第 2 の保持容量線 S C 2 が設けられ、画素電極 1 1 と第 2 の保持容量線 S C 2 との間に保持容量 1 3 が設けられている。第 3 行の画素に対応して、第 3 の保持容量線 S C 3 が設けられ、画素電極 1 1 と第 3 の保持容量線 S C 3 との間に保持容量 1 3 が設けられている。

【 0 0 1 2 】

また、第 1 列の各画素の画素トランジスタ 1 0 のソースは、第 1 のソース線 S L 1 に接続され、第 2 列の各画素の画素トランジスタ 1 0 のソースは、第 2 のソース線 S L 2 に接続され、第 3 列の各画素の画素トランジスタ 1 0 のソースは、第 3 のソース線 S L 3 に接続されている。

【 0 0 1 3 】

また、第 1 行の各画素の画素トランジスタ 1 0 のゲートは、第 1 のゲート線 G L 1 に接続され、第 2 行の各画素の画素トランジスタ 1 0 のゲートは、第 2 のゲート線 G L 2 に接続され、第 3 行の各画素の画素トランジスタ 1 0 のゲートは、第 3 のゲート線 G L 3 に接続されている。

【 0 0 1 4 】

また、ソース信号 S i g (表示信号) を第 1 ~ 第 3 のソース線 S L 1 ~ S L 3 に供給するソース線駆動回路 2 0 が設けられている。ソース信号 S i g は、一定周期 (例えば、一水平周期) で基準電位に対して極性が反転するようになっている。また、制御信号 D S G に応じて、第 1 ~ 第 3 のソース線 S L 1 ~ S L 3 に共通電位 V C O M を供給する D S G 制御回路 2 1 が設けられている。

【 0 0 1 5 】

また、ゲート信号を第 1 ~ 第 3 のゲート線 G L 1 ~ G L 3 に供給するゲート線駆動回路 2 2 が設けられている。さらに、第 1 ~ 第 3 の保持容量線 S C 1 ~ S C 3 を駆動する保持容量線駆動回路 2 3 が設けられている。そして、第 1 ~ 第 3 の保持容量線 S C 1 ~ S C 3 の電位の極性を決定する極性信号 P O L を生成する極性信号生成回路 2 4 が設けられている。保持容量線駆動回路 2 3 は、極性信号生成回路 2 4 から出力された極性信号 P O L に基づいて、第 1 ~ 第 3 の保持容量線 S C 1 ~ S C 3 の電位を低電位 V C O M L 又は高電位 V C O M H に駆動する。

【 0 0 1 6 】

[保持容量線駆動回路及び極性信号生成回路の構成]

図 2 は、保持容量線駆動回路 2 3 と極性信号生成回路 2 4 の構成を示す図である。まず、極性信号生成回路 2 4 の構成を説明する。極性信号生成回路 2 4 は、第 1 のメモリ 2 4 1、第 2 のメモリ 2 4 2、排他的論理和回路 (Exclusive OR Circuit) 2 4 3 とで形成されている。第 1 のメモリ 2 4 1 は、画素領域の中、画像が表示される表示領域と、画像が表示されない非表示領域との区別を表す第 1 のデータが、各ライン (各行) に対応して格納される。第 1 のデータは、表示領域では「 1 」であり、非表示領域では「 0 」である。

【 0 0 1 7 】

また、第 2 のメモリ 2 4 2 は、1 フレーム前の極性信号 P O L の極性を表す第 2 のデータを各ラインに対応して格納するメモリである。第 1 のメモリ 2 4 1、第 2 のメモリ 2 4 2 は例えば、シフトレジスタで形成することができ、1 水平期間 (1 H 期間) の周期を有するパルス信号であるクロック H C L K に同期して、データを保持し、かつ、シフトする動作をする。クロック H C L K に同期して、第 1 のメモリ 2 4 1 から読み出された第 1 のデータと、第 2 のメモリ 2 4 2 から読み出された第 2 のデータは排他的論理和回路 2 4 3 に入力される。

【 0 0 1 8 】

排他的論理和回路 2 4 3 は、第 1 のメモリ 2 4 1 から読み出された第 1 のデータが表示領域を表す場合の場合、つまり第 1 のデータが「 1 」の場合は、第 2 のメモリ 2 4 2 から読み出された第 2 のデータを反転して出力する。また、第 1 のメモリ 2 4 1 から読み出された第 1 のデータが非表示領域を表す場合、つまり、第 1 のデータが「 0 」の場合は、第 2 のメモリから読み出された第 2 のデータをそのまま出力する。そして、排他的論理和回

10

20

30

40

50

路 2 4 3 の出力信号である極性信号 P O L は、クロック H C L K に同期して、第 2 のメモリ 2 4 2 に書き込まれ、第 2 のメモリ 2 4 2 の内容が更新される。

【 0 0 1 9 】

これにより、表示領域においては、極性信号 P O L を 1 フレーム毎に反転させる。また、画素領域の全体に画像を表示する全画面表示から、パースナル表示へ移行する際に（あるいは、パースナル表示において表示領域を変更する際に）、非表示領域においては、極性信号の極性を 1 フレーム前の状態（パースナル表示へ移行する 1 フレーム前の全画面表示の状態、あるいは、パースナル表示において表示領域を変更する 1 フレーム前の表示領域の状態）でそのまま維持させることが可能である。しかも、極性信号生成回路は、2 つのメモリと、演算回路で構成できるので、回路構成が簡単である。

10

【 0 0 2 0 】

V r e s e t 信号は、垂直同期信号と同期した信号で、第 1 のメモリ及び第 2 のメモリの読み出しカウンタをリセットするものである。図 3 に、極性信号生成回路 2 4 の動作例を示す。尚、図 3 において、 n 、 $n + 1$ 、 $n + 2$ 、 $n + 3$ 、 $n + 4$ はフレームの番号を表す。また、ライン数は第 1 ライン～第 7 ラインの 7 ラインであるとして説明する。

【 0 0 2 1 】

（ A ）全画面表示の場合：

第 1 のメモリ 2 4 1 には全ラインについて、第 1 のデータ = 「 1 」 が格納されている。第 2 のメモリ 2 4 2 の出力信号は全ラインについて、フレーム毎に「 1 」と「 0 」を繰り返す。したがって、極性信号 P O L も全ラインについてフレーム毎に「 1 」と「 0 」を繰り返す。

20

【 0 0 2 2 】

（ B ）全画面表示からパースナル表示に移行する場合：

全画面表示から、第 4 ～第 7 ラインを非表示領域に設定する場合について説明する。フレーム $n + 1$ において、第 4 ～第 7 ラインに対応した第 1 のメモリ 2 4 1 の第 1 のデータは、「 1 」から「 0 」に書き換えられる。すると、次のフレーム $n + 2$ からパースナル表示に移行することになるが、第 2 のメモリ 2 4 2 の出力信号は、「 0 」に固定される。よって、極性信号 P O L は第 4 ～第 7 ラインについて「 0 」に固定される。一方、表示領域である第 1 ～第 3 ラインについては、第 2 のメモリ 2 4 2 の出力信号はフレーム毎に「 1 」と「 0 」を繰り返す。したがって、極性信号 P O L は、第 1 ～第 3 ラインについてフレーム毎に「 1 」と「 0 」を繰り返すことになる。

30

【 0 0 2 3 】

（ C ）パースナル表示の表示領域を変更する場合：

パースナル表示において、非表示領域を第 4 ～第 7 ラインから、第 2 ～第 5 ラインに変更する場合について説明する。フレーム $n + 1$ において、第 2 ～第 5 ラインに対応した第 1 のメモリ 2 4 1 の第 1 のデータが「 0 」になる。残りの第 1、第 6 ～第 7 ラインに対応した第 1 のデータは「 1 」である。すると、第 2 ～第 5 ラインについては、フレーム $n + 1$ から第 2 のメモリ 2 4 2 の出力信号は、「 0 」に固定される。よって、極性信号 P O L は第 2 ～第 5 ラインについて「 0 」に固定される。一方、表示領域である第 1、第 6 ～第 7 ラインについては、第 2 のメモリ 2 4 2 の出力信号はフレーム毎に「 1 」と「 0 」を繰り返す。したがって、極性信号 P O L は、第 1、第 6 ～第 7 ラインについてフレーム毎に「 1 」と「 0 」を繰り返すことになる。

40

【 0 0 2 4 】

次に、保持容量線駆動回路 2 3 の構成を説明する。極性信号生成回路 2 4 から出力された極性信号 P O L は、第 1 ～第 3 の保持容量線 S C 1 ～ S C 3 にそれぞれ対応して設けられた、第 1 ～第 3 のラッチ回路 L C H 1 ～ L C H 3 に、第 1 ～第 3 のタイミングクロック T C L K 1 ～ T C L K 3 に基づいてラッチされる。第 1 ～第 3 のラッチ回路 L C H 1 ～ L C H 3 はラッチした極性信号 P O L を第 1 ～第 3 のラッチ信号 P O L 1 ～ P O L 3 として出力し、かつ保持する。第 1 ～第 3 のタイミングクロック T C L K 1 ～ T C L K 3 は、タイミング制御回路 2 3 1 によって、ゲート信号 G 1 ～ G 3 及びタイミング制御信号 T C L

50

Kに基づいて作成される。

【0025】

尚、偶数ラインに対応した第2のラッチ回路LCH2には反転された極性信号POLがラッチされるようになっている。これは、奇数ライン（第1ライン、第3ライン、・・・）と偶数ライン（第2ライン、第4ライン、・・・）に対応した保持容量線の電位を逆極性にして、ライン反転を可能にするためである。例えば、第1の保持容量線SC1と第2の保持容量線SC2の電位は逆極性になる。

【0026】

第1～第3のラッチ信号POL1～POL3は、後段の第1～第3のスイッチSW1～SW3のスイッチングを制御する信号として用いられる。例えば、第1のラッチ信号POL1がHレベルの場合は、第1の保持容量線SC1に低電位VCOMLが印加され、第1のラッチ信号POL1がLレベルの場合は、第1の保持容量線SC1に高電位VCOMHが印加される。

10

【0027】

即ち、第1～第3の保持容量線SC1～SC2の電位は、第1～第3のタイミングクロックTCLK1～TCLK3の立ち上がるタイミングによって決定される。このような保持容量線駆動方式においては、一般にそのようなタイミングはゲート信号G1～G3が立ち下がった後である。

【0028】

[ソース線駆動回路及びDSG制御回路の構成]

20

図4は、画素領域の周辺にあるソース線駆動回路20、DSG制御回路21の構成を示す。図4においては、画素領域の1列目に対応した画素に関係した構成だけを示している。第1のソース線SL1の一端には、水平スイッチSWHを介してソースドライバ14の出力端子が接続されている。水平スイッチSWHは水平走査信号に応じてスイッチングする。水平スイッチSWHがオンすると、ソースドライバ14からソース信号Sig（表示信号）が第1のソース線SL1に供給される。また第1のソース線SL1の他端には、スイッチSWSを介して共通電極ドライバ15の出力端子が接続されている。スイッチSWSはDSG信号に応じてスイッチングする。また、共通電極ドライバ15の出力端子は共通電極CEに接続され、共通電極CEには共通電位VCOMが供給される。

【0029】

30

したがって、スイッチSWSがオンすると、第1のソース線SL1と共通電極CEとは短絡され、第1のソース線SL1にも共通電位VCOMが供給されるようになっている。

【0030】

次に、上記の液晶表示装置の動作例について、図5のタイミング図を参照して説明する。この説明は図1の回路に基づいており、ライン数は3とる。図中の1)、2)、3)は、ライン番号、ONは表示領域、OFFは非表示領域であることを表している。

最初は全画面表示が行われている。第1のメモリ241には第1ライン～第3ラインに対応して第1のデータ＝「1」が格納されているため、第1のメモリ241の出力は「1」を維持する。第2のメモリ242の出力は1フレーム毎にHレベルとLレベルの間で反転を繰り返す。よって、極性信号POLは、第2のメモリ242の出力を反転した信号になる。

40

【0031】

そして、時系列的に発生する第1～第3のタイミングクロックTCLK1～TCLK3に基づいて、極性信号POLが次々と第1～第3のラッチ回路LCH1～LCH3にラッチされ、1フレーム毎に反転を繰り返す第1～第3のラッチ信号POL1～POL3が発生する。したがって、第1～第3の保持容量線SC1～SC3の電位は、第1～第3のラッチ信号POL1～POL3に同期して反転を繰り返すことになり、保持容量線駆動が行われる。即ち、画素電極11に表示信号を書き込んだ後に、対応する保持容量線の電位が変動し、画素電極11の電位を正又は負の方向に変化させる。これにより、表示信号のダイナミックレンジを小さくすることができるため、低消費電力での駆動が可能になる。

50

【 0 0 3 2 】

次に、全画面表示からパースシャル表示に移行する。いま、第 1 ラインは表示領域に対応し、第 2、第 3 ラインが非表示領域に対応するように、第 1 のメモリ 2 4 1 の内容が変更されたとする。すると、第 1 ラインについては 1 フレーム前の極性信号 P O L が反転されるが、第 2、第 3 ラインについては、非表示領域であるため、極性信号 P O L は 1 フレーム前の極性を維持したまま変化しない。これにより、第 2、第 3 の保持容量線 S C 2 , S C 3 の駆動は停止される。

【 0 0 3 3 】

また、非表示領域においては、対応する画素電極 1 1 に共通電位 V C O M を書き込むことでその画素を非表示としている。これについて図 4 を用いて説明する。非表示領域においては、D S G 信号に応じてスイッチ S W S がオンし、第 1 のソース線 S L 1 と共通電極 C E とは短絡され、第 1 のソース線 S L 1 にも共通電位 V C O M が供給される。そして、ゲート信号 G 1 に応じて画素トランジスタ 1 0 がオンすると、画素電極 1 1 に共通電位 V C O M が印加される。これにより液晶 1 2 に印加される電圧は 0 V 程度になるので、非表示状態（例えば、ノーマリーブラックの液晶表示装置においては黒表示）が得られる。

【 0 0 3 4 】

続いて、パースシャル表示において、表示領域が変更される。ここでは、第 1、第 2 ラインが非表示領域に対応し、第 3 ラインが表示領域に対応するように、第 1 のメモリ 2 4 1 の内容が変更されたとする。すると、第 1、第 2 ラインについては、非表示領域であるため、極性信号 P O L は 1 フレーム前の極性を維持したまま変化しない。つまり、第 1、第 2 の保持容量線 S C 1 , S C 2 の駆動は停止される。一方、第 1 ラインについては表示領域に変更されたので、1 フレーム前の極性信号 P O L が反転される。このように、本発明によれば、パースシャル表示における低消費電力化が可能になる。

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 本発明の実施形態による液晶表示装置の構成を示す図である。

【 図 2 】 本発明の実施形態による液晶表示装置における保持容量線駆動回路及び極性信号生成回路の構成を示す図である。

【 図 3 】 本発明の実施形態による液晶表示装置における極性信号生成回路の動作を説明する図である。

【 図 4 】 本発明の実施形態による液晶表示装置におけるソース線駆動回路及び D S G 制御回路の構成を示す図である。

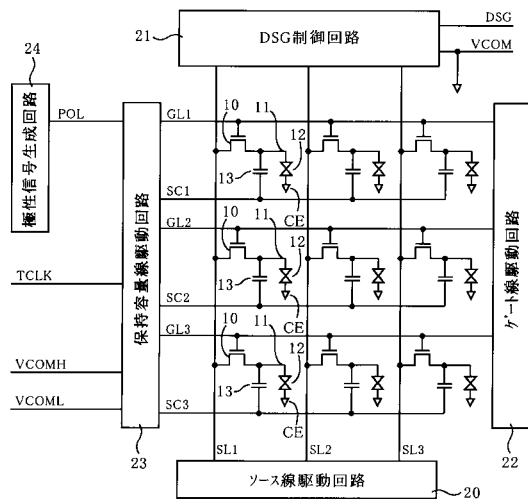
【 図 5 】 本発明の実施形態による液晶表示装置の動作を説明するタイミング図である。

【 符号の説明 】

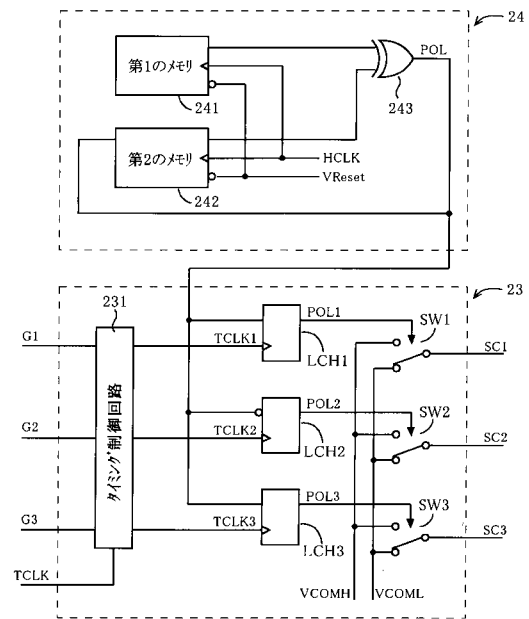
【 0 0 3 6 】

1 0	画素トランジスタ	1 1	画素電極	1 2	液晶	1 3	保持容量
1 4	ソースドライバ	1 5	共通電極ドライバ				
2 0	ソース線駆動回路	2 1	D S G 制御回路	2 2	ゲート線駆動回路		
2 3	保持容量線駆動回路	2 4	極性信号生成回路				
2 3 1	タイミング制御回路	L C H 1 ~ L C H 3	第 1 ~ 第 3 のラッチ回路				
S W 1 ~ S W 3	第 1 ~ 第 3 のスイッチ						
2 4 1	第 1 のメモリ	2 4 2	第 2 のメモリ	2 4 3	排他的論理和回路		

【図 1】



【図 2】



【図 3】

(A) 全面面表示

フレーム毎に、H⇒Lが入れ替わる。

ラインNo.	n	n+1	n+2
1	1	1	1
2	1	1	1
3	1	1	1
4	1	1	1
5	1	1	1
6	1	1	1
7	1	1	1
第1のメモリの 出力信号	1	1	0
2	1	0	1
3	1	0	1
4	1	0	1
5	1	0	1
6	1	0	1
7	1	0	1
第2のメモリの 出力信号	1	0	1
2	1	0	1
3	1	0	1
4	1	0	1
5	1	0	1
6	1	0	1
7	1	0	1

(B) 全面面表示⇒パースシャル表示

n+1から4,5,6,7ラインは非表示。よって、第1のメモリの内容は0。

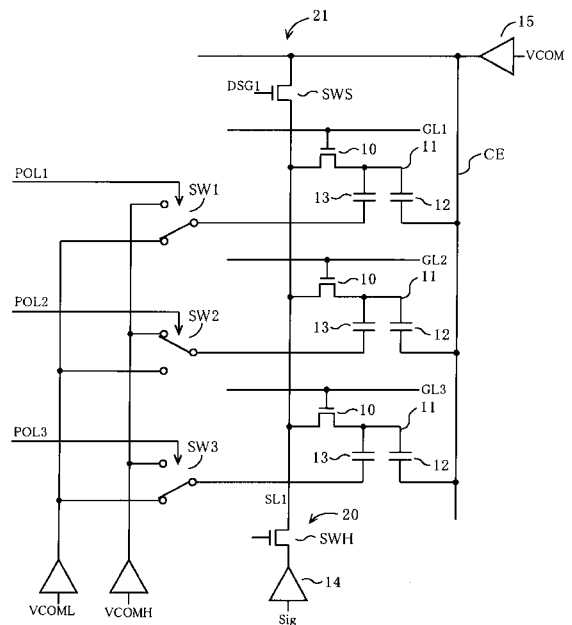
ラインNo.	n	n+1	n+2	n+3	n+4
1	1	1	1	1	1
2	1	1	1	1	1
3	1	1	1	1	1
4	1	0	0	0	0
5	1	0	0	0	0
6	1	0	0	0	0
7	1	0	0	0	0
第1のメモリの 出力信号	1	1	0	0	0
2	1	0	1	0	1
3	1	0	1	0	1
4	1	0	0	0	0
5	1	0	0	0	0
6	1	0	0	0	0
7	1	0	0	0	0
第2のメモリの 出力信号	1	0	1	0	1
2	1	0	1	0	1
3	1	0	1	0	1
4	1	0	0	0	0
5	1	0	0	0	0
6	1	0	0	0	0
7	1	0	0	0	0

(C) パースシャル表示の領域を変更

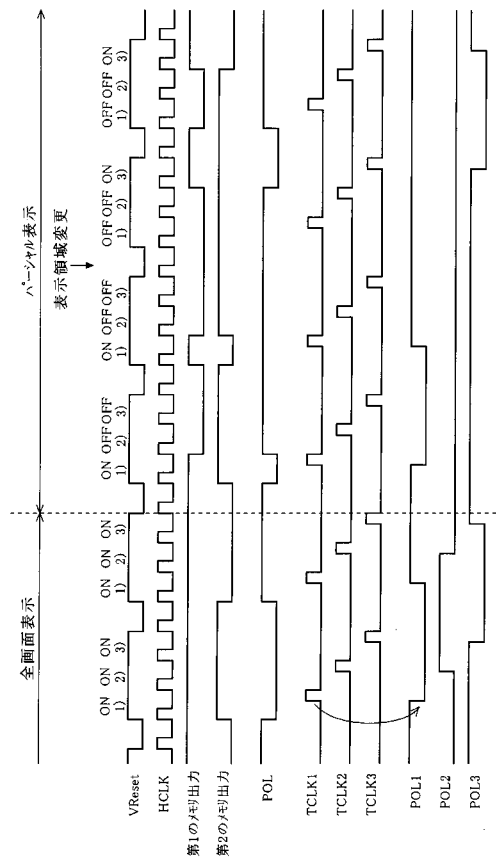
n+1から2,3,4,5ラインは非表示。よって、第1のメモリの内容は0。

ラインNo.	n	n+1	n+2	n+3	n+4
1	1	1	1	1	1
2	1	0	0	0	0
3	1	0	0	0	0
4	1	0	0	0	0
5	1	0	0	0	0
6	1	1	1	1	1
7	1	1	1	1	1
第1のメモリの 出力信号	1	1	0	0	0
2	1	0	0	0	0
3	1	0	0	0	0
4	1	0	0	0	0
5	1	0	0	0	0
6	1	0	1	0	1
7	1	0	1	0	1
第2のメモリの 出力信号	1	0	1	0	1
2	1	0	1	0	1
3	1	0	1	0	1
4	1	0	0	0	0
5	1	0	0	0	0
6	1	0	1	0	1
7	1	0	1	0	1

【図 4】



【図 5】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 1 1 A
G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 5 0

F ターム(参考) 5C006 AC11 AC22 AC25 AF42 BB16 BC03 BC06 BC20 FA01
5C080 AA10 BB05 DD26 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009069562A	公开(公告)日	2009-04-02
申请号	JP2007238817	申请日	2007-09-14
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	田尻 憲一		
发明人	田尻 憲一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.622.G G09G3/20.631.V G09G3/20.621.B G09G3/20.660.Q G09G3/20.621.A G09G3/20.611.A G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA43 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC34 2H093/NC35 2H093/NC36 2H093/NC90 2H093/ND39 2H093/ND49 5C006/AC11 5C006/AC22 5C006/AC25 5C006/AF42 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/FA01 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB14 2H193/ZC04 2H193/ZC15 2H193/ZC16 2H193/ZC20 2H193/ZC27 2H193/ZD02 2H193/ZF21 2H193/ZF22 2H193/ZF31 2H193/ZF36 2H193/ZF60		
代理人(译)	须泽 修 宫坂和彦		
外部链接	Espacenet		

摘要(译)

要解决的问题：在存储电容器线驱动型的液晶显示装置中，利用简单的电路结构实现部分显示器的低功耗。 极性信号发生电路24包括第一存储器241，第二存储器242和异或电路243。在第一存储器241中，对应于每一行存储表示显示图像的显示区域和不显示图像的非显示区域之间的区别的第一数据。第一个数据在显示区域为“1”，在非显示区域为“0”。第二存储器242是存储表示一帧之前的极性信号POL的极性的第二数据的存储器，对应于每条线。从第一存储器241读取的第一数据和从第二存储器242读取的第二数据被输入到异或电路243。极性信号POL从异或电路243获得并提供给存储电容器线驱动电路23。 .The

