

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-304659

(P2008-304659A)

(43) 公開日 平成20年12月18日(2008.12.18)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G09F 9/30 (2006.01)	G09F 9/30 338	5C094

審査請求 未請求 請求項の数 7 O L (全 38 頁)

(21) 出願番号	特願2007-151175 (P2007-151175)	(71) 出願人	502356528
(22) 出願日	平成19年6月7日(2007.6.7)		株式会社 日立ディスプレイズ
			千葉県茂原市早野3300番地
		(74) 代理人	100083552
			弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一
		(72) 発明者	大井田 淳
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	宮崎 貴弘
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内

最終頁に続く

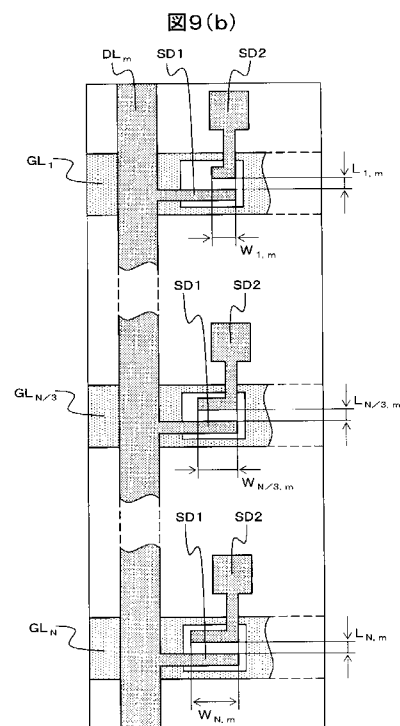
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 アクティブマトリクス型の液晶表示装置の表示品質を向上させる。

【解決手段】 複数本の走査信号線と、前記複数本の走査信号線と立体的に交差する複数本の映像信号線と、マトリクス状に配置された多数個のTFT素子とを有し、前記多数個のTFT素子は、それぞれ、前記複数本の走査信号線のうちの1本にゲートが接続され、前記複数本の映像信号線のうちの1本にドレインまたはソースのいずれか一方が接続されている表示パネルを有する表示装置であって、前記多数個のTFT素子は、前記ゲートが接続されている走査信号線の信号入力端からの距離および前記ドレインまたはソースのいずれか一方が接続されている映像信号線の信号入力端からの距離に応じて、それぞれのTFT素子のチャネル幅またはチャネル長あるいはその両方が異なる表示装置。

【選択図】 図9(b)



【特許請求の範囲】

【請求項 1】

複数本の走査信号線と、前記複数本の走査信号線と立体的に交差する複数本の映像信号線と、マトリクス状に配置された多数個の T F T 素子とを有し、

前記多数個の T F T 素子は、それぞれ、前記複数本の走査信号線のうちの 1 本にゲートが接続され、前記複数本の映像信号線のうちの 1 本にドレインまたはソースのいずれか一方が接続されている表示パネルを有する表示装置であって、

前記多数個の T F T 素子は、前記ゲートが接続されている走査信号線の信号入力端からの距離および前記ドレインまたはソースのいずれか一方が接続されている映像信号線の信号入力端からの距離に応じて、それぞれの T F T 素子のチャンネル幅またはチャンネル長あるいはその両方が異なることを特徴とする表示装置。

10

【請求項 2】

前記マトリクス状に配置された前記多数個の T F T 素子のうちの、前記ゲートが共通の走査信号線に接続されている複数個の T F T 素子は、前記走査信号線の信号入力端からの距離が長くなるにしたがい、前記チャンネル幅を前記チャンネル長で除した値が大きくなり、

前記マトリクス状に配置された前記多数個の T F T 素子のうちの、前記ドレインまたはソースのいずれか一方が共通の映像信号線に接続されている複数個の T F T 素子は、前記映像信号線の信号入力端からの距離が長くなるにしたがい、前記チャンネル幅を前記チャンネル長で除した値が大きくなることを特徴とする請求項 1 に記載の表示装置。

20

【請求項 3】

前記ゲートが共通の走査信号線に接続されている複数個の T F T 素子は、前記走査信号線の信号入力端からの距離が長くなるにしたがい、隣接する 2 つの T F T 素子の前記チャンネル幅を前記チャンネル長で除した値の差が小さくなり、

前記ドレインまたはソースのいずれか一方が共通の映像信号線に接続されている複数個の T F T 素子は、前記映像信号線の信号入力端からの距離が長くなるにしたがい、隣接する 2 つの T F T 素子の前記チャンネル幅を前記チャンネル長で除した値の差が小さくなることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記ゲートが共通の走査信号線に接続されている複数個の T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の変化率は、前記複数個の T F T 素子のうちのある特定の T F T 素子を境にして変化し、前記ある特定の T F T 素子よりも前記走査信号線の信号入力端に近い T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の変化率が、前記ある特定の T F T 素子よりも前記走査信号線の信号入力端から遠い T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の差の変化率よりも大きく、

30

前記ドレインまたはソースのいずれか一方が共通の映像信号線に接続されている複数個の T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の変化率は、前記複数個の T F T 素子のうちのある特定の T F T 素子を境にして変化し、前記ある特定の T F T 素子よりも前記映像信号線の信号入力端に近い T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の変化量が、前記ある特定の T F T 素子よりも前記映像信号線の信号入力端から遠い T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の変化量よりも大きいことを特徴とする請求項 3 に記載の表示装置。

40

【請求項 5】

前記ゲートが共通の走査信号線に接続されている複数個の T F T 素子における前記ある特定の T F T 素子は、前記走査信号線の信号入力端から最も近い T F T 素子と、前記走査信号線の信号入力端から最も遠い T F T 素子との間を 1 : 2 に分割する位置またはその近傍に配置されている T F T 素子であり、

前記ドレインまたはソースのいずれか一方が共通の映像信号線に接続されている複数個の T F T 素子における前記ある特定の T F T 素子は、前記映像信号線の信号入力端から最も近い T F T 素子と、前記映像信号線の信号入力端から最も遠い T F T 素子との間を 1 : 2 に分割する位置またはその近傍に配置されている T F T 素子であることを特徴とする請

50

求項 4 に記載の表示装置。

【請求項 6】

前記マトリクス状に配置された前記多数個の T F T 素子は、前記ゲートが接続されている走査信号線の信号入力端からの距離および前記ドレインまたはソースのいずれか一方が接続されている映像信号線の信号入力端からの距離に応じて、ゲート絶縁膜の厚さが異なることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記表示パネルは、一对の基板の間に液晶材料を封入した液晶表示パネルであることを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、表示装置に関し、特に、T F T 素子がマトリクス状に配置されたアクティブマトリクス型の液晶表示装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

従来、テレビやパーソナルコンピュータ（P C : P e r s o n a l C o m p u t e r）向けのディスプレイには、たとえば、アクティブマトリクス型の液晶表示装置を用いたものがある。アクティブマトリクス型の液晶表示装置は、一对の基板の間に液晶を封入した液晶表示パネルを有し、前記一对の基板のうちの一方の基板には、多数個のアクティブ素子（スイッチング素子と呼ぶこともある）がマトリクス状に配置されている。液晶表示装置における前記アクティブ素子は、たとえば、T F T 素子であることが多い。

20

【0003】

前記一对の基板のうちの、多数個の T F T 素子がマトリクス状に配置されている基板（以下、T F T 基板と呼ぶ）は、ガラス基板などの絶縁基板の表面に、複数本の走査信号線と、前記複数本の走査信号線と立体的に交差する複数本の映像信号線と、マトリクス状に配置された多数個の T F T 素子と、マトリクス状に配置された多数個の画素電極とを有する。

【0004】

また、アクティブマトリクス型の液晶表示装置において、液晶表示パネルの表示領域は、T F T 素子および T F T 素子のソースに接続された画素電極を有する画素の集合で構成されており、走査信号線の延在方向に並んだ複数個の画素の各 T F T 素子のゲートは、たとえば、1 本の共通の走査信号線に接続されている。また、映像信号線の延在方向に並んだ複数個の画素の各 T F T 素子のドレインは、たとえば、1 本の共通の映像信号線に接続されている。

30

【0005】

また、各画素の画素電極は、前記液晶および共通電極（対向電極と呼ぶこともある）とともに画素容量（液晶容量と呼ぶこともある）を形成している。

【0006】

なお、本明細書では、前記 T F T 素子のソースとドレインについて、画素電極に接続しているほうをソースと呼び、映像信号線に接続しているほうをドレインと呼んでいるが、この逆、すなわち画素電極に接続しているほうをドレインと呼び、映像信号線に接続しているほうをソースと呼ぶこともある。

40

【0007】

アクティブマトリクス型の液晶表示装置において、走査信号線の延在方向に並んだ複数個の T F T 素子のゲートは、前述のように、1 本の共通の走査信号線に接続されているのが一般的である。このとき、ゲートが 1 本の共通の走査信号線に接続している複数個の T F T 素子のバイアス条件は、当該走査信号線の信号入力端からの距離に応じて変化する。すなわち、ゲートと走査信号線の信号入力端との距離が短い T F T 素子と、ゲートと走査信号線の信号入力端からの距離が長い T F T 素子とではバイアス条件が異なる。そして、

50

この TFT 素子のバイアス条件の違いにより、たとえば、各画素（画素電極）における、未書き込み電圧と呼ばれる電圧、およびフィードスルー電圧と呼ばれる電圧に変化が生じる。

【0008】

前記未書き込み電圧や前記フィードスルー電圧は、簡単に言うと、映像信号線に入力された映像信号における、ある画素に対する階調信号の電圧と、当該画素の TFT 素子のゲートがオンになっている間に当該画素の画素電極に実際に書き込まれた電圧との間に生じる電位差である。そして、各画素における前記未書き込み電圧や前記フィードスルー電圧が異なると、輝度むらやフリッカなどが顕著になり、1枚の表示装置（表示パネル）における画質むらが顕著になるという問題があった。

10

【0009】

そのため、近年のアクティブマトリクス型の TFT 素子液晶表示装置では、たとえば、ゲートが1本の共通の走査信号線に接続されている複数の TFT 素子について、当該走査信号線の信号入力端からの距離に応じて、各 TFT 素子のサイズ（たとえば、チャンネル幅 W をチャンネル長 L で除した値 W/L ）を変える方法が提案されている（たとえば、特許文献1や特許文献2を参照。）。

【0010】

前記特許文献1や前記特許文献2に記載された表示装置では、走査信号線に入力された走査信号の遅延に着目し、たとえば、ゲートが1本の共通の走査信号線に接続されている複数の TFT 素子は、当該走査信号線の信号入力端からの距離が長い TFT 素子ほどサイズ W/L が大きくなるように形成している。すなわち、たとえば、図18に示したような構成において、ゲートが走査信号線 GL_1 に接続されている各 TFT 素子 $Tr_{1,1}$, $\dots$, $Tr_{1,j}$, $\dots$, $Tr_{1,M}$ についてみると、走査信号線 GL_1 の信号入力端から最も近い TFT 素子 $Tr_{1,1}$ のサイズが最も小さく、走査信号線 GL_1 の信号入力端からの距離が長い TFT 素子ほど、サイズが大きくなるようにしている。なお、図18は、従来の液晶表示パネルの概略構成の一例を説明するための模式回路図である。また、図18において、各走査信号線 GL_1 , GL_{i-1} , GL_i , GL_{N-1} , GL_N の左端の三角形の印は走査信号の信号入力端であることを示し、各映像信号線 DL_1 , DL_2 , DL_j , DL_{j+1} , DL_M の上端の三角形の印は映像信号の信号入力端であることを示している。

20

30

【特許文献1】特開平5-232512号公報

【特許文献2】特開平9-258261号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

ところで、液晶テレビなどに用いられる液晶表示装置（液晶表示パネル）は、近年、さらなる大面積化（大画面化）や高精細化が進んでいる。そのため、配線抵抗および配線容量が増大する傾向にあり、走査信号線における走査信号の遅延だけでなく、映像信号線における映像信号の遅延も増大する。またさらに、たとえば、倍速駆動などの高速駆動化された液晶表示装置では、各 TFT 素子に、短時間でのスイッチング動作が要求される。そのため、たとえば、ドレインが1本の共通の映像信号線に接続されている TFT 素子を有する各画素における前記未書き込み電圧および前記フィードスルー電圧の変化も大きくなる傾向にある。

40

【0012】

しかしながら、従来の、たとえば、前記特許文献1や前記特許文献2に記載された表示装置では、ドレインが1本の共通の映像信号線に接続されている複数の TFT 素子のサイズ W/L は、同じサイズになるように形成している。すなわち、たとえば、図18に示したような構成において、ドレインが映像信号線 DL_1 に接続されている各 TFT 素子 $Tr_{1,1}$, $\dots$, $Tr_{i,1}$, $\dots$, $Tr_{N,1}$ についてみると、各 TFT 素子 $Tr_{1,1}$, $\dots$, $Tr_{i,1}$, $\dots$, $Tr_{N,1}$ のサイズ W/L は、映像信号線 DL_1 の信号入力端から

50

の距離によらず、ほぼ同じ値である。また、他の映像信号線、たとえば、映像信号線 DL_j に接続されている各 TFT 素子 $Tr_{1,j}, \dots, Tr_{i,j}, \dots, Tr_{N,j}$ についてみた場合も、同様に、各 TFT 素子 $Tr_{1,j}, \dots, Tr_{i,j}, \dots, Tr_{N,j}$ のサイズ W/L は、ほぼ同じ値である。

【0013】

そのため、液晶表示パネルが大画面化または高精細化あるいは高速駆動化すると、各画素における前記未書き込み電圧および前記フィードスルー電圧の変化に面内分布（二次元分布）が生じる。したがって、従来の、たとえば、前記特許文献 1 や前記特許文献 2 に記載されたような構成の表示装置では、輝度むらやフリッカと呼ばれる現象を防ぐことが難しく、1 枚の液晶表示装置（液晶表示パネル）における表示品質が低下するという問題があった。

10

【0014】

本発明の目的は、たとえば、アクティブマトリクス型の液晶表示装置の表示品質を向上させることが可能な技術を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかになるであろう。

【課題を解決するための手段】

【0016】

本願において開示される発明のうち、代表的なものの概略を説明すれば、以下の通りである。

20

【0017】

(1) 複数本の走査信号線と、前記複数本の走査信号線と立体的に交差する複数本の映像信号線と、マトリクス状に配置された多数個の TFT 素子とを有し、前記多数個の TFT 素子は、それぞれ、前記複数本の走査信号線のうちの 1 本にゲートが接続され、前記複数本の映像信号線のうちの 1 本にドレインまたはソースのいずれか一方が接続されている表示パネルを有する表示装置であって、前記多数個の TFT 素子は、前記ゲートが接続されている走査信号線の信号入力端からの距離および前記ドレインまたはソースのいずれか一方が接続されている映像信号線の信号入力端からの距離に応じて、それぞれの TFT 素子のチャンネル幅またはチャンネル長あるいはその両方が異なる表示装置。

30

【0018】

(2) 前記 (1) の表示装置において、前記マトリクス状に配置された前記多数個の TFT 素子のうちの、前記ゲートが共通の走査信号線に接続されている複数個の TFT 素子は、前記走査信号線の信号入力端からの距離が長くなるにしたがい、前記チャンネル幅を前記チャンネル長で除した値が大きくなり、前記マトリクス状に配置された前記多数個の TFT 素子のうちの、前記ドレインまたはソースのいずれか一方が共通の映像信号線に接続されている複数個の TFT 素子は、前記映像信号線の信号入力端からの距離が長くなるにしたがい、前記チャンネル幅を前記チャンネル長で除した値が大きくなる表示装置。

【0019】

(3) 前記 (2) の表示装置において、前記ゲートが共通の走査信号線に接続されている複数個の TFT 素子は、前記走査信号線の信号入力端からの距離が長くなるにしたがい、隣接する 2 つの TFT 素子の前記チャンネル幅を前記チャンネル長で除した値の差が小さくなり、前記ドレインまたはソースのいずれか一方が共通の映像信号線に接続されている複数個の TFT 素子は、前記映像信号線の信号入力端からの距離が長くなるにしたがい、隣接する 2 つの TFT 素子の前記チャンネル幅を前記チャンネル長で除した値の差が小さくなる表示装置。

40

【0020】

(4) 前記 (3) の表示装置において、前記ゲートが共通の走査信号線に接続されている複数個の TFT 素子における前記チャンネル幅を前記チャンネル長で除した値の変化率は、前記複数個の TFT 素子のうちのある特定の TFT 素子を境にして変化し、前記ある特定

50

の T F T 素子よりも前記走査信号線の信号入力端に近い T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の変化率が、前記ある特定の T F T 素子よりも前記走査信号線の信号入力端から遠い T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の差の変化率よりも大きく、前記ドレインまたはソースのいずれか一方が共通の映像信号線に接続されている複数個の T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の変化率は、前記複数個の T F T 素子のうちのある特定の T F T 素子を境にして変化し、前記ある特定の T F T 素子よりも前記映像信号線の信号入力端に近い T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の変化量が、前記ある特定の T F T 素子よりも前記映像信号線の信号入力端から遠い T F T 素子における前記チャンネル幅を前記チャンネル長で除した値の変化量よりも大きい表示装置。

10

【0021】

(5) 前記(4)の表示装置において、前記ゲートが共通の走査信号線に接続されている複数個の T F T 素子における前記ある特定の T F T 素子は、前記走査信号線の信号入力端から最も近い T F T 素子と、前記走査信号線の信号入力端から最も遠い T F T 素子との間を 1 : 2 に分割する位置またはその近傍に配置されている T F T 素子であり、前記ドレインまたはソースのいずれか一方が共通の映像信号線に接続されている複数個の T F T 素子における前記ある特定の T F T 素子は、前記映像信号線の信号入力端から最も近い T F T 素子と、前記映像信号線の信号入力端から最も遠い T F T 素子との間を 1 : 2 に分割する位置またはその近傍に配置されている T F T 素子である表示装置。

20

【0022】

(6) 前記(1)乃至(5)のいずれかの表示装置において、前記マトリクス状に配置された前記多数個の T F T 素子は、前記ゲートが接続されている走査信号線の信号入力端からの距離および前記ドレインまたはソースのいずれか一方が接続されている映像信号線の信号入力端からの距離に応じて、ゲート絶縁膜の厚さが異なる表示装置。

【0023】

(7) 前記(1)乃至(6)のいずれかの表示装置において、前記表示パネルは、一対の基板の間に液晶材料を封入した液晶表示パネルである表示装置。

【発明の効果】**【0024】**

本発明によれば、ゲートが 1 本の共通の走査信号線に接続されている複数個の T F T 素子のバイアス条件の変化に対する影響を低減できるとともに、ドレインが 1 本の共通の映像信号線に接続されている複数個の T F T 素子のバイアス条件の変化に対する影響を低減できる。そのため、表示領域を構成する各画素の未書き込み電圧およびフィードスルー電圧をほぼ均一にでき、アクティブマトリクス型の表示装置の表示品質を向上させることができる。

30

【0025】

また、本発明によれば、走査信号線に入力された走査信号の遅延および映像信号線に入力された映像信号の遅延による各 T F T 素子のバイアス条件の変化に対する影響を低減できるだけでなく、たとえば、各 T F T 素子のゲート絶縁膜の膜厚の変動による各 T F T 素子のバイアス条件の変化に対する影響を低減できる。そのため、アクティブマトリクス型の表示装置の表示品質をさらに向上させることができる。

40

【発明を実施するための最良の形態】**【0026】**

以下、本発明について、図面を参照して実施の形態(実施例)とともに詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【0027】

図 1 (a) は、本発明にかかわる液晶表示装置の概略構成の一例を示す模式ブロック図である。図 1 (b) は、図 1 (a) に示した液晶表示パネルにおける 1 つの画素の回路構

50

成の一例を示す模式回路図である。

図2 (a) は、図1 (a) に示した液晶表示パネルの表示領域の4つの角部に位置する画素の各TFT素子に入力される走査信号の波形および映像信号の波形の一例を示す模式図である。図2 (b) は、未書き込み電圧およびフィードスルー電圧の定義を説明するための模式図である。図2 (c) は、図2 (a) に示した2つの画素SP1, SP4における未書き込み電圧の大きさを比較する模式図である。

図3 は、従来の1枚の液晶表示パネルの表示領域における未書き込み電圧の大きさの分布の一例を示す模式図である。

【0028】

本発明は、たとえば、アクティブマトリクス型の液晶表示装置に適用することができる。アクティブマトリクス型の液晶表示装置は、たとえば、図1 (a) に示すように、第1の方向（横方向）に長く延びる複数本の走査信号線GLおよび第2の方向（縦方向）に長く延びる複数本の映像信号線DLとを有する液晶表示パネル1と、液晶表示パネル1の複数本の映像信号線DLに映像信号（階調データと呼ぶこともある）を入力するデータドライバ2と、液晶表示パネル1の複数本の走査信号線GLに走査信号を入力するゲートドライバ3と、液晶表示パネル1の共通電極（図示しない）に共通電位の電圧信号Vcomを入力する共通電圧入力回路4とを有する。

【0029】

また、液晶表示パネル1の表示領域DAは、アクティブ素子（スイッチング素子）として機能するTFT素子が、たとえば、前記第1の方向および前記第2の方向にマトリクス状に配置されている。また、表示領域DAは、前記第1の方向および前記第2の方向にマトリクス状に配置された複数の画素の集合で構成されており、1つの画素が占める領域は、たとえば、隣接する2本の走査信号線GLと隣接する2本の映像信号線DLとで囲まれる領域に相当する。

【0030】

また、表示領域を構成する各画素は、TFT素子および画素電極を有し、たとえば、図1 (b) に示すように、隣接する2本の走査信号線 GL_n , GL_{n+1} と隣接する2本の映像信号線 DL_m , DL_{m+1} とで囲まれた領域の画素が有するTFT素子Trは、ゲートが走査信号線 GL_{n+1} に接続されており、ドレインが映像信号線 DL_m に接続されている。また、TFT素子Trのソースは、当該画素が有する画素電極PXに接続されている。

【0031】

また、液晶表示パネル1は、一对の基板の間に液晶を封入した表示パネルであり、走査信号線GL、映像信号線DL、TFT素子Tr、および画素電極PXは、前記一对の基板のうちの一方の基板（以下、TFT基板と呼ぶ）に形成されている。

【0032】

また、画素電極PXは、共通電極CTおよび液晶LCとともに画素容量（液晶容量）を形成している。このとき、共通電極CTは、前記TFT基板に形成されていることもあるし、前記一对の基板のうちの他方の基板（以下、対向基板と呼ぶ）に形成されていることもある。

【0033】

またさらに、図1 (b) では省略しているが、画素電極PXは、たとえば、隣接する2本の走査信号線 GL_n , GL_{n+1} のうちの、TFT素子Trのゲートが接続していないほうの走査信号線 GL_n 、および画素電極PXと走査信号線 GL_n との重畳領域に介在する絶縁層とともに保持容量を形成している。

【0034】

ところで、液晶表示装置のうちの、たとえば、液晶テレビなどの大型の液晶表示装置では、各走査信号線GLの延在方向（横方向）の長さだけでなく、各映像信号線DLの延在方向（縦方向）の長さも非常に長くなってきている。そのため、各走査信号線GLに入力された走査信号の遅延量および各映像信号線DLに入力された映像信号の遅延量は増大し

10

20

30

40

50

、信号入力端からの距離が近い画素と遠い画素では、T F T素子に入力される信号の波形に違いが生じる。このとき、図1 (a) に示した表示領域D Aの4つの角部に位置する画素S P 1, S P 2, S P 3, S P 4の各画素のT F T素子のゲートに入力される走査信号V_Gの波形およびドレインに入力される映像信号D A T Aの波形は、たとえば、図2 (a) に示すようになっている。なお、図2 (a) には、4つの画素S P 1, S P 2, S P 3, S P 4の各画素が有するT F T素子に実際に入力される走査信号V_Gおよび映像信号D A T Aの波形を実線で示し、理想的な波形(入力波形)を点線で示している。

【0035】

表示領域D Aの左上の角部に位置する画素S P 1は、走査信号線G Lの信号入力端から近く、かつ、映像信号線D Lの信号入力端からも近い。そのため、図2 (a) の左上に示すように、画素S P 1のT F T素子のゲートに実際に入力される走査信号V_Gの波形およびドレインに実際に入力される映像信号D A T Aの波形は、それぞれ理想的な波形(矩形)に近い波形になっている。

【0036】

表示領域D Aの右上の角部に位置する画素S P 2は、走査信号線G Lの信号入力端からは遠く、映像信号線D Lの信号入力端からは近い。そのため、図2 (a) の右上に示すように、画素S P 2のT F T素子のドレインに実際に入力される映像信号D A T Aの波形は理想的な波形(矩形)に近い波形になっているが、ゲートに実際に入力される走査信号V_Gの波形は配線抵抗による遅延で画素S P 1のT F T素子のゲートに入力される波形よりもなまった波形になっている。すなわち、画素S P 2のT F T素子のゲートに実際に入力される走査信号V_Gの波形は、走査信号V_Gがオフからオンになる際の変化およびオンからオフになる際の変化が、画素S P 1のT F T素子のゲートに入力される走査信号V_Gにおける変化よりも緩やかになっている。

【0037】

表示領域D Aの左下の角部に位置する画素S P 3は、走査信号線G Lの信号入力端からは近く、映像信号線D Lの信号入力端からは遠い。そのため、図2 (a) の左下に示すように、画素S P 3のT F T素子のゲートに実際に入力される走査信号V_Gの波形は理想的な波形(矩形)に近い波形になっているが、ドレインに実際に入力される映像信号D A T Aの波形は配線抵抗による遅延で画素S P 1のT F T素子のドレインに入力される波形よりもなまった波形になっている。すなわち、画素S P 3のT F T素子のドレインに実際に入力される映像信号D A T Aの波形は、当該画素S P 3に対する映像信号D A T Aの開始位置における変化および終了位置における変化が、画素S P 1のT F T素子のドレインに入力される映像信号D A T Aにおける変化よりも緩やかになっている。

【0038】

表示領域D Aの右下の角部に位置する画素S P 4は、走査信号線G Lの信号入力端から遠く、かつ、映像信号線D Lの信号入力端からも遠い。そのため、図2 (a) の右下に示すように、画素S P 4のT F T素子のゲートに実際に入力される走査信号V_Gの波形および映像信号D A T Aの波形は、それぞれ配線抵抗による遅延で画素S P 1のT F T素子に実際に入力される波形よりもなまった波形になっている。すなわち、画素S P 4のT F T素子のゲートに実際に入力される走査信号V_Gの波形は、走査信号V_Gがオフからオンになる際の変化およびオンからオフになる際の変化が、画素S P 1のT F T素子のゲートに入力される走査信号V_Gにおける変化よりも緩やかになっている。また、画素S P 4のT F T素子のドレインに実際に入力される映像信号D A T Aの波形は、当該画素S P 4に対する映像信号D A T Aの開始位置における変化および終了位置における変化が、画素S P 1のT F T素子のドレインに入力される映像信号D A T Aにおける変化よりも緩やかになっている。

【0039】

また、図示は省略するが、たとえば、ゲートが、映像信号線D Lの信号入力端から最も近い走査信号線G L (G L₁) に接続されている各画素のT F T素子に実際に入力される映像信号D A T Aの波形は、画素S P 1のT F T素子および画素S P 2のT F T素子に実

際に入力される映像信号 D A T A の波形とほぼ同じである。しかしながら、当該各画素の T F T 素子のゲートに実際に入力される走査信号 V_G の波形は、走査信号線 G L ($G L_1$) の信号入力端からの距離が長くなるにつれて、画素 S P 1 の T F T 素子のゲートに入力される走査信号 V_G の波形から画素 S P 2 の T F T 素子のゲートに入力される走査信号 V_G の波形に変化していく。また、他の走査信号線 G L についても同様であり、ゲートがある 1 本の共通の走査信号線 G L に接続されている T F T 素子についてみた場合、各 T F T 素子のドレインに入力される映像信号 D A T A の波形はどの T F T 素子でもほぼ同じであるが、各 T F T 素子のゲートに入力される走査信号 V_G の波形は走査信号線 G L の信号入力端からの距離が長くなるにつれて、理想的な矩形の波形からのずれ（なまり）が大きくなっていく。

10

【0040】

また、ドレインが、ある 1 本の共通の映像信号線 D L に接続されている T F T 素子についてみた場合は、各 T F T 素子のゲートに入力される走査信号 V_G の波形はほぼ同じであるが、各 T F T 素子のドレインに入力される映像信号 D A T A の波形は、映像信号線 D L の信号入力端からの距離が長くなるにつれて、理想的な矩形の波形からのずれ（なまり）が大きくなっていく。

【0041】

上記のようなことから、液晶表示パネルの表示領域 D A にある各画素の T F T 素子に実際に入力される走査信号 V_G の波形および映像信号 D A T A の波形の組み合わせは、表示領域 D A のどの 2 つの T F T 素子を比較しても異なる。この走査信号 V_G の波形および映像信号 D A T A の波形の違いは、各画素に形成される前記画素容量を充電する T F T 素子のバイアス条件が異なることを意味する。そして、各画素の T F T 素子のバイアス条件の違いにより、各画素における未書き込み電圧とフィードスルー電圧が変化する。

20

【0042】

前記未書き込み電圧とは、たとえば、図 2 (b) の (1) に示すように、ある画素の T F T 素子のゲートに入力される走査信号 V_G がオンになり、当該画素に対する映像信号 D A T A が画素電極 P X に書き込まれたときの、走査信号 V_G がオンからオフに切り替わる時点（時刻）における画素電極 P X の電圧 V_{p_x} と映像信号 D A T A との電位差 V_L である。未書き込み電圧 V_L の大きさは、走査信号 V_G および映像信号 D A T A の立ち上がり時における波形のなまりと関係があり、走査信号 V_G の遅延量および映像信号 D A T A の遅延量から決まる T F T 素子のバイアス条件 V_{g_s} , V_{d_s} により変化する。このとき、走査信号 V_G および映像信号 D A T A の遅延量（波形のなまり）が大きいほど T F T 素子のオン電流は低下するので、走査信号線 G L の信号入力端から遠い画素や、映像信号線 D L の信号入力端から遠い画素ほど、未書き込み電圧 V_L が大きくなる。

30

【0043】

また、前記フィードスルー電圧とは、たとえば、図 2 (b) の (2) に示すように、ある画素の T F T 素子のゲートに入力される走査信号 V_G がオンになり、当該画素に対する映像信号 D A T A が画素電極 P X に書き込まれたときの、走査信号 V_G がオンからオフに切り替わる時点（時刻）における画素電極 P X の電圧 V_{p_x} と切り替わった後における画素電極 P X の電圧 V_{p_x} との電位差 V_{F_T} である。フィードスルー電圧 V_{F_T} は、走査信号 V_G の立ち下がり時、すなわち走査信号 V_G がオンからオフに切り替わる時の波形のなまりと関係があり、走査信号 V_G の遅延量から決まる T F T 素子のバイアス条件 V_{g_s} により変化する。このとき、走査信号 V_G の遅延量が大きいほど T F T 素子のオン電流による再充電（過充電）が増加するので、走査信号線 G L の信号入力端から遠い画素ほど、フィードスルー電圧 V_{F_T} が小さくなる。

40

【0044】

以上のようなことから、たとえば、図 1 (a) に示した 2 つの画素 S P 1, S P 4 について、各画素で生じる未書き込み電圧 V_L およびフィードスルー電圧 V_{F_T} の変化のうちの、未書き込み電圧 ΔV_L の変化についてみると、たとえば、図 2 (c) に示すようになる。走査信号線 G L の信号入力端からの距離および映像信号線 D L の信号入力端からの距

50

離がともに最も近い画素 S P 1 は、T F T 素子に入力される走査信号 V_G および映像信号 D A T A の立ち上がり時の波形がともにシャープであり、未書き込み電圧 V_L は小さい。一方、走査信号線 G L の信号入力端からの距離および映像信号線 D L の信号入力端からの距離がともに最も遠い画素 S P 4 では、T F T 素子に入力される走査信号 V_G および映像信号 D A T A の立ち上がり時の波形がともになまっており、未書き込み電圧 ΔV_L が大きくなる。

【0045】

また、表示領域 D A の全体でみると、各画素における未書き込み電圧 V_L の大きさの分布は、たとえば、図 3 に二点鎖線で示したような分布になり、走査信号線の信号入力端からの距離および映像信号線の信号入力端からの距離がともに最も近い画素 S P 1 で最も小

10

【0046】

以下、このような各画素における未書き込み電圧 V_L やフィードスルー電圧 V_{FT} の変化を小さくする液晶表示パネルの構成例の一例を説明する。

【実施例 1】

【0047】

図 4 は、本発明による実施例 1 の液晶表示パネルの概略構成を説明するための模式回路図である。

【0048】

20

実施例 1 の液晶表示パネルでは、図 4 に示すように、表示領域 D A にマトリクス状に配置された複数の T F T 素子 T r を、 $T r_{n, m}$ と表記して区別する。 $T r_{n, m}$ の添え字 n は、1, 2, ..., i, ..., N の整数のうちのいずれか 1 つであり、ゲートが接続されている走査信号線 G L_n を示す。また、 $T r_{n, m}$ の添え字 m は、1, 2, ..., j, ..., M の整数のうちのいずれか 1 つであり、ドレインが接続されている映像信号線 D L_m を示す。

【0049】

また、図 4 において、各走査信号線 G L₁, G L_{i-1}, G L_i, G L_{N-1}, G L_N の左端の三角形の印は走査信号の信号入力端であることを示し、各映像信号線 D L₁, D L₂, D L_j, D L_{j+1}, D L_M の上端の三角形の印は映像信号の信号入力端であることを示している。

30

【0050】

このとき、たとえば、ゲートが走査信号線 G L₁ に接続されている各 T F T 素子 T r は、走査信号線 G L₁ の信号入力端に近い T F T 素子から順に、 $T r_{1, 1}$, $T r_{1, 2}$, ..., $T r_{1, j}$, ..., $T r_{1, M}$ と表される。つまり、ゲートが、ある 1 本の共通の走査信号線 G L_n に接続されている T F T 素子 T r は、走査信号線 G L_n の信号入力端に近いほうから順に、 $T r_{n, 1}$, $T r_{n, 2}$, ..., $T r_{n, j}$, ..., $T r_{n, M}$ と表される。

【0051】

そして、実施例 1 の液晶表示パネルでは、まず、ゲートが 1 本の共通の走査信号線 G L_n に接続されている各 T F T 素子 ($T r_{n, 1}$, $T r_{n, 2}$, ..., $T r_{n, j}$, ..., $T r_{n, M}$) について、たとえば、下記表 1 に示すように、各 T F T 素子におけるチャネル幅 W、チャネル長 L、およびサイズ (チャネル幅をチャネル長で除した値 W/L) を、T F T 素子毎に独立して設定する。このとき、各 T F T 素子 ($T r_{n, m}$ ($m=1, 2, \dots, j, \dots, M$)) のチャネル幅 $W_{n, m}$ およびチャネル長 $L_{n, m}$ は、たとえば、走査信号線 G L_n の信号入力端からの距離が長い T F T 素子ほど、チャネル幅をチャネル長で除した値 ($W_{n, m}/L_{n, m}$) が大きくなるように設定する。

40

【表 1】

	W	L	W/L
$Tr_{n,1}$	$W_{n,1}$	$L_{n,1}$	$W_{n,1}/L_{n,1}$
$Tr_{n,2}$	$W_{n,2}$	$L_{n,2}$	$W_{n,2}/L_{n,2}$
$\vdots$	$\vdots$	$\vdots$	$\vdots$
$Tr_{n,j}$	$W_{n,j}$	$L_{n,j}$	$W_{n,j}/L_{n,j}$
$\vdots$	$\vdots$	$\vdots$	$\vdots$
$Tr_{n,M}$	$W_{n,M}$	$L_{n,M}$	$W_{n,M}/L_{n,M}$

10

【0052】

このようにすると、ゲートが1本の共通の走査信号線 GL_n に接続されている TFT 素子 ($Tr_{n,m}$ ($m=1, 2, \dots, j, \dots, M$)) は、走査信号線 GL_n の信号入力端からの距離が短い TFT 素子ほど、TFT 素子のサイズ W/L が小さくなり、スイッチ能力が低下する。すなわち、走査信号線 GL_n の信号入力端からの距離が短い TFT 素子の書き込み電流値が、走査信号線 GL_n の信号入力端からの距離が長い TFT 素子の書き込み電流値よりも小さくなる。そのため、ゲートが走査信号線 GL_n に接続されている TFT 素子 ($Tr_{n,m}$ ($m=1, 2, \dots, j, \dots, M$)) を有する各画素における未書き込み電圧 V_L の大きさの変化を小さくすることができる。

20

【0053】

また、ゲートが1本の共通の走査信号線 GL_n に接続されている TFT 素子 ($Tr_{n,m}$ ($m=1, 2, \dots, j, \dots, M$)) の TFT 素子サイズ W/L を設定するときに、たとえば、走査信号線 GL_n の信号入力端からの距離が最も長い TFT 素子のサイズ $W_{n,M}/L_{n,M}$ を基準にして、信号入力端に近づくほど TFT 素子のサイズが小さくするように設計すれば、走査信号線 GL_n の信号入力端からの距離が短い TFT 素子を有する画素における寄生容量（配線容量と呼ぶこともある）を小さくすることができる。そのため、ゲートが1本の共通の走査信号線 GL_n に接続されている TFT 素子 ($Tr_{n,m}$ ($m=1, 2, \dots, j, \dots, M$)) を有する各画素におけるフィードスルー電圧 V_{FT} の大きさのばらつきを低減することができる。

30

【0054】

またさらに、実施例1の液晶表示パネルでは、ドレインが1本の共通の映像信号線 DL_m に接続されている各 TFT 素子 ($Tr_{1,m}, Tr_{2,m}, \dots, Tr_{i,m}, \dots, Tr_{N,m}$) についても、たとえば、下記表2に示すように、各 TFT 素子におけるチャネル幅 W 、チャネル長 L 、およびサイズ（チャネル幅をチャネル長で除した値 W/L ）を、TFT 素子毎に独立して設定する。このとき、各 TFT 素子 ($Tr_{n,m}$ ($n=1, 2, \dots, i, \dots, N$)) のチャネル幅 $W_{n,m}$ およびチャネル長 $L_{n,m}$ は、たとえば、映像信号線 GL_m の信号入力端からの距離が長い TFT 素子ほど、チャネル幅をチャネル長で除した値 ($W_{n,m}/L_{n,m}$) が大きくなるように設定する。

40

【表 2】

	W	L	W/L
$Tr_{1, m}$	$W_{1, m}$	$L_{1, m}$	$W_{1, m}/L_{1, m}$
$Tr_{2, m}$	$W_{2, m}$	$L_{2, m}$	$W_{2, m}/L_{2, m}$
$\vdots$	$\vdots$	$\vdots$	$\vdots$
$Tr_{i, m}$	$W_{i, m}$	$L_{i, m}$	$W_{i, m}/L_{i, m}$
$\vdots$	$\vdots$	$\vdots$	$\vdots$
$Tr_{N, m}$	$W_{N, m}$	$L_{N, m}$	$W_{N, m}/L_{N, m}$

10

【0055】

このようにすると、ドレインが1本の共通の映像信号線 DL_m に接続されている TFT 素子 ($Tr_{n, m}$ ($n=1, 2, \dots, i, \dots, N$)) は、映像信号線 DL_m の信号入力端からの距離が短い TFT 素子ほど、TFT 素子のサイズ W/L が小さくなり、スイッチ能力が低下する。すなわち、映像信号線 DL_m の信号入力端からの距離が短い TFT 素子の書き込み電流値が、映像信号線 DL_m の信号入力端からの距離が長い TFT 素子の書き込み電流値よりも小さくなる。そのため、ドレインが映像信号線 DL_m に接続されている TFT 素子 ($Tr_{n, m}$ ($n=1, 2, \dots, j, \dots, N$)) を有する各画素における未書き込み電圧 V_L の大きさの変化を小さくすることができる。

20

【0056】

図5(a)は、従来の液晶表示パネルにおける1本の走査信号線の信号入力端からの距離と、遅延量、未書き込み電圧、およびフィードスルー電圧との関係を示す模式グラフ図である。図5(b)は、実施例1の液晶表示パネルにおける1本の共通の走査信号線に接続された TFT 素子のサイズ W/L の設定方法の一例を示す模式グラフ図である。

30

図6(a)は、従来の液晶表示パネルにおける1本の映像信号線の信号入力端からの距離と、遅延時間、未書き込み電圧、およびフィードスルー電圧との関係を示す模式グラフ図である。図6(b)は、実施例1の液晶表示パネルにおける1本の共通の映像信号線に接続された TFT 素子のサイズ W/L の設定方法の一例を示す模式グラフ図である。

【0057】

実施例1の液晶表示パネルは、たとえば、ゲートが、ある1本の共通の走査信号線 GL_n に接続されている TFT 素子に着目したときに、当該走査信号線 GL_n の信号入力端からの距離が遠い TFT 素子ほど、サイズ（たとえば、 W/L ）を大きくなるようにすることで、ゲートが走査信号線 GL_n に接続されている TFT 素子を有する各画素における未書き込み電圧 V_L およびフィードスルー電圧 V_{FT} をほぼ同じ大きさにする。

40

【0058】

ところで、1本の走査信号線 GL_n の信号入力端からの距離と、当該走査信号線 GL_n に入力された走査信号 V_G の遅延量との関係を調べると、たとえば、図5(a)に示したグラフのようになる。なお、図5(a)に示したグラフの横軸は信号入力端からの相対距離 LG_{in} であり、たとえば、信号入力端と、信号入力端から最も遠い画素の TFT 素子のゲートが接続されている位置との距離を1にして、信号入力端から各 TFT 素子までの距離を表している。また、左側の縦軸は、遅延量 Td であり、上にいくほど遅延量が大きくなり、波形のなまりが大きくなる。またこのとき、走査信号線 GL_n における遅延量 T

50

dは、たとえば、信号入力端からの相対距離 $L G_{i n}$ が0.3付近のところを境にして、相対距離 $L G_{i n}$ が0.3もより短い（小さい）画素間での遅延量の変化量と0.3よりも長い画素間での変化量とが異なり、相対距離 $L G_{i n}$ が0.3より短い画素間における変化量のほうが大きい。

【0059】

またさらに、走査信号線 $G L_n$ の信号入力端からの相対距離 $L G_{i n}$ と遅延量 $T d$ との関係に、ゲートが走査信号線 $G L_n$ に接続されているTFT素子のサイズ W/L がほぼ同じ値の場合における各画素の未書き込み電圧 V_L の大きさおよびフィードスルー電圧 $V_{F T}$ の大きさの関係を重ね合わせると、たとえば、図5（a）に示すようになる。なお、図5（a）に示したグラフは、右側の縦軸が各画素の未書き込み電圧 V_L （またはフィードスルー電圧 $V_{F T}$ ）であり、上にいくほど各電圧 V_L 、 $V_{F T}$ が大きくなる。このように、従来の一般的な液晶表示パネルでは、走査信号線 $G L_n$ の信号入力端からの相対距離 $L G_{i n}$ が長く（大きく）なるほど、未書き込み電圧 V_L は大きくなり、フィードスルー電圧 $V_{F T}$ の値は小さくなる。またこのとき、未書き込み電圧 V_L およびフィードスルー電圧 $V_{F T}$ の変化量は、遅延量 $T d$ と同様に、相対距離 $L G_{i n}$ が0.3よりも短い（小さい）画素間における変化量のほうが大きい。

【0060】

そこで、1本の共通の走査信号線 $G L_n$ にゲートが接続されている複数のTFT素子のサイズ W/L を設定するときには、走査信号線 $G L_n$ の信号入力端からの距離（位置）と、隣接する2つのTFT素子のサイズ W/L の差 $\Delta(W/L)$ との関係を、たとえば、図5（b）に示したグラフのようにすることが望ましい。なお、図5（b）のグラフにおいて、横軸は、TFT素子のドレインが接続されている映像信号線 $D L_m$ の添え字 m であり、 m は、走査信号線 $G L_n$ の信号入力端から距離が最も近い映像信号線から順番に1, 2, ..., M にしている。また、左側の縦軸は、各TFT素子 $T r_{n, m}$ のサイズ $(W_{n, m}/L_{n, m})$ であり、右側の縦軸は、 $\Delta(W/L) = (W_{n, m}/L_{n, m}) - (W_{n, m-1}/L_{n, m-1})$ である。また、左側の縦軸および右側の縦軸は、上にいくほどそれぞれの値が大きくなる。

【0061】

1本の走査信号線 $G L_n$ と交差する映像信号線 $D L$ が M 本であれば、図5（a）に示した信号入力端からの相対距離 $L G_{i n}$ と、遅延量 $T d$ 、未書き込み電圧 V_L 、およびフィードスルー電圧 $V_{F T}$ との関係を反映し、たとえば、ドレインが映像信号線 $D L_{M/3}$ に接続されているTFT素子を境にして、ドレインが映像信号線 $D L_1 \sim D L_{M/3}$ に接続されている各TFT素子におけるサイズの変化量 $\Delta(W/L)$ が、ドレインが映像信号線 $D L_{(M/3)+1} \sim D L_M$ に接続されている各TFT素子におけるサイズの変化量 $\Delta(W/L)$ よりも大きくなるようにする。このようにすれば、ゲートが1本の共通の走査信号線 $G L_n$ に接続されているTFT素子を有する各画素の未書き込み電圧 V_L およびフィードスルー電圧 $V_{F T}$ をほぼ同じ値にすることができる。なお、上記 $M/3$ が整数にならない場合は、 $M/3$ に近い整数番目の映像信号線 $D L$ を境に、各TFT素子のサイズの変化量 $\Delta(W/L)$ を変えればよいことはもちろんである。

【0062】

また、1本の映像信号線 $D L_m$ の信号入力端からの距離と、当該映像信号線 $D L_m$ に入力された映像信号 $D A T A$ の遅延量との関係を調べると、たとえば、図6（a）に示したグラフのようになる。なお、図6（a）に示したグラフの横軸は信号入力端からの相対距離 $L D_{i n}$ であり、たとえば、信号入力端と、信号入力端から最も遠い画素のTFT素子のドレインが接続されている位置との距離を1にして、信号入力端から各TFT素子までの距離を表している。また、左側の縦軸は、遅延量 $T d$ であり、上にいくほど遅延量が長くなり、波形のなまりが大きくなる。またこのとき、映像信号線 $D L_m$ における遅延量 $T d$ は、たとえば、信号入力端からの相対距離 $L G_{i n}$ が0.3付近のところを境にして、相対距離 $L G_{i n}$ が0.3よりも短い（小さい）画素間での遅延量の変化量と0.3よりも長い画素間での変化量とが異なり、相対距離 $L G_{i n}$ が0.3より短い画素間における

10

20

30

40

50

変化量のほうが大きい。

【0063】

またさらに、映像信号線 DL_m の信号入力端からの相対距離 LD_{in} と遅延量 Td との関係に、ドレインが映像信号線 DL_m に接続されている $TF T$ 素子のサイズ W/L がほぼ同じ値の場合における各画素の未書き込み電圧 V_L の大きさおよびフィードスルー電圧 V_{FT} の大きさの関係を重ね合わせると、たとえば、図6 (a) に示すようになる。なお、図6 (a) に示したグラフは、右側の縦軸が各画素の未書き込み電圧 V_L (またはフィードスルー電圧 V_{FT}) であり、上にいくほど各電圧 V_L , V_{FT} が大きくなる。このように、従来の一般的な液晶表示パネルでは、走査信号線 GL_n の信号入力端からの相対距離 LG_{in} が長く (大きく) なるほど、未書き込み電圧 V_L は大きくなるが、フィードスルー電圧 V_{FT} の値はほぼ一定である。またこのとき、未書き込み電圧 V_L の変化量は、遅延量 Td と同様に、相対距離 LG_{in} が0.3よりも短い (小さい) 画素間における変化量のほうが大きい。

【0064】

そこで、1本の共通の映像信号線 DL_m にドレインが接続されている複数の $TF T$ 素子のサイズ W/L を設定するときには、映像信号線 DL_m の信号入力端からの距離 (位置) と、隣接する2つの $TF T$ 素子のサイズ W/L の差 $\Delta (W/L)$ との関係を、たとえば、図6 (b) に示したグラフのようにすることが望ましい。なお、図6 (b) のグラフにおいて、横軸は、 $TF T$ 素子のゲートが接続されている走査信号線 GL_n の添え字 n であり、 n は、映像信号線 DL_m の信号入力端からの距離が最も近い走査信号線から順番に1, 2, ..., N にしている。また、左側の縦軸は、各 $TF T$ 素子 $Tr_{n,m}$ のサイズ ($W_{n,m}/L_{n,m}$) であり、右側の縦軸は、 $\Delta (W/L) = (W_{n,m}/L_{n,m}) - (W_{n-1,m}/L_{n-1,m})$ である。また、左側の縦軸および右側の縦軸は、上にいくほどそれぞれの値が大きくなる。

【0065】

このとき、映像信号線 DL_m と交差する映像信号線 GL が N 本であれば、図6 (a) に示した信号入力端からの相対距離 LD_{in} と、遅延量 Td および未書き込み電圧 V_L との関係を反映し、たとえば、ゲートが走査信号線 $GL_{N/3}$ に接続されている $TF T$ 素子を境にして、ゲートが走査信号線 $GL_1 \sim GL_{N/3}$ に接続されている各 $TF T$ 素子におけるサイズの変化量 $\Delta (W/L)$ が、ゲートが走査信号線 $GL_{(N/3)+1} \sim GL_N$ に接続されている各 $TF T$ 素子におけるサイズの変化量 $\Delta (W/L)$ よりも大きくなるようにする。このようにすれば、ドレインが1本の共通の映像信号線 DL_m に接続されている $TF T$ 素子を有する各画素の未書き込み電圧 V_L をほぼ同じ値にすることができる。なお、上記 $N/3$ が整数にならない場合は、 $N/3$ に近い整数番目の走査信号線 GL を境に、各 $TF T$ 素子のサイズの変化量 $\Delta (W/L)$ を変えればよいことはもちろんである。

【0066】

なお、図6 (a) および図6 (b) に示したような考え方で、ドレインが1本の共通の映像信号線 DL_m に接続された各 $TF T$ 素子のサイズ W/L を設定するときには、映像信号線 DL_m の、走査信号線 GL の信号入力端からの距離を考慮する必要がある。ゲートが1本の共通の走査信号線 GL_i に接続されている各 $TF T$ 素子のサイズ W/L は、たとえば、図5 (b) に示したような分布 (関係) になっている必要がある。すなわち、たとえば、ゲートが走査信号線 GL_i に接続され、ドレインが映像信号線 DL_1 にされている $TF T$ 素子 $Tr_{i,1}$ のサイズと、ゲートが走査信号線 GL_i に接続され、ドレインが映像信号線 DL_j にされている $TF T$ 素子 $Tr_{i,j}$ のサイズと、ゲートが走査信号線 GL_i に接続され、ドレインが映像信号線 DL_M にされている $TF T$ 素子 $Tr_{i,M}$ のサイズとの関係は、図5 (b) に示したような分布にしたがう関係である必要がある。そのため、ドレインが1本の共通の映像信号線 DL_m に接続された各 $TF T$ 素子のサイズ W/L を設定するときには、たとえば、図6 (b) に示すように、ドレインが映像信号線 DL_1 に接続されている $TF T$ 素子のサイズ、ドレインが映像信号線 DL_j に接続されている $TF T$ 素子のサイズ、ドレインが映像信号線 DL_M に接続されている $TF T$ 素子のサイズがそれ

10

20

30

40

50

ぞれ異なる値になるようにし、かつ、走査信号線 G L の信号入力端からの距離が長い映像信号線にドレインが接続されている T F T 素子のサイズほど、大きくなるようにする。

【0067】

実施例 1 の液晶表示パネルは、表示領域 D A にマトリクス状に配置された多数個の T F T 素子について、たとえば、各 T F T 素子のサイズ（チャンネル幅 W をチャンネル長 L で除した値 W/L ）を上記のような方法で、T F T 素子毎に設定することで、1 枚の液晶表示パネルの表示領域 D A にある各画素における未書き込み電圧 V_L の大きさおよびフィードスルー電圧 V_{FT} の大きさをほぼ等しくすることができ、輝度むらやフリッカ等を低減することができる。

【0068】

図 7 (a) は、液晶表示パネルの概略構成を示す模式平面図である。図 7 (b) は、図 7 (a) の A-A' 線における模式断面図である。

図 8 (a) は、液晶表示パネルの T F T 基板における 1 つの画素の概略構成の一例を示す模式平面図である。図 8 (b) は、図 8 (a) の B-B' 線における模式断面図である。図 8 (c) は、図 8 (a) の C-C' 線における模式断面図である。

図 9 (a) は、実施例 1 の構成を適用した T F T 基板における 1 本の走査信号線に沿って配置された T F T 素子の形状の一例を示す模式平面図である。図 9 (b) は、実施例 1 の構成を適用した T F T 基板における 1 本の映像信号線に沿って配置された T F T 素子の形状の一例を示す模式平面図である。

【0069】

実施例 1 で挙げた液晶表示パネル 1 は、たとえば、図 7 (a) および図 7 (b) に示すように、T F T 基板 101 および対向基板 102 の一対の基板の間に液晶 L C を封入したものである。このとき、T F T 基板 101 と対向基板 102 とは、たとえば、表示領域 D A の外側に環状に設けられたシール材 103 で接着されており、液晶 L C は、T F T 基板 101、対向基板 102、およびシール材 103 で囲まれた空間に密封されている。

【0070】

T F T 基板 101 は、前述のように、ガラス基板などの絶縁基板の表面に、複数本の走査信号線 G L、複数本の映像信号線 D L、マトリクス状に配置された T F T 素子、および画素電極 P X などが設けられている基板である。また、対向基板 102 は、たとえば、ガラス基板などの絶縁基板の表面に、表示領域 D A を画素毎に分割する遮光膜やカラーフィルタなどが設けられている基板である。

【0071】

また、液晶表示パネル 1 が、たとえば、V A 方式または T N 方式などの縦電界駆動方式の場合、共通電極 C T は、対向基板 102 に設けられる。また、液晶表示パネル 1 が、たとえば、I P S 方式などの横電界駆動方式の場合、共通電極 C T は、T F T 基板 101 に設けられる。

【0072】

また、液晶表示パネル 1 が透過型または半透過型の場合、T F T 基板 101 および対向基板 102 の外側を向いた面には、たとえば、一対の偏光板 104 A、104 B が設けられる。またこのとき、T F T 基板 101 と偏光板 104 A との間、および他方の基板 102 と偏光板 104 B との間に、それぞれ、1 層または複数層の位相差板が設けられていることもある。

【0073】

また、液晶表示パネル 1 が反射型の場合、一般に、T F T 基板 101 側の偏光板 104 A や位相差板は不要である。

【0074】

このような液晶表示パネル 1 において、T F T 基板 101 の表示領域 D A にある 1 つの画素の構成は、たとえば、図 8 (a) 乃至図 8 (c) に示すような構成になっている。T F T 基板 101 は、たとえば、ガラス基板などの絶縁基板 S U B の表面に、複数本の走査信号線 G L が形成されている。走査信号線 G L は、たとえば、アルミニウム膜などの導電

10

20

30

40

50

膜をエッチングして形成される。

【0075】

また、絶縁基板SUBおよび走査信号線GLの上には、TFT素子のゲート絶縁膜としての機能を有する第1の絶縁層PAS1を介して、TFT素子の半導体層SC、映像信号線DL、TFT素子のドレイン電極SD1およびソース電極SD2が形成されている。第1の絶縁層PAS1は、たとえば、シリコン酸化膜(SiO_2)を成膜して形成される。半導体層SCは、たとえば、アモルファスシリコン膜をエッチングした後、不純物を注入してチャネル領域、ドレイン領域、およびソース領域を形成される。映像信号線DL、ドレイン電極SD1、およびソース電極SD2は、たとえば、アルミニウム膜などの導体膜をエッチングして形成される。このとき、ドレイン電極SD1は、たとえば、映像信号線DLの一部として、映像信号線DLと一体形成される。

10

【0076】

また、映像信号線DLなどの上には、第2の絶縁層PAS2を介して、画素電極PXが形成されている。画素電極PXは、たとえば、ITO膜などの光透過率が高い導電膜をエッチングして形成される。また、画素電極PXは、スルーホールTHでソース電極SD2に接続される。

【0077】

また、図8(b)および図8(c)では省略しているが、画素電極PXの上には、たとえば、配向膜が形成されている。

【0078】

TFT基板101の1画素の構成が、図8(a)乃至図8(c)に示したような構成である場合に、たとえば、上記表1および表2に示したように、各TFT素子のサイズ W/L を個別に設定すると、ある1本の走査信号線 GL_n にゲートが接続されている各TFT素子のチャネル幅 W およびチャネル長 L は、たとえば、図9(a)に示すようになる。なお、図9(a)には、走査信号線 GL_n の信号入力端からの距離が最も短い映像信号線 DL_1 にドレインが接続されているTFT素子 $Tr_{n,1}$ と、走査信号線 GL_n の信号入力端からの距離が最も長い映像信号線 DL_M にドレインが接続されているTFT素子 $Tr_{n,M}$ と、それらの間にある映像信号線 $DL_{n,M/3}$ にドレインが接続されているTFT素子 $Tr_{n,M/3}$ のみを示している。

20

【0079】

ゲートが1本の共通の走査信号線 GL_n に接続されているTFT素子について、たとえば、図5(b)に示したグラフの関係に基づいて各TFT素子のチャネル幅 W およびチャネル長 L を設定する場合、映像信号線 DL_1 にドレインが接続されているTFT素子 $Tr_{n,1}$ のサイズ $W_{n,1}/L_{n,1}$ と映像信号線 $DL_{M/3}$ にドレインが接続されているTFT素子 $Tr_{n,M/3}$ のサイズ $W_{n,M/3}/L_{n,M/3}$ との変化量 $\Delta(W/L)$ は、映像信号線 $DL_{M/3}$ にドレインが接続されているTFT素子 $Tr_{n,M/3}$ のサイズ $W_{n,M/3}/L_{n,M/3}$ と映像信号線 DL_M にドレインが接続されているTFT素子 $Tr_{n,M}$ のサイズ $W_{n,M}/L_{n,M}$ との変化量 $\Delta(W/L)$ よりも大きくする。このとき、各TFT素子のサイズ W/L は、たとえば、各TFT素子のチャネル長 $L_{n,m}$ の寸法を一定にし、チャネル幅 $W_{n,m}$ の寸法を、走査信号線 GL_n の信号入力端から遠いTFT素子ほど大きくする。

30

40

【0080】

同様に、ドレインが1本の共通の映像信号線 DL_m に接続されているTFT素子のチャネル幅 W およびチャネル長 L は、たとえば、図9(b)に示すようになる。なお、図9(b)には、映像信号線 DL_m の信号入力端からの距離が最も短い走査信号線 GL_1 にゲートが接続されているTFT素子 $Tr_{1,m}$ と、映像信号線 DL_m の信号入力端からの距離が最も長い走査信号線 GL_N にゲートが接続されているTFT素子 $Tr_{N,m}$ と、それらの間にある走査信号線 $GL_{N/3,m}$ にゲートが接続されているTFT素子 $Tr_{N/3,m}$ のみを示している。

【0081】

50

ドレインが1本の共通の映像信号線 DL_m に接続されているTFT素子について、たとえば、図6(b)に示したグラフの関係に基づいて各TFT素子のチャンネル幅 W およびチャンネル長 L を設定する場合、走査信号線 GL_1 にゲートが接続されているTFT素子 $Tr_{1,m}$ のサイズ $W_{1,m}/L_{1,m}$ と走査信号線 $GL_{N/3}$ にゲートが接続されているTFT素子 $Tr_{N/3,m}$ のサイズ $W_{N/3,m}/L_{N/3,m}$ との変化量 $\Delta(W/L)$ は、走査信号線 $GL_{N/3}$ にゲートが接続されているTFT素子 $Tr_{N/3,m}$ のサイズ $W_{N/3,m}/L_{N/3,m}$ と走査信号線 GL_N にゲートが接続されているTFT素子 $Tr_{N,m}$ のサイズ $W_{N,m}/L_{N,m}$ の変化量 $\Delta(W/L)$ よりも大きくする。このときも、各TFT素子のサイズ W/L は、たとえば、各TFT素子のチャンネル長 $L_{n,m}$ の寸法を一定にし、チャンネル幅 $W_{n,m}$ の寸法を、映像信号線 DL_m の信号入力端から遠いTFT素子ほど大きくする。

【0082】

なお、図9(a)および図9(b)に示した例では、各TFT素子のチャンネル長 L を一定にし、チャンネル幅 W を変えて各TFT素子のサイズ W/L を変えているが、これに限らず、チャンネル長 L のみ、またはチャンネル幅 W およびチャンネル長 L の両方を変えて各TFT素子のサイズ W/L を変えてもよいことはもちろんである。

【0083】

以上説明したように、実施例1の液晶表示パネルによれば、表示領域 DA にマトリクス状に配置された各TFT素子のサイズ W/L を、個別に設定することで、走査信号線 GL の配線遅延および映像信号線 DL の配線遅延による各画素の未書き込み電圧 V_L の変化を小さくすることができる。

【0084】

また、各TFT素子のサイズ W/L を設定するときに、信号入力端からの距離が最も遠いTFT素子のサイズを基準にして、信号入力端からの距離が近くなるほどTFT素子のサイズが小さくなるようにすれば、信号入力端からの距離が短いTFT素子を有する画素の寄生容量を小さくでき、各画素のフィードスルー電圧 V_{FT} の変化も小さくすることができる。

【0085】

また、表示領域 DA を構成する各画素における未書き込み電圧 V_L およびフィードスルー電圧 V_{FT} の変化を小さくすることができるので、たとえば、液晶テレビなどの大画面の液晶表示装置でも輝度むらやフリッカの発生を低減でき、表示品質を向上させることができる。

【0086】

また、実施例1で説明した構成は、液晶テレビなどに用いられる大画面の液晶表示パネルに限らず、たとえば、高精細あるいは高速駆動の液晶表示パネルにも適用できる。そのため、実施例1の構成は、たとえば、ノートPCや携帯電話端末などのディスプレイに用いられる中小型の液晶表示パネルにも適用できることはもちろんである。

【0087】

図10(a)は、本発明にかかわる液晶表示装置の第1の変形例の概略構成を示す模式ブロック図である。図10(b)は、図10(a)に示した液晶表示パネルに実施例1の構成を適用する場合における1本の共通の映像信号線に接続されたTFT素子のサイズ W/L の設定方法の一例を示す模式グラフ図である。

【0088】

実施例1では、たとえば、図1(a)や図4に示したように、液晶表示パネル1(表示領域 DA)の上側に、各映像信号線 DL の信号入力端が設けられている場合を例に挙げており、 N 本の走査信号線 GL に対して、映像信号線 DL の信号入力端からの距離が短い上側の走査信号線から順に、 $GL_1, \dots, GL_i, \dots, GL_N$ としている。

【0089】

しかしながら、近年の液晶表示装置には、たとえば、図10(a)に示すように、液晶表示パネル1(表示領域 DA)の下側に、各映像信号線 DL の信号入力端が設けられてい

る液晶表示装置もある。この場合、N本の走査信号線GLを、表示領域DAの最も上側にある走査信号線から順に、 $GL_1, \dots, GL_i, \dots, GL_N$ とすると、映像信号線DLの信号入力端からの距離が最も短いのは走査信号線 GL_N になる。

【0090】

このように、表示領域DAの最も下側にある走査信号線 GL_N が、映像信号線DLの信号入力端からの距離が最も短い走査信号線GLになる場合、ドレインが1本の共通の映像信号線 DL_m に接続されている各TF T素子のサイズ W/L は、たとえば、図10(b)に示したグラフのようにすればよいことはもちろんである。なお、図10(b)に示したグラフの横軸は、TF T素子のゲートが接続されている走査信号線 GL_n の添え字nであり、nは、映像信号線 DL_m の信号入力端からの距離が最も近い走査信号線から順番に1, 2, ..., Nにしている。また、左側の縦軸は、各TF T素子 $Tr_{n,m}$ のサイズ($W_{n,m}/L_{n,m}$)であり、右側の縦軸は、 $\Delta(W/L) = (W_{n,m}/L_{n,m}) - (W_{n-1,m}/L_{n-1,m})$ である。また、左側の縦軸および右側の縦軸は、上にいくほどそれぞれの値が大きくなる。

【0091】

図11(a)は、本発明にかかわる液晶表示装置の第2の変形例の概略構成を示す模式ブロック図である。図11(b)は、図11(a)に示した液晶表示パネルに実施例1の構成を適用する場合における1本の走査信号線の位置と走査信号の遅延量との関係の一例、1本の走査信号線の位置と1本の共通の走査信号線に接続されたTF T素子を有する画素の未書き込み電圧との関係の一例、および1本の共通の走査信号線に接続されたTF T素子のサイズ W/L の設定方法の一例を示す模式グラフ図である。

【0092】

実施例1では、たとえば、図1(a)や図4に示したように、液晶表示パネル1(表示領域DA)の左側に、各走査信号線GLの信号入力端が設けられている場合を例に挙げており、M本の映像信号線DLに対して、走査信号線GLの信号入力端からの距離が短い左側の映像信号線から順に、 $DL_1, \dots, DL_j, \dots, DL_M$ としている。

【0093】

しかしながら、近年の液晶表示装置には、たとえば、図11(a)に示すように、液晶表示パネル1(表示領域DA)の左側および右側の両方に、各走査信号線GLの信号入力端が設けられている液晶表示装置もある。この場合、M本の映像信号線DLを、表示領域DAの最も左側にある映像信号線から順に、 $DL_1, \dots, DL_j, \dots, DL_M$ とすると、走査信号線GLの信号入力端からの距離が最も短い映像信号線DLは、たとえば、最も外側に形成された映像信号線 DL_1, DL_M の2本になる。そして、走査信号線GLの信号入力端からの距離が最も長い映像信号線DLは、最も外側に形成された2本の映像信号線 DL_1, DL_M の中間付近に形成された映像信号線 DL_u になる。

【0094】

このとき、1本の走査信号線 GL_n に入力された走査信号 V_G の遅延量Tdは、たとえば、図11(b)に示したような変化になり、最も外側に形成された2本の映像信号線 DL_1, DL_M の中間付近に形成された映像信号線 DL_u と交差する位置またはその近傍で、遅延量が最も大きくなる。そのため、ゲートが1本の共通の走査信号線 GL_n に接続されたTF T素子を有する各画素における未書き込み電圧 V_L も、図11(b)に示したような変化になる。したがって、1本の走査信号線 GL_n の両端を信号入力端にしている液晶表示パネル1の場合、ゲートが1本の共通の走査信号線 GL_n に接続されている各TF T素子のサイズ(W_m/L_m)は、たとえば、図11(b)に示したグラフのように設定すればよいことはもちろんである。なお、図11(b)のグラフにおいて、横軸は、TF T素子のドレインが接続されている映像信号線 DL_m の添え字mであり、mは、走査信号線 GL_n の左側の信号入力端から距離が最も近い映像信号線から順番に1, 2, ..., Mにしている。また、左側の縦軸は、下から順に、走査信号の遅延量Td、未書き込み電圧 V_L 、および各TF T素子 $Tr_{n,m}$ のサイズ($W_{n,m}/L_{n,m}$)である。また、左側の各縦軸は、上にいくほどそれぞれの値が大きくなる。

【0095】

すなわち、実施例1の液晶表示パネルでは、TFT基板101の表示領域DAに対する走査信号線GLの信号入力端の位置、および映像信号線DLの信号入力端の位置に応じて、各TFT素子のサイズ W/L を設定すればよい。したがって、TFT基板101の表示領域DAに対する走査信号線GLの信号入力端の位置、および映像信号線DLの信号入力端の位置が、図4（図1（a））、図10（a）、および図11（a）に示したような位置関係でなくても、実施例1で説明した構成を適用できることはもちろんである。

【実施例2】

【0096】

図12（a）乃至図12（d）は、本発明による実施例2のTFT基板の概略構成の一例を説明するための模式図である。

図12（a）は、第1の絶縁層を形成した直後の絶縁基板の構成の一例を示す模式平面図である。図12（b）は、図12（a）のD-D'線における断面構成の一例を示す模式断面図である。図12（c）は、図12（a）に示した2つの画素SP5、SP6のTFT素子の平面形状の一例を示す模式平面図である。図12（d）は、実施例2の液晶表示パネルにおける1本の走査信号線の位置と走査信号の遅延量との関係の一例、1本の走査信号線の位置と1本の共通の走査信号線に接続されたTFT素子を有する画素の未書き込み電圧との関係の一例、および1本の共通の走査信号線に接続されたTFT素子のサイズ W/L の設定方法の一例を示す模式グラフ図である。

なお、図12（c）は、2つの画素SP5、SP6のTFT素子のy方向の断面図であり、図8（b）に示した断面図のうちのTFT素子の部分の構成と対応している。

【0097】

実施例2では、1つの画素の構成が、図8（a）乃至図8（c）に示した構成のTFT基板101を例に挙げ、表示品質をさらに向上させることが可能なTFT基板101の構成について説明する。

【0098】

1つの画素の構成が、図8（a）乃至図8（c）に示した構成のTFT基板101を製造するときには、まず、ガラス基板などの絶縁基板SUBの表面に複数本の走査信号線GLを形成する。次に、各TFT素子のゲート絶縁膜としての機能を有する第1の絶縁層PAS1を形成する。次に、半導体層SCを形成する。次に、映像信号線DL（ドレイン電極SD1を含む）およびソース電極SD2を形成する。次に、第2の絶縁層PAS2を形成する。そして最後に、画素電極PXを形成する。

【0099】

従来のTFT基板101の製造方法において、たとえば、各TFT素子のチャネル幅Wの寸法およびチャネル長Lの寸法は、一般に、各TFT素子のゲート絶縁膜（第1の絶縁層PAS1）の厚さが均一であることを前提にして設定されている。すなわち、実施例1で説明した構成のTFT基板101を、従来の製造方法に沿って製造する場合、各TFT素子のチャネル幅Wの寸法およびチャネル長Lの寸法は、一般に、各TFT素子のゲート絶縁膜（第1の絶縁層PAS1）の厚さが均一であることを前提にして設定することが考えられる。

【0100】

しかしながら、第1の絶縁層PAS1まで形成された絶縁基板SUBについて、図12（a）に示すように、画素SP5および画素SP6を通るy方向の断面をみると、たとえば、図12（b）に示すように、第1の絶縁層PAS1が、y方向の両端のうちの一方の端部SBy1から、他方の端部SBy2に向かって単調に厚くなるように形成されていることがある。

【0101】

第1の絶縁層PAS1の膜厚が、図12（b）に示したような変化をしている場合、画素SP5のTFT素子の断面形状、および画素SP6のTFT素子の断面形状は、たとえば、図12（c）に示すようになる。すなわち、画素SP5のTFT素子におけるゲート

絶縁膜（第1の絶縁層PAS1）の膜厚 GID_i が、画素SP6のTFT素子におけるゲート絶縁膜（第1の絶縁層PAS1）の膜厚 GID_v よりも薄くなっている。

【0102】

このとき、ドレインが1本の共通の映像信号線DLに接続されている各TFT素子のゲート絶縁膜の膜厚について、設計時に想定している膜厚 GID_L と、実際に形成された第1の絶縁層PAS1の膜厚 GID_R との関係が、たとえば、図12（d）の下側のグラフに示すような関係になっていると、当該TFT素子を有する各画素において設計時に想定している未書き込み電圧 V_{LL} と、実際の未書き込み電圧 V_{LR} との関係は、たとえば、図12（d）の中央のグラフに示すような関係になる。すなわち、映像信号線DLの信号入力端からの距離が長い画素ほど、実際の未書き込み電圧 V_{LR} が、設計時に想定している未書き込み電圧 V_{LL} よりも大きくなる。

10

【0103】

したがって、このような場合には、たとえば、図12（d）の上側のグラフに示すように、設計時の各TFT素子のサイズ $(W_n/L_n)_L$ を、各TFT素子のゲート絶縁膜（第1の絶縁層PAS1）の膜厚 GID_R を反映した各TFT素子のサイズ $(W_n/L_n)_R$ に補正する。

【0104】

なお、図12（d）のグラフにおいて、横軸は、TFT素子のゲートが接続されている走査信号線 GL_n の添え字 n であり、 n は、走査信号線 GL_n の信号入力端から距離が最も近い映像信号線から順番に1, 2, ..., N にしている。また、左側の縦軸は、下から順に、走査信号の遅延量 Td 、未書き込み電圧 V_L 、および各TFT素子 $Tr_{n,m}$ のサイズ $(W_{n,m}/L_{n,m})$ である。また、左側の各縦軸は、上にいくほどそれぞれの値が大きくなる。

20

【0105】

このように、実際に形成された第1の絶縁層PAS1の膜厚の変化に応じて、各TFT素子のサイズ (W_n/L_n) を補正することで、ゲート絶縁膜の膜厚の変化による、設計時の書き込み電流値と実際に形成されたTFT素子における書き込み電流値の差を小さくすることができる。そのため、各画素における未書き込み電圧 V_L の変化をさらに小さくすることができる。

【0106】

なお、第1の絶縁層PAS1の膜厚の変化は、たとえば、TFT基板101毎に無作為な分布になることは非常に少なく、TFT基板101の製造方法により、いくつかのパターンに分類できる。以下、TFT基板101の製造方法と第1の絶縁層PAS1の膜厚分布のパターン（傾向）の一例について説明する。

30

【0107】

図13（a）は、1枚のマザーガラスから2枚のTFT基板を切り出す場合の絶縁膜の膜厚分布を示す模式平面図である。図13（b）は、1枚のマザーガラスから4枚のTFT基板を切り出す場合の絶縁膜の膜厚分布を示す模式平面図である。図13（c）は、1枚のマザーガラスから6枚のTFT基板を切り出す場合の絶縁膜の膜厚分布を示す模式平面図である。図13（d）は、1枚のマザーガラスから15枚のTFT基板を切り出す場合の絶縁膜の膜厚分布を示す模式図である。

40

【0108】

現在、液晶表示パネル1に用いられるTFT基板101は、たとえば、1枚の大面積のガラス基板（マザーガラス）を用いて複数枚分のTFT基板を形成した後、前記マザーガラスから各TFT基板101を切り出す、多面取りと呼ばれる方法で製造している。

【0109】

1枚のマザーガラスから2枚のTFT基板101を切り出す、いわゆる2面取りの場合は、たとえば、図13（a）に示すように、1枚のマザーガラス5の領域501, 502のそれぞれにTFT基板101が形成される。そして、各領域501, 502にTFT基板101を形成した後、マザーガラス5から当該領域501, 502を切り出すことで、

50

2枚のTF T基板101を得る。

【0110】

このような2面取りの場合、マザーガラス5の領域501, 502のそれぞれに第1の絶縁層PAS1を形成するための絶縁膜は、一般に、マザーガラス5の全面に形成(成膜)される。このとき、マザーガラス5の全面に形成される絶縁膜の膜厚分布は、たとえば、図13(a)に二点鎖線で示したような、マザーガラス5の中心Pを中心とする同心円で表され、中心Pおよびその近傍が最も厚く、中心Pから遠ざかるにつれて徐々に薄くなっていくような分布になる。これは、絶縁膜を形成する際に、たとえば、プラズマCVD法で成膜するためである。

【0111】

1枚のマザーガラスから4枚のTF T基板101を切り出す、いわゆる4面取りの場合は、たとえば、図13(b)に示すように、1枚のマザーガラス5の領域511, 512, 513, 514のそれぞれにTF T基板101が形成される。そして、各領域511~514にTF T基板101を形成した後、マザーガラス5から当該領域511~514を切り出すことで、4枚のTF T基板101を得る。

【0112】

このような4面取りの場合も、マザーガラス5の領域511~514のそれぞれに第1の絶縁層PAS1を形成するための絶縁膜は、一般に、マザーガラス5の全面に形成される。このときも、マザーガラス5の全面に形成される絶縁膜の膜厚分布は、たとえば、図13(b)に二点鎖線で示したような、マザーガラス5の中心Pを中心とする同心円で表され、中心Pおよびその近傍が最も厚く、中心Pから遠ざかるにつれて徐々に薄くなっていくような分布になる。

【0113】

1枚のマザーガラスから6枚のTF T基板101を切り出す、いわゆる6面取りの場合は、たとえば、図13(c)に示すように、1枚のマザーガラス5の領域521, 522, 523, 524, 525, 526のそれぞれにTF T基板101が形成される。そして、各領域521~526にTF T基板101を形成した後、マザーガラス5から当該領域521~526を切り出すことで、6枚のTF T基板101を得る。

【0114】

このような6面取りの場合も、たとえば、マザーガラス5の領域521~526のそれぞれに第1の絶縁層PAS1を形成するための絶縁膜は、一般に、マザーガラス5の全面に形成される。このときも、マザーガラス5の全面に形成される絶縁膜の膜厚分布は、たとえば、図13(c)に二点鎖線で示したような、マザーガラス5の中心Pを中心とする同心円で表され、中心Pおよびその近傍が最も厚く、中心Pから遠ざかるにつれて徐々に薄くなっていくような分布になる。

【0115】

1枚のマザーガラスから15枚のTF T基板1を切り出す、いわゆる15面取りの場合は、たとえば、図13(d)に示すように、1枚のマザーガラス5の領域531, 532, 533, 534, 535, 536, 537, 538, 539, 540, 541, 542, 543, 544, 545のそれぞれにTF T基板101が形成される。そして、各領域531~545にTF T基板101を形成した後、マザーガラス5から当該領域531~545を切り出すことで、15枚のTF T基板101を得る。

【0116】

このような15面取りの場合も、たとえば、マザーガラス5の領域531~545のそれぞれに第1の絶縁層PAS1を形成するための絶縁膜は、一般に、マザーガラス5の全面に形成される。このときも、マザーガラス5の全面に形成される絶縁膜の膜厚分布は、たとえば、図13(d)に二点鎖線で示したような、マザーガラス5の中心Pを中心とする同心円で表され、中心Pおよびその近傍が最も厚く、中心Pから遠ざかるにつれて徐々に薄くなっていくような分布になる。

【0117】

ここで、図 1 3 (a) 乃至図 1 3 (d) に示した、1 枚のマザーガラス 5 上における絶縁膜の膜厚分布と、マザーガラス 5 から切り出される各領域、すなわち 1 枚の T F T 基板 1 0 1 が形成される領域における絶縁膜の膜厚分布との関係を見ると、その関係は、以下の 4 つのパターンに分類されることがわかる。

【0 1 1 8】

1 つめのパターンは、絶縁膜の x 方向の膜厚および y 方向の膜厚が、それぞれ、図 1 3 (a) に示した領域 5 0 1, 5 0 2、図 1 3 (d) に示した領域 5 3 7, 5 3 9 のような変化をしているパターンである。この 1 つめのパターンと、1 枚の T F T 基板 1 0 1 の表示領域に形成される各 T F T 素子 (アクティブ素子) のゲート絶縁膜との関係について、図 1 4 を参照して説明する。

10

【0 1 1 9】

図 1 4 は、絶縁膜の膜厚分布の 1 つめのパターンと各 T F T 素子のゲート絶縁膜の厚さとの関係の一例を説明するための模式平面図である。

【0 1 2 0】

絶縁膜の膜厚分布の 1 つめのパターンと各 T F T 素子のゲート絶縁膜の厚さとの関係を説明するにあたっては、図 1 4 に示すように、2 面取りの場合におけるマザーガラス 5 の領域 5 0 1 に形成する T F T 基板を例に挙げる。図 1 4 において、 GL_1 , GL_N は、表示領域の最も外側に配置されている走査信号線を示しており、 DL_1 , DL_M は、表示領域の最も外側に配置されている映像信号線を示している。また、2 本の走査信号線 GL_1 , GL_N の間には、図示していない複数本の走査信号線が配置されている。また、2 本の映像信号線 DL_1 , DL_M の間には、それらのほぼ中間に位置する映像信号線 DL_u および図示していない複数本の映像信号線が配置されている。

20

【0 1 2 1】

このとき、走査信号線 GL_N の上における第 1 の絶縁層 P A S 1 の膜厚は、たとえば、走査信号線 GL_N と映像信号線 DL_u とが交差している点もしくはその近傍で最も厚くなり、当該交差している点からの距離が長くなるにつれて薄くなっていく。そのため、ゲートが走査信号線 GL_N に接続されている各 T F T 素子のゲート絶縁膜の膜厚は、たとえば、ドレインが映像信号線 DL_u に接続されている T F T 素子のゲート絶縁膜が最も厚くなり、ドレインが映像信号線 DL_1 に接続されている T F T 素子またはドレインが映像信号線 DL_M に接続されている T F T 素子、あるいはその両方のゲート絶縁膜が最も薄くなる。

30

【0 1 2 2】

また、映像信号線 DL_u の下における第 1 の絶縁層 P A S 1 の膜厚は、たとえば、走査信号線 GL_1 と映像信号線 DL_u とが交差している点から、走査信号線 GL_N と映像信号線 DL_u とが交差している点に向かって、単調に厚くなる。そのため、ドレインが映像信号線 DL_u に接続されている各 T F T 素子のゲート絶縁膜の膜厚は、たとえば、ゲートが走査信号線 GL_1 に接続されている T F T 素子のゲート絶縁膜が最も薄くなり、ゲートが走査信号線 GL_N に接続されている T F T 素子のゲート絶縁膜が最も厚くなる。

【0 1 2 3】

したがって、マザーガラス 5 の領域 5 0 1 に形成される T F T 基板 1 0 1 における、各 T F T 素子のゲート絶縁膜の膜厚は、たとえば、ゲートが走査信号線 GL_N に接続され、ドレインが映像信号線 DL_u に接続されている T F T 素子のゲート絶縁膜が最も厚くなり、当該 T F T 素子からの距離が長い T F T 素子のゲート絶縁膜ほど薄くなる。そのため、このような各 T F T 素子のゲート絶縁膜の膜厚の変化と、領域 5 0 1 に形成される T F T 基板 1 0 1 における各走査信号線 GL の信号入力端の位置および各映像信号線 DL の信号入力端の位置との関係に基づいて、各 T F T 素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT} の大きさの変化を小さくすることができる。

40

【0 1 2 4】

なお、図 1 4 に沿った上記の説明では、2 面取りの場合のマザーガラス 5 の領域 5 0 1

50

に形成する T F T 基板を例に挙げているが、もう 1 つの領域 5 0 2 に形成する T F T 基板についても、領域 5 0 1 の T F T 基板と同様の考え方で各 T F T 素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT} の大きさの変化を小さくすることができる。また、図 1 3 (d) に示した 1 5 面取りの場合における領域 5 3 7, 5 3 9 に形成する T F T 基板についても、領域 5 0 1 の T F T 基板と同様の考え方で各 T F T 素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT} の大きさの変化を小さくすることができる。

【0125】

次に、2 つめのパターンを説明する。2 つめのパターンは、絶縁膜の x 方向の膜厚および y 方向の膜厚が、それぞれ、図 1 3 (c) に示した領域 5 2 2, 5 2 5、図 1 3 (d) に示した領域 5 3 2, 5 3 5, 5 4 1, 5 4 4 のような変化をしているパターンである。この 2 つめのパターンと、1 枚の T F T 基板 1 0 1 の表示領域に形成される各 T F T 素子（アクティブ素子）のゲート絶縁膜との関係について、図 1 5 を参照して説明する。

【0126】

図 1 5 は、絶縁膜の膜厚分布の 2 つめのパターンと各 T F T 素子のゲート絶縁膜の厚さとの関係の一例を説明するための模式平面図である。

【0127】

絶縁膜の膜厚分布の 2 つめのパターンと各 T F T 素子のゲート絶縁膜の厚さとの関係を説明するにあたっては、図 1 5 に示すように、6 面取りの場合におけるマザーガラス 5 の領域 5 2 2 に形成する T F T 基板を例に挙げる。図 1 5 において、 GL_1 , GL_N は、表示領域の最も外側に配置されている走査信号線を示しており、 DL_1 , DL_M は、表示領域の最も外側に配置されている映像信号線を示している。また、2 本の走査信号線 GL_1 , GL_N の間には、それらのほぼ中間に位置する走査信号線 GL_v および図示していない複数本の走査信号線が配置されている。また、2 本の映像信号線 DL_1 , DL_M の間には、図示していない複数本の映像信号線が配置されている。

【0128】

このとき、走査信号線 GL_v の上における第 1 の絶縁層 P A S 1 の膜厚は、たとえば、走査信号線 GL_v と映像信号線 DL_1 とが交差している点から、走査信号線 GL_v と映像信号線 DL_M とが交差している点に向かって、単調に厚くなる。そのため、ゲートが走査信号線 GL_v に接続されている各 T F T 素子のゲート絶縁膜の膜厚は、たとえば、ドレインが映像信号線 DL_1 に接続されている T F T 素子のゲート絶縁膜が最も薄くなり、ドレインが映像信号線 DL_M に接続されている T F T 素子のゲート絶縁膜が最も厚くなる。

【0129】

また、映像信号線 DL_M の下における第 1 の絶縁層 P A S 1 の膜厚は、たとえば、走査信号線 GL_v と映像信号線 DL_M とが交差している点もしくはその近傍で最も厚くなり、当該交差している点からの距離が長くなるにつれて薄くなっていく。そのため、ドレインが映像信号線 DL_M に接続されている各 T F T 素子のゲート絶縁膜の膜厚は、たとえば、ゲートが走査信号線 GL_v に接続されている T F T 素子のゲート絶縁膜が最も厚くなり、ゲートが走査信号線 GL_1 に接続されている T F T 素子またはゲートが走査信号線 GL_N に接続されている T F T 素子、あるいはその両方のゲート絶縁膜が最も薄くなる。

【0130】

したがって、マザーガラス 5 の領域 5 2 2 に形成される T F T 基板 1 0 1 における、各 T F T 素子のゲート絶縁膜の膜厚は、たとえば、ゲートが走査信号線 GL_v に接続され、ドレインが映像信号線 DL_M に接続されている T F T 素子のゲート絶縁膜が最も厚くなり、当該 T F T 素子からの距離が長い T F T 素子のゲート絶縁膜ほど薄くなる。そのため、このような各 T F T 素子のゲート絶縁膜の膜厚の変化と、領域 5 2 2 に形成される T F T 基板 1 0 1 における各走査信号線 GL の信号入力端の位置および各映像信号線 DL の信号入力端の位置との関係に基づいて、各 T F T 素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT}

10

20

30

40

50

の大きさの変化を小さくすることができる。

【0131】

なお、図15に沿った上記の説明では、6面取りの場合のマザーガラス5の領域522に形成するTF T基板を例に挙げているが、もう1つの領域525に形成するTF T基板についても、領域522のTF T基板と同様の考え方で各TF T素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT} の大きさの変化を小さくすることができる。また、図13(d)に示した15面取りの場合における領域532, 535, 541, 544に形成するTF T基板についても、領域522のTF T基板と同様の考え方で各TF T素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT} の大きさの変化を小さくすることができる。

10

【0132】

次に、3つめのパターンを説明する。3つめのパターンは、絶縁膜のx方向の膜厚およびy方向の膜厚が、図13(b)に示した領域511, 512, 513, 514、図13(c)に示した領域521, 523, 524, 526、図13(d)に示した領域531, 533, 534, 536, 540, 542, 543, 545のような変化をしているパターンである。この3つめのパターンと、1枚のTF T基板101の表示領域に形成される各TF T素子(アクティブ素子)のゲート絶縁膜との関係について、図16を用いて説明する。

【0133】

図16は、絶縁膜の膜厚分布の3つめのパターンと各TF T素子のゲート絶縁膜の厚さとの関係の一例を説明するための模式平面図である。

20

【0134】

絶縁膜の膜厚分布の3つめのパターンと各TF T素子のゲート絶縁膜の厚さとの関係を説明するにあたっては、図16に示すように、4面取りの場合におけるマザーガラス5の領域511に形成するTF T基板を例に挙げる。図16において、 GL_1 , GL_N は、表示領域の最も外側に配置されている走査信号線を示しており、 DL_1 , DL_M は、表示領域の最も外側に配置されている映像信号線を示している。また、2本の走査信号線 GL_1 , GL_N の間には、図示していない複数本の走査信号線が配置されており、2本の映像信号線 DL_1 , DL_M の間には、図示していない複数本の映像信号線が配置されている。

30

【0135】

このとき、走査信号線 GL_N の上における第1の絶縁層PAS1の膜厚は、たとえば、走査信号線 GL_N と映像信号線 DL_1 とが交差している点から、走査信号線 GL_N と映像信号線 DL_M とが交差している点に向かって、単調に厚くなる。そのため、ゲートが走査信号線 GL_N に接続されている各TF T素子のゲート絶縁膜の膜厚は、たとえば、ドレインが映像信号線 DL_1 に接続されているTF T素子のゲート絶縁膜が最も薄くなり、ドレインが映像信号線 DL_M に接続されているTF T素子のゲート絶縁膜が最も厚くなる。

【0136】

また、映像信号線 DL_M の下における第1の絶縁層PAS1の膜厚は、たとえば、走査信号線 GL_1 と映像信号線 DL_M とが交差している点から、走査信号線 GL_N と映像信号線 DL_M とが交差している点に向かって、単調に厚くなる。そのため、ドレインが映像信号線 DL_M に接続されている各TF T素子のゲート絶縁膜の膜厚は、たとえば、ゲートが走査信号線 GL_1 に接続されているTF T素子のゲート絶縁膜が最も薄くなり、ゲートが走査信号線 GL_N に接続されているTF T素子のゲート絶縁膜が最も厚くなる。

40

【0137】

したがって、マザーガラス5の領域511に形成されるTF T基板101における、各TF T素子のゲート絶縁膜の膜厚は、たとえば、ゲートが走査信号線 GL_N に接続され、ドレインが映像信号線 DL_M に接続されているTF T素子のゲート絶縁膜が最も厚くなり、当該TF T素子からの距離が長いTF T素子のゲート絶縁膜ほど薄くなる。そのため、このような各TF T素子のゲート絶縁膜の膜厚の変化と、領域511に形成されるTF T

50

基板 101 における各走査信号線 GL の信号入力端の位置および各映像信号線 DL の信号入力端の位置との関係に基づいて、各 TFT 素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT} の大きさの変化を小さくすることができる。

【0138】

なお、図 16 に沿った上記の説明では、4 面取りの場合のマザーガラス 5 の領域 511 に形成する TFT 基板を例に挙げているが、他の 3 つの領域 512 ~ 514 に形成する TFT 基板についても、領域 511 の TFT 基板と同様の考え方で各 TFT 素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT} の大きさの変化を小さくすることができる。また、図 13 (c) に示した 6 面取りの場合における領域 521, 523, 524, 526 に形成する TFT 基板、図 13 (d) に示した 15 面取りの場合における領域 532, 535, 541, 544 に形成する TFT 基板についても、領域 511 領域 511 の TFT 基板と同様の考え方で各 TFT 素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT} の大きさの変化を小さくすることができる。

【0139】

最後に、4 つめのパターンを説明する。4 つめのパターンは、絶縁膜の x 方向の膜厚および y 方向の膜厚が、図 13 (d) に示した領域 538 のような変化をしているパターンである。この 4 つめのパターンと、1 枚の TFT 基板 101 の表示領域に形成される各 TFT 素子 (アクティブ素子) のゲート絶縁膜との関係について、図 17 を参照して説明する。

【0140】

図 17 は、絶縁膜の膜厚分布の 4 つめのパターンと各 TFT 素子のゲート絶縁膜の厚さとの関係の一例を説明するための模式平面図である。

【0141】

絶縁膜の膜厚分布の 4 つめのパターンと各 TFT 素子のゲート絶縁膜の厚さとの関係を説明するにあたっては、図 17 に示すように、15 面取りの場合におけるマザーガラス 5 の領域 538 に形成する TFT 基板を例に挙げる。図 17 において、 GL_1 , GL_N は、表示領域の最も外側に配置されている走査信号線を示しており、 DL_1 , DL_M は、表示領域の最も外側に配置されている映像信号線を示している。また、2 本の走査信号線 GL_1 , GL_N の間には、それらのほぼ中間に位置する走査信号線 GL_v および図示していない複数本の走査信号線が配置されている。また、2 本の映像信号線 DL_1 , DL_M の間には、それらのほぼ中間に位置する映像信号線 DL_u および図示していない複数本の映像信号線が配置されている。

【0142】

このとき、走査信号線 GL_v の上における第 1 の絶縁層 PAS1 の膜厚は、たとえば、走査信号線 GL_v と映像信号線 DL_u とが交差している点もしくはその近傍で最も厚くなり、当該交差している点からの距離が長くなるにつれて薄くなっていく。そのため、ゲートが走査信号線 GL_v に接続されている各 TFT 素子のゲート絶縁膜の膜厚は、たとえば、ドレインが映像信号線 DL_u に接続されている TFT 素子のゲート絶縁膜が最も厚くなり、ドレインが映像信号線 DL_1 に接続されている TFT 素子またはドレインが映像信号線 DL_M に接続されている TFT 素子、あるいはその両方のゲート絶縁膜が最も薄くなる。

【0143】

また、映像信号線 DL_u の下における第 1 の絶縁層 PAS1 の膜厚は、たとえば、走査信号線 GL_v と映像信号線 DL_u とが交差している点もしくはその近傍で最も厚くなり、当該交差している点からの距離が長くなるにつれて薄くなっていく。そのため、ドレインが映像信号線 DL_u に接続されている各 TFT 素子のゲート絶縁膜の膜厚は、たとえば、ゲートが走査信号線 GL_v に接続されている TFT 素子のゲート絶縁膜が最も厚くなり、

ゲートが走査信号線 GL_1 に接続されている TFT 素子またはゲートが走査信号線 GL_N に接続されている TFT 素子、あるいはその両方のゲート絶縁膜が最も薄くなる。

【0144】

したがって、マザーガラス 5 の領域 538 に形成される TFT 基板 101 における、各 TFT 素子のゲート絶縁膜の膜厚は、たとえば、ゲートが走査信号線 GL_v に接続され、ドレインが映像信号線 DL_u に接続されている TFT 素子のゲート絶縁膜が最も厚くなり、当該 TFT 素子からの距離が長い TFT 素子のゲート絶縁膜ほど薄くなる。そのため、このような各 TFT 素子のゲート絶縁膜の膜厚の変化と、領域 538 に形成される TFT 基板 101 における各走査信号線 GL の信号入力端の位置および各映像信号線 DL の信号入力端の位置との関係に基づいて、各 TFT 素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT} の大きさの変化を小さくすることができる。

10

【0145】

なお、図 16 に沿った上記の説明では、15 面取りの場合のマザーガラス 5 の領域 538 に形成する TFT 基板を挙げているが、15 面取りに限らず、たとえば、縦 3 面×横 3 面の 9 面取りの場合において中央の領域に形成する TFT 基板などについても、領域 538 の TFT 基板と同様の考え方で各 TFT 素子のサイズ W/L を個別に設定することで、各画素における未書き込み電圧 V_L の大きさの変化、およびフィードスルー電圧 V_{FT} の大きさの変化を小さくすることができる。

20

【0146】

また、実施例 2 では、TFT 素子のゲート絶縁膜としての機能を有する第 1 の絶縁層 PAS1 を形成したときの膜厚分布について説明しているが、これに限らず、走査信号線 GL や映像信号線 DL などを形成するための導体膜や、半導体層 SC を形成するためのアモルファスシリコン膜を形成（成膜）するときにも、同様の膜厚分布が生じる。そのため、第 1 の絶縁層 PAS1 の膜厚分布に加え、他の導体膜や半導体膜の膜厚分布も考慮して、各 TFT 素子のサイズ W/L を設定してもよいことはもちろんである。

【0147】

以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更可能であることはもちろんである。

30

【0148】

たとえば、前記実施例 1 および前記実施例 2 では、1 つの画素の構成が、図 3 (a) 乃至図 3 (c) に示した構成の TFT 基板 101 を例に挙げたが、本発明は、これに限らず、1 つの画素の構成が、別の構成であっても適用できることはもちろんである。すなわち、本発明は、たとえば、TFT 素子（アクティブ素子）の平面形状が別の形状であっても適用できる。また、本発明は、たとえば、走査信号線 GL とは別の配線を設け、当該別の配線と画素電極 PX とこれらの間に介在する絶縁層により保持容量が形成されていても適用できる。またさらに、本発明は、たとえば、対向電極 CT が TFT 基板 101 に設けられている場合にも適用できる。

【0149】

40

また、前記実施例 1 および前記実施例 2 では、液晶表示装置（液晶表示パネル）の TFT 基板 101 を例に挙げたが、本発明は、液晶表示装置に限らず、他の表示装置に適用することもできる。つまり、前記実施例 1 および前記実施例 2 で挙げた TFT 基板 101 と同等の構成であり、かつ、同様の動作原理で映像や画像を表示する表示パネルを有する表示装置であれば、本発明を適用することで、輝度むらやフリッカを低減でき、表示品質を向上させることができる。そのような表示装置としては、たとえば、有機 EL (Electro Luminescence) を用いた自発光型の表示パネルを有する表示装置がある。

【図面の簡単な説明】

【0150】

50

【図 1 (a)】本発明にかかわる液晶表示装置の概略構成の一例を示す模式ブロック図である。

【図 1 (b)】図 1 (a) に示した液晶表示パネルにおける 1 つの画素の回路構成の一例を示す模式回路図である。

【図 2 (a)】図 1 (a) に示した液晶表示パネルの表示領域の 4 つの角部に位置する画素の各 T F T 素子に入力される走査信号の波形および映像信号の波形の一例を示す模式図である。

【図 2 (b)】未書き込み電圧およびフィードスルー電圧の定義を説明するための模式図である。

【図 2 (c)】図 2 (a) に示した 2 つの画素 S P 1, S P 4 における未書き込み電圧の大きさを比較する模式図である。

【図 3】従来の 1 枚の液晶表示パネルの表示領域における未書き込み電圧の大きさの分布の一例を示す模式図である。

【図 4】本発明による実施例 1 の液晶表示パネルの概略構成を説明するための模式回路図である。

【図 5 (a)】従来の液晶表示パネルにおける 1 本の走査信号線の信号入力端からの距離と、遅延量、未書き込み電圧、およびフィードスルー電圧との関係を示す模式グラフ図である。

【図 5 (b)】実施例 1 の液晶表示パネルにおける 1 本の共通の走査信号線に接続された T F T 素子のサイズ W / L の設定方法の一例を示す模式グラフ図である。

【図 6 (a)】従来の液晶表示パネルにおける 1 本の映像信号線の信号入力端からの距離と、遅延時間、未書き込み電圧、およびフィードスルー電圧との関係を示す模式グラフ図である。

【図 6 (b)】実施例 1 の液晶表示パネルにおける 1 本の共通の映像信号線に接続された T F T 素子のサイズ W / L の設定方法の一例を示す模式グラフ図である。

【図 7 (a)】液晶表示パネルの概略構成を示す模式平面図である。

【図 7 (b)】図 7 (a) の A - A ' 線における模式断面図である。

【図 8 (a)】液晶表示パネルの T F T 基板における 1 つの画素の概略構成の一例を示す模式平面図である。

【図 8 (b)】図 8 (a) の B - B ' 線における模式断面図である。

【図 8 (c)】図 8 (a) の C - C ' 線における模式断面図である。

【図 9 (a)】実施例 1 の構成を適用した T F T 基板における 1 本の走査信号線に沿って配置された T F T 素子の形状の一例を示す模式平面図である。

【図 9 (b)】実施例 1 の構成を適用した T F T 基板における 1 本の映像信号線に沿って配置された T F T 素子の形状の一例を示す模式平面図である。

【図 10 (a)】本発明にかかわる液晶表示装置の第 1 の変形例の概略構成を示す模式ブロック図である。

【図 10 (b)】図 10 (a) に示した液晶表示パネルに実施例 1 の構成を適用する場合における 1 本の共通の映像信号線に接続された T F T 素子のサイズ W / L の設定方法の一例を示す模式グラフ図である。

【図 11 (a)】本発明にかかわる液晶表示装置の第 2 の変形例の概略構成を示す模式ブロック図である。

【図 11 (b)】図 11 (a) に示した液晶表示パネルに実施例 1 の構成を適用する場合における 1 本の走査信号線の位置と走査信号の遅延量との関係の一例、1 本の走査信号線の位置と 1 本の共通の走査信号線に接続された T F T 素子を有する画素の未書き込み電圧との関係の一例、および 1 本の共通の走査信号線に接続された T F T 素子のサイズ W / L の設定方法の一例を示す模式グラフ図である。

【図 12 (a)】第 1 の絶縁層を形成した直後の絶縁基板の構成の一例を示す模式平面図である。

【図 12 (b)】図 12 (a) の D - D ' 線における断面構成の一例を示す模式断面図で

10

20

30

40

50

ある。

【図 1 2 (c)】図 1 2 (a) に示した 2 つの画素 S P 5, S P 6 の T F T 素子の平面形状の一例を示す模式平面図である。

【図 1 2 (d)】実施例 2 の液晶表示パネルにおける 1 本の走査信号線の位置と走査信号の遅延量との関係の一例、1 本の走査信号線の位置と 1 本の共通の走査信号線に接続された T F T 素子を有する画素の未書き込み電圧との関係の一例、および 1 本の共通の走査信号線に接続された T F T 素子のサイズ W / L の設定方法の一例を示す模式グラフ図である。

【図 1 3 (a)】1 枚のマザーガラスから 2 枚の T F T 基板を切り出す場合の絶縁膜の膜厚分布を示す模式平面図である。

【図 1 3 (b)】1 枚のマザーガラスから 4 枚の T F T 基板を切り出す場合の絶縁膜の膜厚分布を示す模式平面図である。

【図 1 3 (c)】1 枚のマザーガラスから 6 枚の T F T 基板を切り出す場合の絶縁膜の膜厚分布を示す模式平面図である。

【図 1 3 (d)】1 枚のマザーガラスから 1 5 枚の T F T 基板を切り出す場合の絶縁膜の膜厚分布を示す模式図である。

【図 1 4】絶縁膜の膜厚分布の 1 つめのパターンと各 T F T 素子のゲート絶縁膜の厚さとの関係の一例を説明するための模式平面図である。

【図 1 5】絶縁膜の膜厚分布の 2 つめのパターンと各 T F T 素子のゲート絶縁膜の厚さとの関係の一例を説明するための模式平面図である。

【図 1 6】絶縁膜の膜厚分布の 3 つめのパターンと各 T F T 素子のゲート絶縁膜の厚さとの関係の一例を説明するための模式平面図である。

【図 1 7】絶縁膜の膜厚分布の 4 つめのパターンと各 T F T 素子のゲート絶縁膜の厚さとの関係の一例を説明するための模式平面図である。

【図 1 8】従来の液晶表示パネルの概略構成の一例を説明するための模式回路図である。

【符号の説明】

【0 1 5 1】

1 … 液晶表示パネル

1 0 1 … T F T 基板

1 0 2 … 対向基板

1 0 3 … シール材

1 0 4 A, 1 0 4 B … 偏光板

S U B … 絶縁基板

G L, G L_n, G L_{n+1}, G L₁, G L_{i-1}, G L_i, G L_v, G L_{N-1}, G L_N

… 走査信号線

D L, D L_m, D L_{m+1}, D L₁, D L₂, D L_j, D L_{j+1}, D L_u, D L_M … 映像信号線

S D 1 … ドレイン電極

S D 2 … ソース電極

S C … 半導体層

P X … 画素電極

L C … 液晶

C T … 共通電極

P A S 1 … 第 1 の絶縁層

P A S 2 … 第 2 の絶縁層

D A … 表示領域

T r, T r_{1, 1}, T r_{1, j}, T r_{1, M}, T r_{i, 1}, T r_{i, j}, T r_{i, M}, T r_{N, 1}, T r_{N, j}, T r_{N, M} … T F T 素子

P X 1, P X 2, P X 3, P X 4, P X 5, P X 6 … 画素

2 … データドライバ

10

20

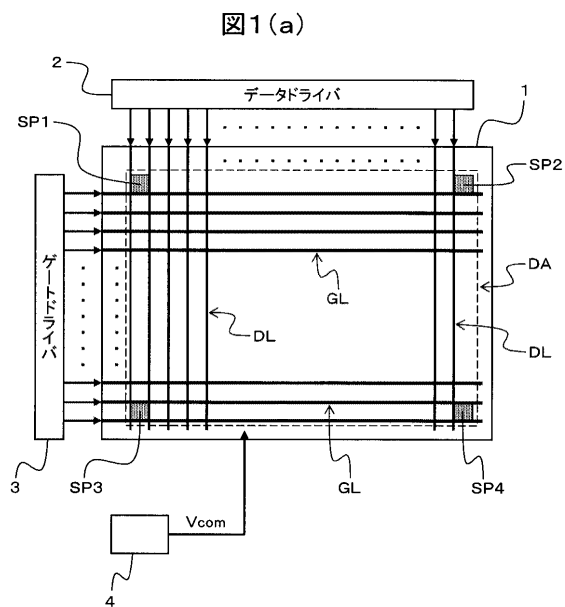
30

40

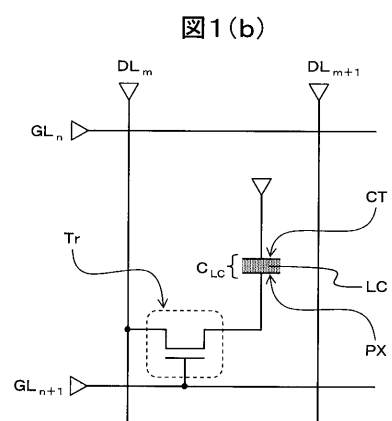
50

- 3 … ゲートドライバ
 4 … 共通電圧入力回路
 5 … マザーガラス

【図 1 (a)】

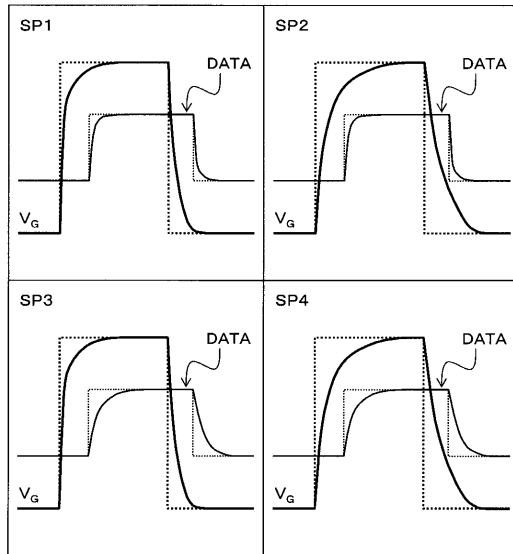


【図 1 (b)】



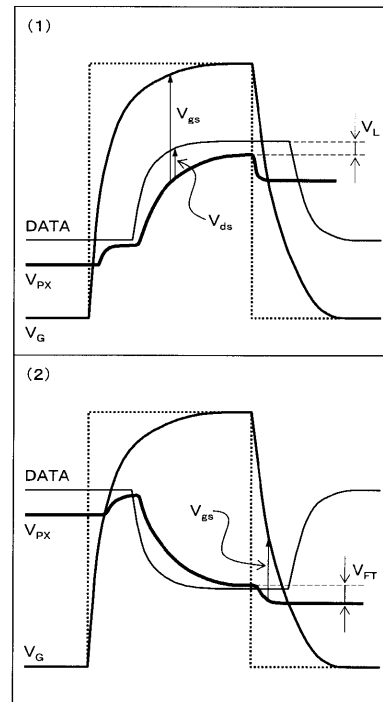
【図 2 (a) 】

図2(a)



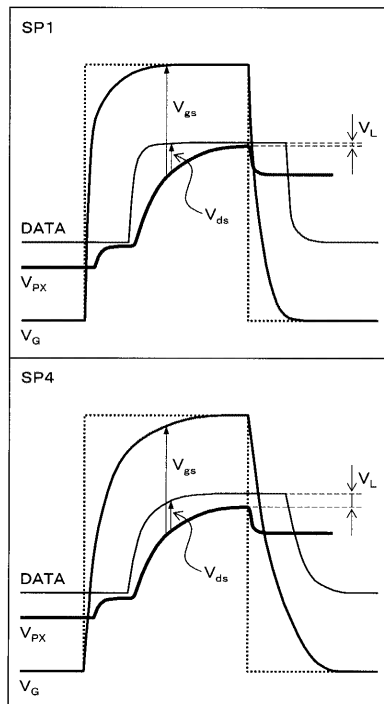
【図 2 (b) 】

図2(b)



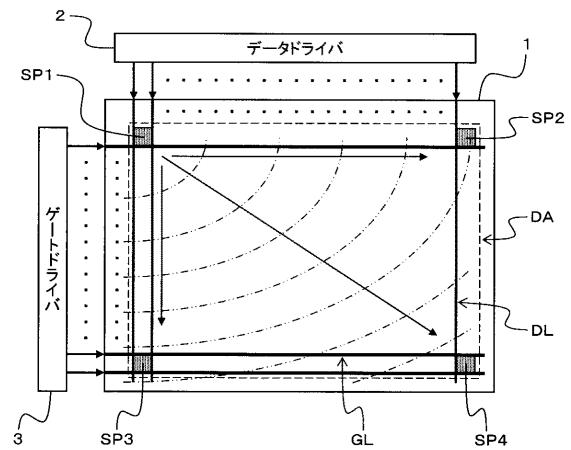
【図 2 (c) 】

図2(c)

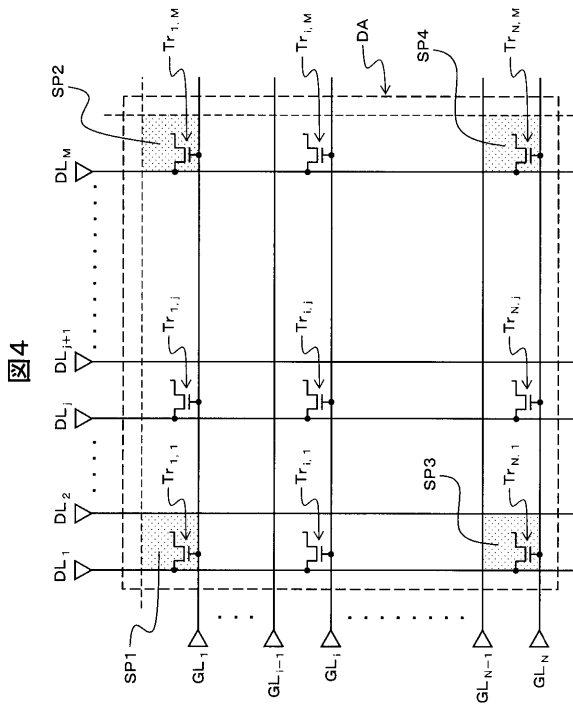


【図 3 】

図3

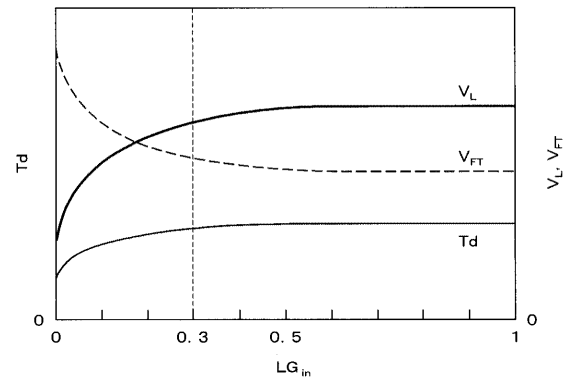


【図 4】



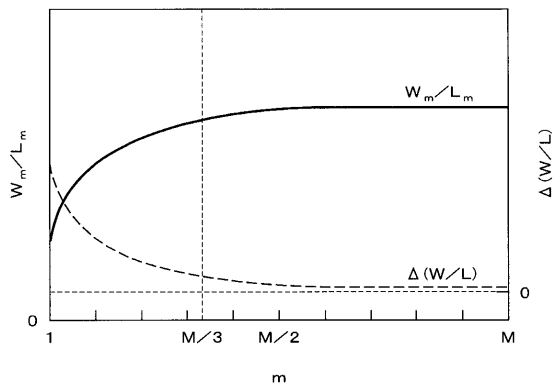
【図 5 (a)】

図5(a)



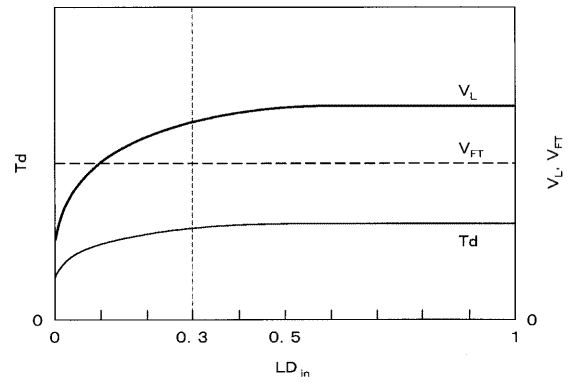
【図 5 (b)】

図5(b)



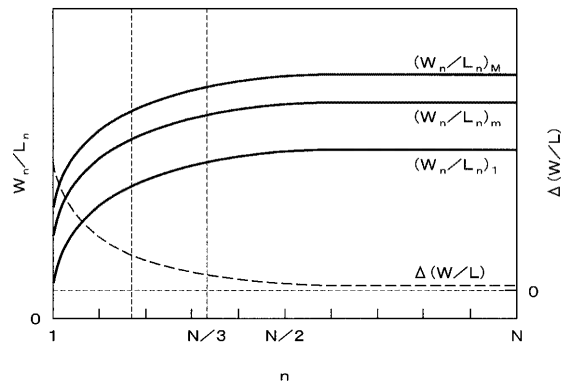
【図 6 (a)】

図6(a)



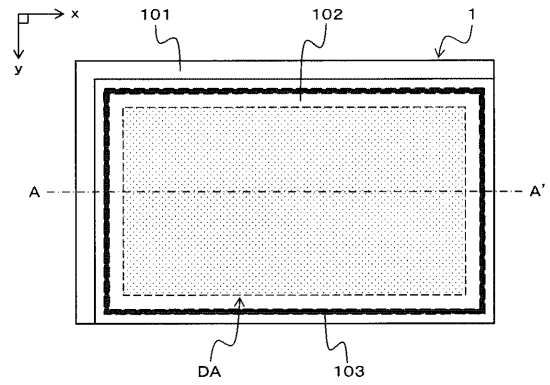
【図 6 (b)】

図6(b)



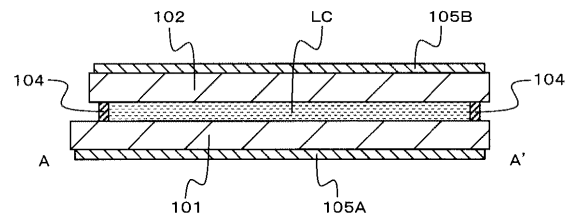
【図 7 (a)】

図7(a)



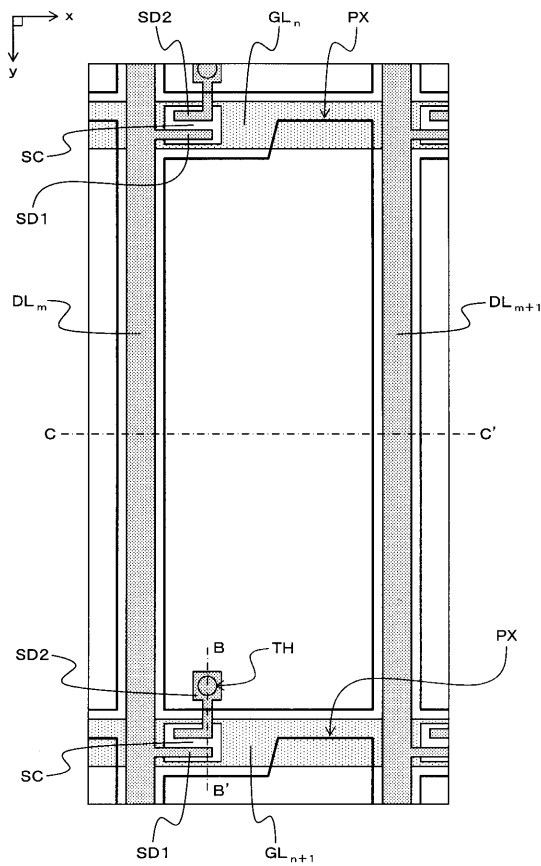
【図 7 (b)】

図7(b)



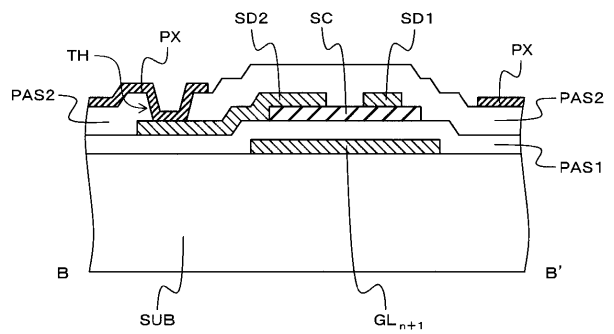
【図 8 (a)】

図8(a)



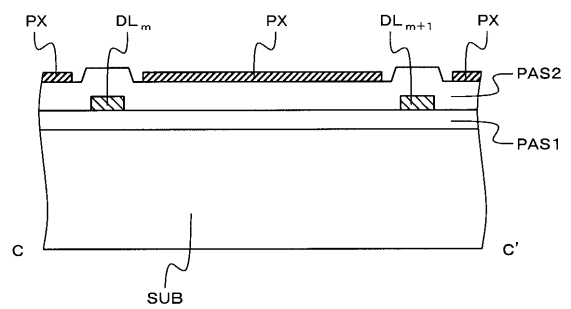
【図 8 (b)】

図8(b)

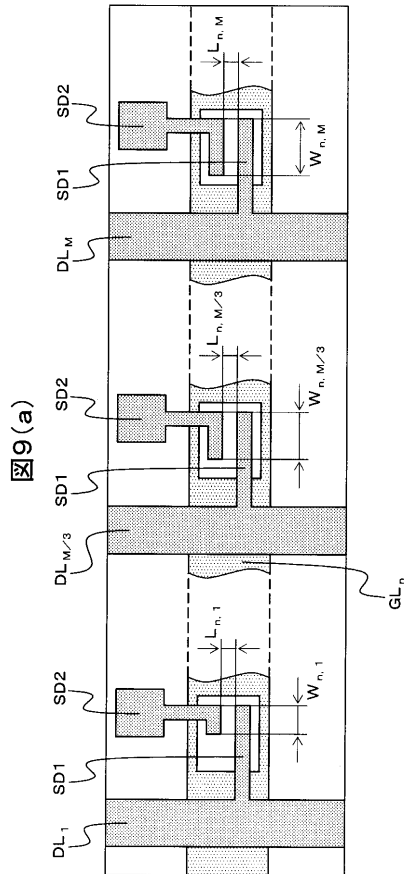


【図 8 (c)】

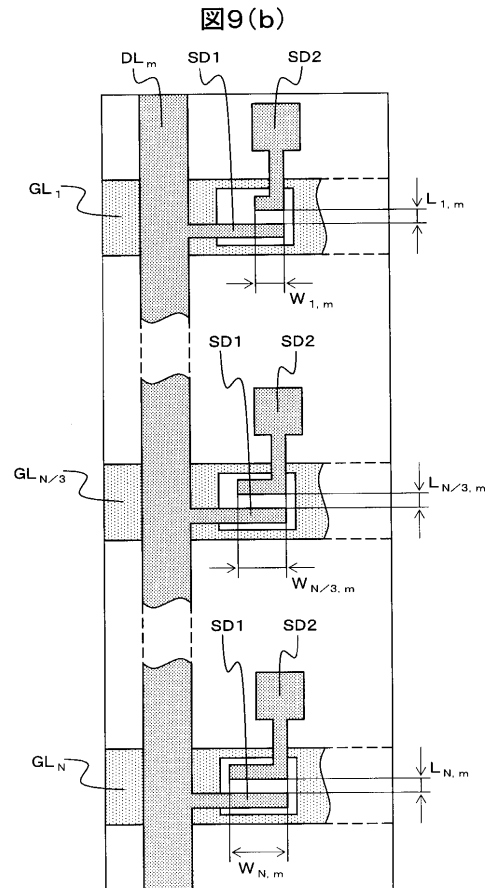
図8(c)



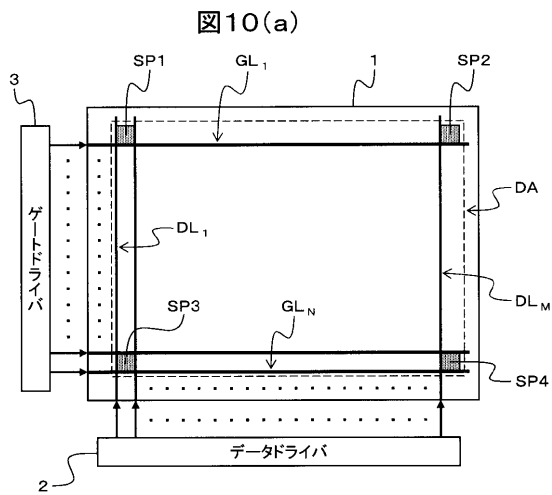
【図 9 (a)】



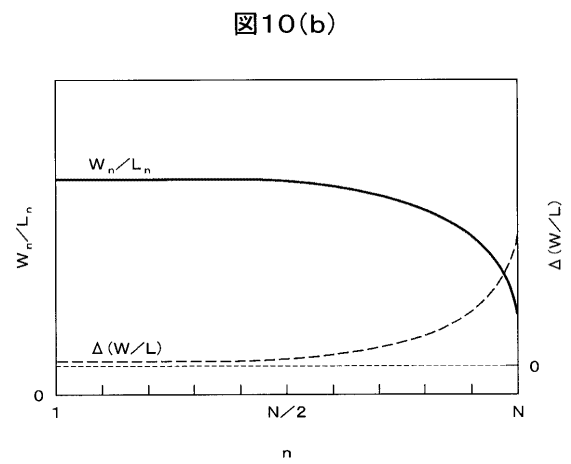
【図 9 (b)】



【図 10 (a)】

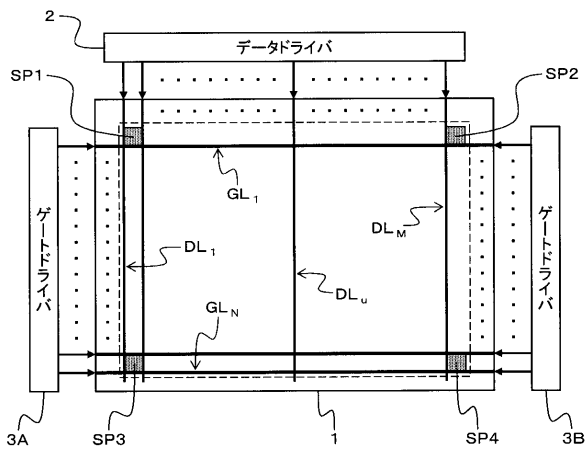


【図 10 (b)】



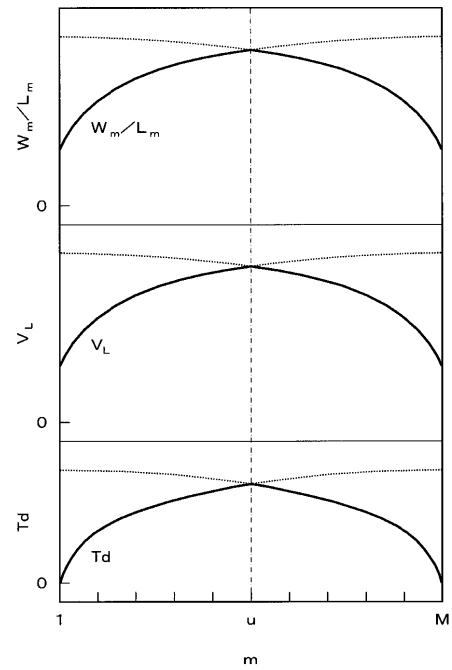
【図11(a)】

図11(a)



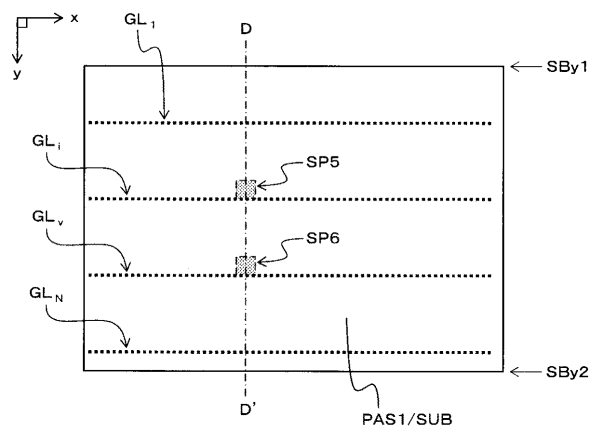
【図11(b)】

図11(b)



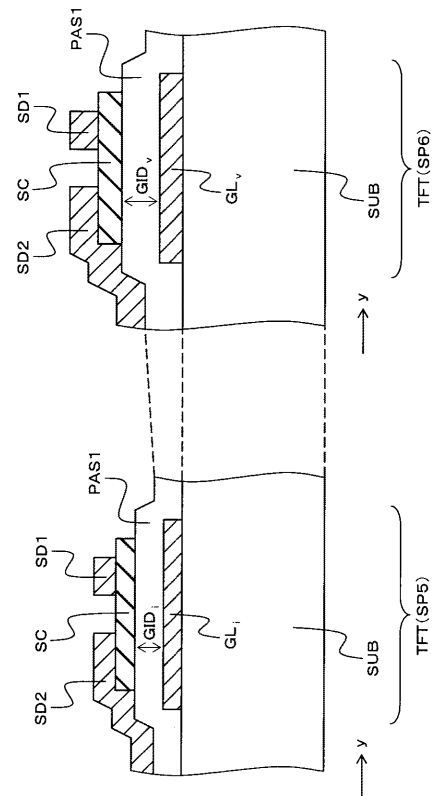
【図12(a)】

図12(a)



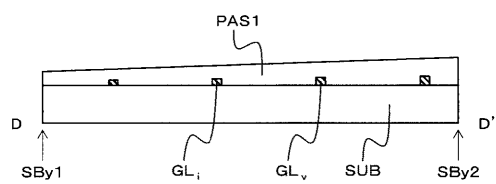
【図12(c)】

図12(c)



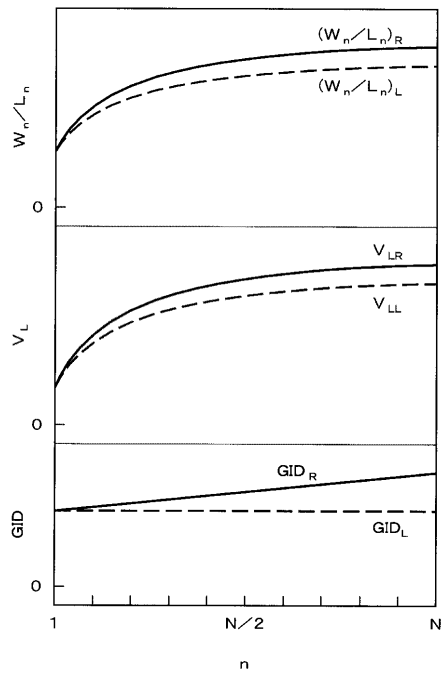
【図12(b)】

図12(b)



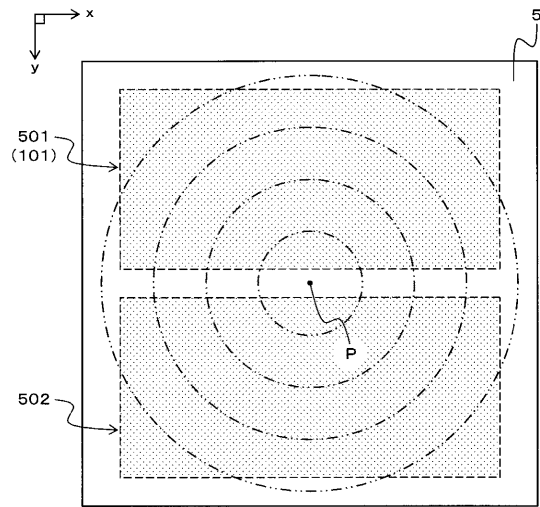
【図 12 (d)】

図12(d)



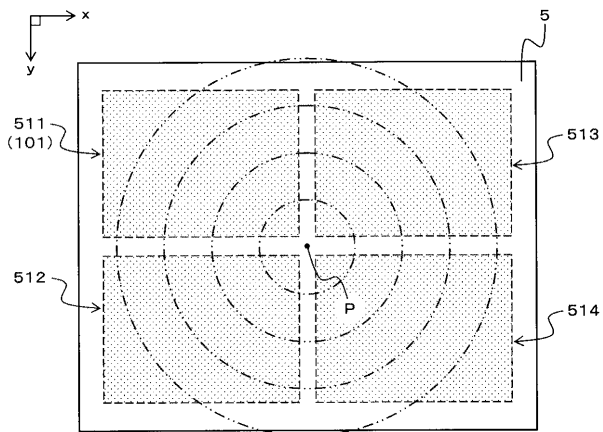
【図 13 (a)】

図13(a)



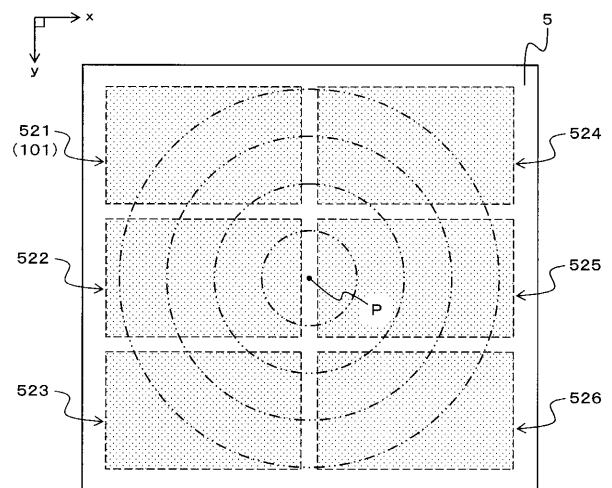
【図 13 (b)】

図13(b)

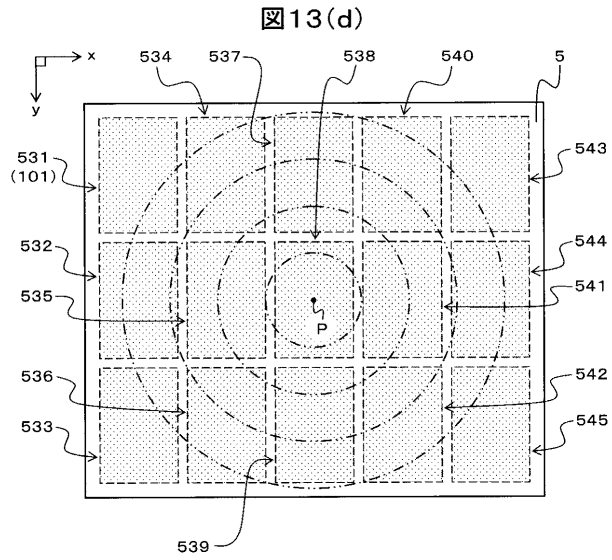


【図 13 (c)】

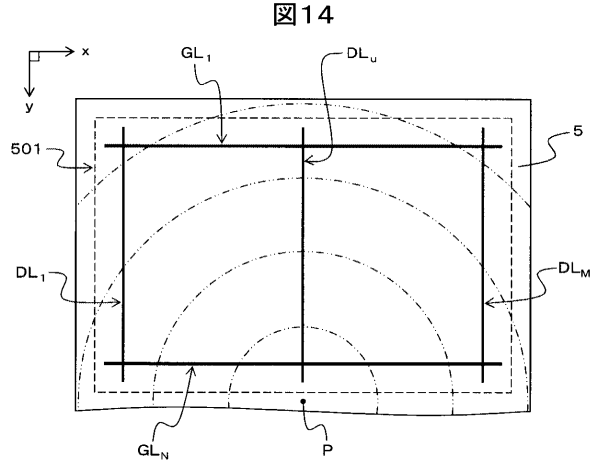
図13(c)



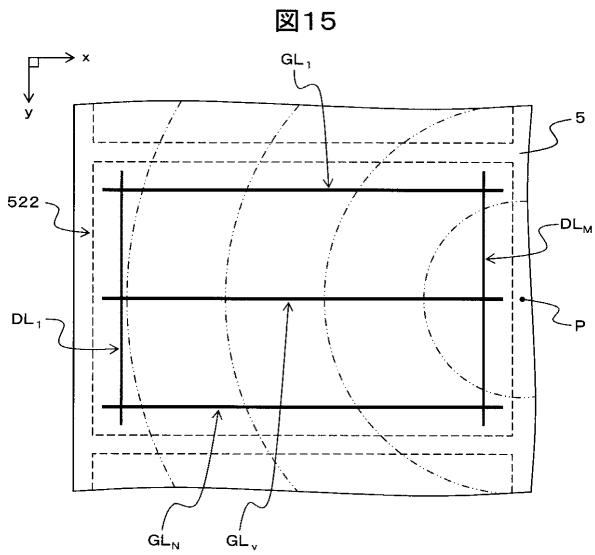
【図 13 (d)】



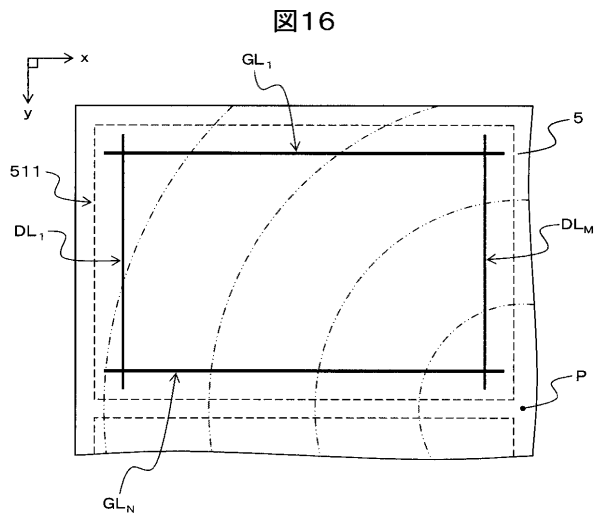
【図 14】



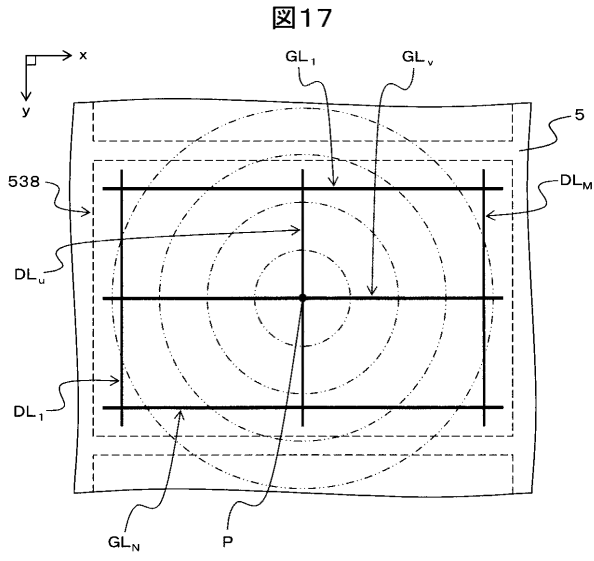
【図 15】



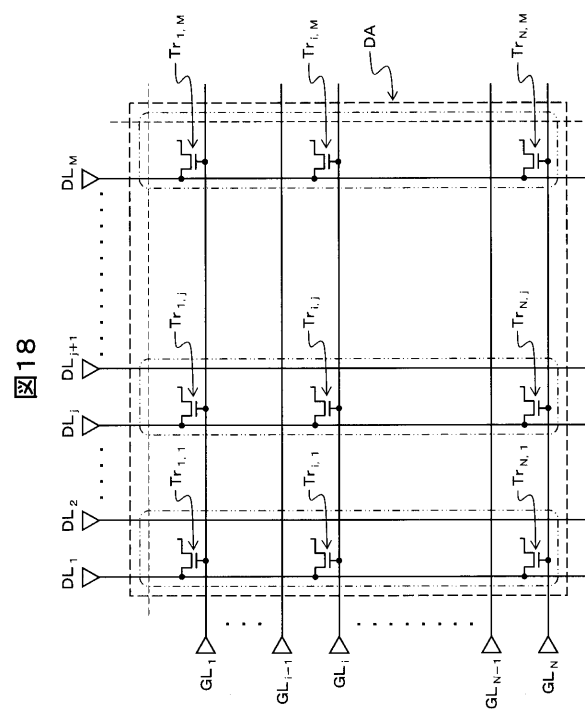
【図 16】



【図 17】



【図 18】



フロントページの続き

(72)発明者 大原 健
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内
(72)発明者 齊藤 裕
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内
(72)発明者 仲吉 良彰
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内
Fターム(参考) 2H092 JA26 JA31 JA32 JA35 JB67 NA24
5C094 AA02 BA03 BA43 DB01 FB12

专利名称(译)	表示装置		
公开(公告)号	JP2008304659A	公开(公告)日	2008-12-18
申请号	JP2007151175	申请日	2007-06-07
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	大井田 淳 宫崎 貴弘 大原 健 斎藤 裕 仲吉 良彰		
发明人	大井田 淳 宫崎 貴弘 大原 健 斎藤 裕 仲吉 良彰		
IPC分类号	G02F1/1368 G09F9/30		
CPC分类号	G02F1/1368 G02F1/133345 G02F1/133351 G09G3/3648 G09G2300/04 G09G2320/0223		
FI分类号	G02F1/1368 G09F9/30.338		
F-TERM分类号	2H092/JA26 2H092/JA31 2H092/JA32 2H092/JA35 2H092/JB67 2H092/NA24 5C094/AA02 5C094/BA03 5C094/BA43 5C094/DB01 5C094/FB12 2H192/AA24 2H192/AA44 2H192/BC31 2H192/CB05 2H192/CB52 2H192/CB82 2H192/CC04 2H192/DA02 2H192/FA44 2H192/HA93		
外部链接	Espacenet		

摘要(译)

要解决的问题：改善有源矩阵液晶显示器件的显示质量。解决方案：显示装置包括：显示面板，包括多条扫描信号线；多条图像信号线，与多条扫描信号线三维交叉；以及大量TFT元件，以矩阵形式排列，每个大量的TFT元件，具有连接到多条扫描信号线之一的栅极和连接到多条图像信号线之一的漏极或源极。根据与扫描信号线的信号输入端的距离，栅极所连接的距离或信号输入端的距离，大量TFT元件中的每一个在沟道宽度或沟道长度或两者中不同。漏极或源极连接的图像信号线。Ž

