

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-508592

(P2007-508592A)

(43) 公表日 平成19年4月5日(2007.4.5)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 621A	5C080
	G09G 3/20 623Y	
	G09G 3/20 611A	
審査請求 未請求 予備審査請求 未請求 (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2006-534747 (P2006-534747)
 (86) (22) 出願日 平成16年10月1日 (2004.10.1)
 (85) 翻訳文提出日 平成18年3月22日 (2006.3.22)
 (86) 国際出願番号 PCT/EP2004/052408
 (87) 国際公開番号 W02005/036518
 (87) 国際公開日 平成17年4月21日 (2005.4.21)
 (31) 優先権主張番号 0312186
 (32) 優先日 平成15年10月17日 (2003.10.17)
 (33) 優先権主張国 フランス (FR)

(71) 出願人 505465645
 アトメル グルノーブル エス. ア.
 ATME L GRENOBLE S. A.
 フランス、エフ-38521 サンテグレ
 ヴーヴ セデ、ペ. ペ. 123、アヴニュ
 ドゥ ロシュプレ
 (74) 代理人 100071054
 弁理士 木村 高久
 (72) 発明者 エイエル、フランソワ
 フランス 38000 グルノーブル リ
 ユ ウデ、ブランリ 2
 (72) 発明者 ロムヴォー、フィリップ
 フランス 38500 クーブルヴィ ロ
 ット レ ヴート 6

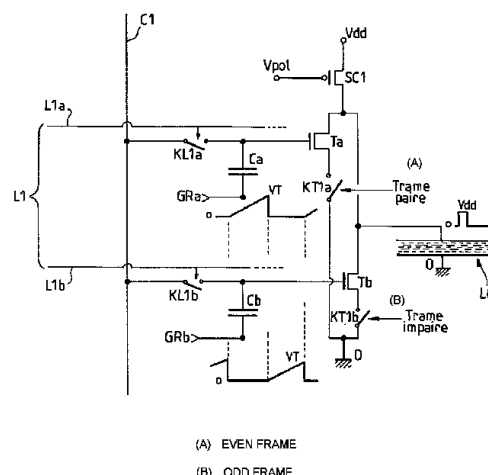
最終頁に続く

(54) 【発明の名称】 液晶マイクロディスプレイ

(57) 【要約】

本発明は、液晶マトリクスマイクロディスプレイ、特に、液晶セルのマトリクスアレイを制御するための電子回路が一体化されたモノリシックシリコン基板に具現された液晶マトリクスマイクロディスプレイに関する。

マトリクスには、行および列のクロスオーバーにおける各ドットのために、このクロスオーバーに位置する基本液晶セルを制御するための基本電子回路が含まれる。この回路には、画像フレームの期間に、列によって印加されるアナログ電圧を蓄積するための少なくとも1つの蓄積コンデンサ (C a、C b) であって、その第1の端子がトランジスタ (T a、T b) のゲートに連結された蓄積コンデンサと、2つの電圧供給端子間で直列になった基本電流源 (S C 1) およびスイッチングトランジスタ (T a、T b) であって、スイッチングトランジスタのドレインが液晶セル (L C) に連結された基本電流源およびスイッチングトランジスタと、が含まれる。少なくとも1行の全てのセルに共通の周期的な電圧ランプが、この行のセルにおける蓄積コンデンサの第2の端子に印



【特許請求の範囲】

【請求項 1】

基本液晶セル（ LC ）に関連する蓄積コンデンサ（ C_a 、 C_b ）に、所望のグレーレベルに対応するアナログ DC 電圧（ V_i ）を短い間印加することと、前記コンデンサの第 1 の端子をトランジスタ（ T_a 、 T_b ）のゲートに連結し、次に、前記トランジスタのソースが接地に連結され、そのドレインが、前記セルの電極に連結され、そしてさらに電流源（ $SC1$ ）を横切って電圧源 V_{dd} に連結されることと、前記蓄積コンデンサの第 2 の端子に、フレーム期間に単調に変化する DC 電圧ランプを印加することとからなる、液晶ディスプレイマトリックスの画素を制御する方法。

【請求項 2】

前記電圧ランプが、ゼロ電圧レベルと、前記トランジスタのスイッチオン閾値電圧 V_T の値とほぼ等しい電圧レベルとの間で、本質的に線形的な仕方で変化することを特徴とする、請求項 1 に記載の方法。

【請求項 3】

前記グレーレベルを表わし、かつ前記蓄積コンデンサに印加される前記アナログ DC 電圧が、0 ボルトと、同じ閾値電圧値 V_T との間で変化することを特徴とする、請求項 2 に記載の方法。

【請求項 4】

前記液晶セルが、 V_i / V_T または $(V_T - V_i) / V_T$ と等しい、フレーム期間の一部の間に供給電圧 V_{dd} を、かつ残りの時間にゼロ電圧を受け取ることを特徴とする、請求項 3 に記載の方法。

【請求項 5】

ランプジェネレータが、前記マトリックスの各行に関連し、アナログ電圧が前記行のドットそれぞれの蓄積コンデンサに充電された後にランプが始まることを特徴とする、請求項 1 ~ 4 のいずれか一項に記載の方法。

【請求項 6】

2 つの蓄積コンデンサ（ C_a 、 C_b ）および 2 つのトランジスタ（ T_a 、 T_b ）が、各基本液晶セルと関連し、前記第 1 のコンデンサおよび前記第 1 のトランジスタが、前記第 2 のコンデンサおよび前記第 2 のトランジスタと交互に動作するが、それは、前記セルの制御が前記第 2 のトランジスタおよび前記第 2 のコンデンサによって達成されているうちに、グレーレベルを表わすアナログ電圧を、偶数フレームの間に前記第 1 のコンデンサに 1 行ずつ蓄積するため、および前記セルの制御が前記第 1 のトランジスタおよび前記第 2 のコンデンサによって達成されているうちに、グレーレベルを表わすアナログ電圧を、偶数フレームの間に前記第 2 のコンデンサに 1 行ずつ蓄積するためであり、前記第 1 の蓄積コンデンサの第 2 の端子が、奇数フレームの間は 0 ボルトに維持され、前記偶数フレームの間に線形ランプを受け取り、これと反対に、前記第 2 のコンデンサの第 2 の端子が、前記偶数フレームの間は 0 ボルトに維持され、前記奇数フレームの間に線形ランプを受け取ることを特徴とする、請求項 1 ~ 4 のいずれか一項に記載の方法。

【請求項 7】

画像ドットのアクティブマトリックス、および周辺回路を含む液晶マトリックスディスプレイであって、前記マトリックスが、アドレス線（ $L1a$ 、 $L1b$ ）と各行のドットに表示されるグレーレベルを表わすアナログ電圧を供給するための列（ $C1$ 、 $C2$ ）とのクロスアレイと、行および列のクロスオーバーにおける各ドットのための、このクロスオーバーに位置する基本液晶セルを制御するための基本電子回路と、を含み、前記基本回路が、

- 画像フレームの期間に、前記列によって印加されたアナログ電圧（ V_i ）を蓄積するための少なくとも 1 つの蓄積コンデンサ（ C_a 、 C_b ）にして、前記蓄積コンデンサの第 1 の端子がトランジスタ（ T_a 、 T_b ）のゲートに連結された蓄積コンデンサと、
- 2 つの電圧供給端子間で直列になった基本電流源（ $SC1$ ）およびスイッチングトランジスタ（ T_a 、 T_b ）にして、前記スイッチングトランジスタのドレインが前記液晶セル（ LC ）に連結されている基本電流源およびスイッチングトランジスタと、

10

20

30

40

50

を含み、

前記周辺回路が、少なくとも1行の全てのセルに共通の周期的な電圧ランプ（GR）を受け取るための手段を含み、前記ランプが、この行のセルの前記蓄積コンデンサの第2の端子に印加される液晶マトリックスディスプレイ。

【請求項8】

前記トランジスタをスイッチオンするためのゲート・ソース閾値電圧が V_T であり、前記ランプが V_T の振幅を有し、前記グレーレベルを表わす前記アナログ電圧が、0と V_T との間で変化できることを特徴とする、請求項7に記載のマトリックスディスプレイ。

【請求項9】

各画像ドットに関連する前記基本回路が、2つの蓄積コンデンサ（ C_a 、 C_b ）と、同じ基本セル（LC）に連結され、かつ2つのうちの1つのフレームを交互に動作させる2つのスイッチングトランジスタと、を含む二重メモリを備えた回路であり、電圧値が奇数フレームの間に第1のコンデンサ（ C_a ）に印加されるのに対して、前記第2のコンデンサ（ C_b ）が、それが前の偶数フレームの間に受け取った電圧を保持し、またその逆でもあり、前記回路が、前記第1のコンデンサに連結された前記トランジスタをスイッチオフするためのディスエーブル装置（KT1a）を含んで、前記奇数フレームの間に前記トランジスタをディスエーブルするようにし、前記第2のコンデンサに連結された前記トランジスタをスイッチオフするためのディスエーブル装置（KT1b）を含んで、前記偶数フレームの間にこのトランジスタをディスエーブルするようにすることを特徴とする、請求項7および8のいずれか一項に記載のマトリックスディスプレイ。

【請求項10】

前記偶数フレームの間に、全ての前記第1のコンデンサにランプを印加するための、かつ前記奇数フレームの間に、前記マトリックスの全ての前記第2のコンデンサにランプを印加するための手段を含むことを特徴とする、請求項9に記載のマトリックスディスプレイ。

【請求項11】

各画像ドットに関連する前記基本回路が、単一の蓄積コンデンサおよび単一のスイッチングトランジスタを備えた単純なメモリを有する回路であることと、前記マトリックスのドットの行の前記蓄積コンデンサに、この行のセルの前記コンデンサにおける蓄積動作の後に始まりかつフレーム期間の残りの間続くランプを印加するための手段が設けられ、前記コンデンサにアナログ電圧を蓄積する動作が、1行ずつ実行されることを特徴とする、請求項7および8のいずれか一項に記載のマトリックスディスプレイ。

【請求項12】

連続画像フレームが異なる色光の変調のために働くカラーシーケンシャルディスプレイを構成することを特徴とする、請求項7～10にいずれか一項に記載のマトリックスディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶マトリックスマイクロディスプレイ、特に、液晶セルのマトリックスアレイを制御するための電子回路が一体化されたモノリシックシリコン基板に具現された液晶マトリックスマイクロディスプレイに関する。

【0002】

本明細書において目的とする液晶ディスプレイは、黒／白の2値情報だけでなく、中間のグレーレベルを表示できるものである。グレーレベルと言うとき、それは、反射または透過における輝度のレベルであり、この表現「グレーレベル」は、カラーディスプレイにおける場合のように、考慮する光が着色されている場合であっても、本明細書において用いられる。

【背景技術】

【0003】

10

20

30

40

50

グレーレベルを伴う情報を、受動画素（画像ドット）を備えた構成において表示するために、黒に対応するレベルと白に対応するレベルとの間の中間レベルのアナログ電圧を、2つの電極間の液晶からなる各基本セルに印加することができる。基本セルに対応する画像ドットの輝度（透過または反射における）は、実際には、セルに印加される電圧レベルに依存する。マトリックスの各行のために、この画素に望ましいグレーレベルに対応するDC電圧が、第1に、行の各画素に短い間印加される。この電圧を、画素レベルで、ローカルな蓄積コンデンサにおけるメモリに配置し、次に、このコンデンサを、コンデンサを充電する役割を果たす回路から絶縁し、そして次の行に行って、前記次の行の画素に望ましい他のDC電圧を、この新しい行の蓄積コンデンサに印加する。このように、この画素に望ましいDC電圧を、行の各画素の蓄積コンデンサにおけるメモリに配置した後で、蓄積コンデンサは液晶セルに連結される。したがって、液晶セルは、所望のグレーレベルに対応する電圧を受け取り（容量分割比内で）、放電することなく、この電圧を保持する。したがって、この電圧は、画像フレームの期間を通し、液晶セルの端子にわたって維持される。グレーレベルを伴う画像を生成するためのこの種の解決法は、残念にも不正確である。なぜなら、それは、蓄積コンデンサ、および液晶セルの固有静電容量の数値間の比率に依存するからである。これらの値が不正確であるのは、一方では、コンデンサが非常に小さい（集積回路の実装面積および消費の理由で）からであり、他方では、蓄積コンデンサの値が、その端子にわたる電圧に依存するからである（実際には、このコンデンサは、MOSトランジスタゲートに基づいて具現されている）。

10

【0004】

20

液晶マトリックスの別のタイプの構成（パルス幅変調を用いてアクティブ画素を備えた構成）は、同じ電圧（たとえば5ボルトの全体的な供給電圧 V_{dd} ）を、全ての画素、すなわち全ての液晶セルに印加するが、しかしその電圧を、フレーム時間の一部、すなわち所望のグレーレベルに依存する一部の時間、印加することにある。このような画素は、全フレーム期間の間、電圧 V_{dd} をその液晶セルで受け取り、そして「ノーマリホワイト」と呼ばれるタイプのマトリックスのために「黒」画素になる。すなわち、セルに印加される電圧がないときに、反射モードでも透過モードでも最大の光レベルを提供する。他のこのような画素は、フレーム期間のゼロまたはほんの一部の間、電圧 V_{dd} をそのセルで受け取り、「白」になる。最後に、他のこのような画素は、フレーム期間の所定の一部の間、電圧 V_{dd} をそのセルで受け取る。フレーム周波数が少なくとも25Hzの場合には、目は、電圧 V_{dd} の印加期間およびこの電圧の非印加期間を同化し、合計フレーム期間に対する、電圧 V_{dd} の印加期間の比率に比例する等価なグレーレベルを見る。

30

【0005】

セルに印加される電圧の値は固定され（ V_{dd} ）、それゆえセルまたは蓄積コンデンサの静電容量値における隔たりから独立しているだけでなく、さらにこの電圧は、反応時間および画像のコントラストの理由で有利なので、できる限り高くなる。

【0006】

しかしながら、画素に割り当てられるグレーレベルに依存して、各画素によって異なる、フレーム期間の一部の間に、各フレームで全てのセルに電圧 V_{dd} を印加することは、解決困難な問題を提起することが理解できる。

40

【0007】

これらの問題の中で、特に、これらの期間を管理する電子回路の電流消費の問題がある。特に、画素レベルに位置する回路の電流消費の問題がある。なぜなら、期間 V_{dd} の印加時間を計算しなければならないのは各画素のレベルであり、またフレーム期間の可変割合のためにセルの制御を実行しなければならないのは、画素レベルだからである。各画素用のこの電流消費は、何十万または何百万にさえ達する可能性のある画素数によって増加される。また、各画素のレベルで設けられる電子回路の実装面積の問題がある。なぜなら、この回路は、数百の行および列を有するマトリックスのために、何十万回も再現されるからである。基本ディスプレイセルの典型的な寸法は、10マイクロメートル×10マイクロメートルであり、セルに関連する電子回路は、この範囲に収容しなければならない。

50

【発明の開示】

【発明が解決しようとする課題】

【0008】

各セルを制御するために用いられるトランジスタの数を制限することが特に必要であり、本発明の目的は、各画素とローカルに関連するトランジスタの数を最小限にする方法および回路を提案することである。

【課題を解決するための手段】

【0009】

この目的のために、本発明は、液晶ディスプレイマトリックスを制御する方法、すなわち、基本液晶セルに関連する蓄積コンデンサに、所望のグレーレベルに対応するアナログDC電圧を短い間印加することと、コンデンサの端子をトランジスタのゲートに連結し、次に、このトランジスタのソースが接地に連結され、そのドレインが電流源を横切って電圧源V_{dd}に連結されることと、フレーム期間に単調に変化するDC電圧ランプを、蓄積コンデンサの別の端子に印加することとからなる方法を提案する。

【0010】

セルは、このトランジスタのドレインに連結され、その明るさ「黒」または「白」の状態は、このドレインに存在する高または低レベルに依存する。

【0011】

単調なランプは、原則としては本質的に線形である。しかしながら、それは、完全には線形でなくてもよい。ランプの輪郭に影響を及ぼすことによって、システムのある一定の非線形性を補正したい場合には、ランプが完全には線形でないことが、特に考えられる。非線形的な輪郭を備えたランプによるこのような補正は、たとえば、ある一定の輝度範囲における視覚的な知覚を改善する役割を果たす可能性がある。

【0012】

本発明による方法は、次の仕方で働く。コンデンサに印加された電圧ランプは、コンデンサによってトランジスタのゲートに伝えられる。ランプの電圧が予めコンデンサに蓄積された電圧に印加されるために、コンデンサに蓄積された電圧（所望のグレーレベルに対応する電圧）がより大きくなり、したがって、ゲートは、それだけ高いレベルから始まる電圧ランプを受け取る。ゲートにおける電圧ランプは、フレーム期間にわたって広がる。開始時にトランジスタはオフであり、そのゲートの電圧は、接地されている（またはより一般的には、固定電位の）ソースに比べて不十分である。トランジスタがオンではない間は電流を導通できない電流源を通して電力を供給されるトランジスタのドレインは、V_{dd}と等しい電位レベルであるので、したがって、セルは、第1の状態（たとえば「黒」）にある。ゲートの電圧がトランジスタの閾値電圧V_Tに達した瞬間に、トランジスタは導通し始め、トランジスタのドレインの電位をゼロに戻す。この瞬間は、最初にコンデンサに蓄積され、かつ所望のグレーレベルと関連する電圧レベルに依存する。液晶セルは、このドレインに接続され、状態を急に変化させ（それはたとえば「白」状態をとる）、そしてフレームの残りの間はこの状態に留まる。したがって、目によって同化されるセルの平均輝度は、コンデンサに最初に蓄積された電圧レベルに依存する。

【0013】

電圧ランプは、ゼロ電圧レベルと、トランジスタの閾値電圧V_Tの値とほぼ等しい電圧レベルとの間で変化するのが好ましいが、閾値電圧は、従来的にはゲート-ソース電圧値であり、この値の上ではトランジスタはオンであり、その下ではオフである。

【0014】

グレーレベルを表わし、かつ蓄積コンデンサに印加されるアナログDC電圧は、0ボルト（基準0ボルトは、フレーム期間のトランジスタのソース電圧である）と、同じ閾電圧値V_Tとの間で変化する。液晶セルは、各フレームに応じて変化する期間に、供給電圧V_{dd}かまたは0ボルト電圧のいずれかを受け取る。

【0015】

したがって、本発明は、画像ドットまたは画素のアクティブマトリックスおよび周辺回

10

20

30

40

50

路を含む液晶マトリックスディスプレイであって、このマトリックスが、アドレス線と各行のドットに表示されるグレーレベルを表わすアナログ電圧を供給するための列とのクロスアレイと、行および列のクロスオーバーにおける各ドットのための、このクロスオーバーに位置する基本液晶セルを制御するための基本電子回路と、を含み、この基本回路が、

- 画像フレーム期間に、列によって印加されるアナログ電圧を蓄積するための少なくとも1つの蓄積コンデンサにして、この蓄積コンデンサの第1の端子がトランジスタのゲートに連結された蓄積コンデンサと、

- 2つの電圧供給端子間で直列になった基本電流源およびスイッチングトランジスタにして、スイッチングトランジスタのドレインが液晶セルに連結されている基本電流源およびスイッチングトランジスタと、

を含み、

周辺回路が、少なくとも1行の全てのセルに共通の、周期的な電圧ランプを受け取るための手段を含み、ランプが、この行のセルの蓄積コンデンサの第2の端子に印加される液晶マトリックスディスプレイ、を提案する。

【0016】

このトランジスタのゲート・ソース閾値電圧が V_T （この電圧の上で、トランジスタは導通を始める）である場合には、ランプは、 V_T の振幅を有するのが好ましい。ランプは、画像フレームの期間にわたり、0から V_T へ、または V_T からゼロへ変化する。グレーレベルを表わすアナログ電圧は、原則として0と V_T との間で変化する。

【0017】

電圧ランプは、ディスプレイマトリックスおよびその制御回路を含むモノリシック集積回路の内部または外部に存在するランプジェネレータによって生成される。

【0018】

本発明は、二重メモリを備えた基本電子回路に各画像ドットが関連しているディスプレイに用いてもよく、この基本電子回路には、1つではなく2つの蓄積コンデンサと、同じ液晶セルに連結され、かつ2つのうちの1つのフレームを交互に動作させる2つのスイッチングトランジスタとがあり、また電圧値が奇数フレームの間に1つのコンデンサに印加されるのに対して、もう一方のコンデンサは、それが前の偶数フレームの間に受け取った電圧を保持するが、その逆でもある。次に、第1のコンデンサに連結されたトランジスタの導通は、奇数フレームの間に無効にされ、偶数フレームの間に有効にされる。二重メモリを備えたこれらの画像ドットの場合には、ランプジェネレータを用いて、マトリックスの全ての画像ドット用に決められたランプを生成することができる。ランプは周期的であり、その周期は画像フレームの周期である。したがって2つのランプジェネレータ（または同一のランプジェネレータの2つの部分）が、2つのうちの1つのフレームを交互に動作させるが、しかし両方とも、マトリックスの全てのドットに供給する。

【0019】

これに反して、画像ドットが単純なメモリ（単一の蓄積コンデンサおよび単一のスイッチングトランジスタ）を備えたものである場合には、異なるランプが画像ドットの各行に印加され、したがって、1行当たり1つのランプジェネレータが必要になる。このランプは、行のセルにおけるコンデンサの蓄積動作の後に始まり、フレーム期間の残りの間続く。電圧を蓄積する動作は行ごとに実行されるので、ある行のセルにおける蓄積動作の終了を待って、次の行で同じ動作を行うことが必要である。したがって、ランプは、全て同様の期間であるが、行から行へ調子を合わせてシフトされる。

【0020】

本発明は、連続的な画像フレームが異なる色光を変調するカラーシーケンシャルディスプレイに特に適用可能である。各画像フレームは、単一色のディスプレイに対応し、前記色光が、このフレームの間にマトリックスの前に放射されて、この色に特有の情報に応じてマトリックスによって空間的に変調されるようにする。色光は、この色の供給源（その後、続く色に対応する情報を含む蓄積コンデンサへのランプの印加に同期して、続くフレームのための異なる色の供給源）によって得られる。そうでなければ、色光は、選択され

10

20

30

40

50

た色に関連する情報を含む蓄積コンデンサへのランプの印加とやはり同期して、この色のフィルタ（その後、続くフレームのための他の色のフィルタ）が前方を横切っている白色光から得られる。

【0021】

本発明の他の特徴および利点は、添付の図面に関連して提供した以下の詳細な説明を読むことによって明らかとなるであろう。

【発明を実施するための最良の形態】

【0022】

以下において、液晶セルが反射モード（光が観察者の側からディスプレイの方へ放射される）で作動しようと、透過モード（光がディスプレイの背後から生じる）で作動しようと、「ノーマリホワイト」タイプの液晶セルだけが考慮される。「ノーマリホワイト」タイプのセルは、ゼロ電圧がセルの電極間に印加されたときに最大輝度（白）を、また最大供給電圧 V_{dd} がセルに永続的に印加されたときに最小輝度（黒）を有するものとして観察者によって見られる。

【0023】

図1は、液晶マイクロディスプレイを制御するための電子装置の全体的な構成を表わす。マトリックスには、行および列に構成された、個別の画像ドットまたは画素 P_{11} 、 P_{12} 、 P_{21} 、 P_{22} 等が含まれる。グレーレベル情報（またはもちろんカラーレベル情報）は、最小レベル0ボルトと最大レベル V_T との間で変化するアナログ電圧の形態で、列導体 C_1 、 C_2 等によって与えられる。

【0024】

図1のダイヤグラムは、画素が、このアナログ電圧を蓄積するための、偶数および奇数の連続的なフレーム中に交互に動作する2つのコンデンサを含む場合、および画素が、各フレームで内容が更新されるただ1つの蓄積コンデンサを含む場合の両方に有効である。我々は、これら2つのタイプの構造の違いに後で戻る。

【0025】

所定の瞬間に列に印加される電圧レベルは、この列と、行選択レジスタ R_L によってこの瞬間に作動される行との交点に位置する画素で表示されるグレーレベルを表わす。各行に固有の行導体 L_1 、 L_2 等によって、所定の瞬間にこの行の全ての画素を作動させることが可能になり、一度に単一の行が作動するように、他の行の画素は不作動にされる。我々は、行導体 L_1 が、二重メモリを備えたマトリックスのために2つの行導体 L_{1a} 、 L_{2a} に細分されることを後で見てみるが、しかし行の全ての画素はやはり同時に作動される。作動された行の画素は、この瞬間に存在する電圧をそれぞれの列導体で受け取り、それを各画素内の蓄積コンデンサに蓄積する。不作動にされた画素はそれを受け取らず、以前に蓄積できた電圧をメモリに保持する。フレームの間に画素の輝度を操作する（我々が見て取れるように間接的に）のは、フレーム期間を通してメモリに配置されたこのアナログ電圧である。

【0026】

マトリックスの各ドットに割り当てられる新しい輝度を決定するために、行は、フレームの間に次々に作動される。行の連続的な作動シーケンスを実行するのは、制御レジスタ R_L である。行の各作動のために、この行に対応するグレーレベル電圧が列導体に印加され、これらの電圧は、次の行のために変更される。

【0027】

行の選択中に列に印加されるアナログ電圧は、次の方法で、アナログ/デジタル変換に基づいて確立してもよい。すなわち、デジタルレジスタ R_C が、この瞬間に選択された列および行の交点に位置するドットに印加されるグレーレベルを表わすデジタル値（たとえば8ビットで符号化された）を各列のために含んでいる。レジスタ R_C は、各新しい行選択において再充電され、また同期化回路（図示せず）が、もちろん、行および列動作を同期させる役割を果たす。レジスタからのデジタル出力（1列当たり1つの出力）が、この列に対応する比較器 CMP_1 、 CMP_2 . . . に印加される。比較器は、さらに、レジス

10

20

30

40

50

タ R C に含むことができる 0 から最大値（最大値は、8 ビットを備えたレジスタでは 1 列当たり 255 である）まで周期的および定期的にカウントするカウンタ C P T の内容を受け取る。カウンタの内容が、確定された列のためにレジスタに含まれた値に達すると、この列に関連する比較器は、単一の短いパルスを供給する。カウンタ C P T は、すべての列に対して同じである。列に関連する比較器 C M P 1、C M P 2、... によって供給されるパルスは、それぞれの列導体 C 1、C 2 に位置しているスイッチ K 1、K 2、... を閉じる。このように閉じることにより、我々が見て取れるように、所望のグレーレベルを表わすアナログ電圧が、スイッチによってこの列に印加される。カウンタの周期は、行の周期である。すなわち、カウンタは、新しい行が選択されるたびにカウントを開始し、この行の画素にグレーレベルを蓄積するようにする。

10

【0028】

スイッチ K 1、K 2、... によって列に印加されるアナログ電圧は、カウンタ C P T と同期して動作し、かつ 0 から最大値（V T）まで線形的に変化する電圧を生成する線形電圧ランプジェネレータから生じる。このランプは、行の各新しい選択と共に更新される。これは、ドットのマトリックス全体に共通である。したがって、カウンタが、0 から最大の内容までカウントするにつれて、ランプは、0 からその最大値まで上昇する。したがって、ランプの瞬間的な電圧は、カウンタの内容に比例する。スイッチを閉じるためのパルスは、カウンタの内容が所望の値と等しい瞬間に立ち上がり、またランプは、この瞬間に、この値に比例する値を有する。列レジスタ R C から生じる、所望のグレーレベルを表わす値を、選択された行の画素におけるメモリにロードするために、列導体に印加されるのは、この瞬間におけるランプの瞬時値である。

20

【0029】

例として、ランプジェネレータは、単に、カウンタ C P T の内容を受け取るデジタル / アナログ変換器 D A C によって構成してもよい。

【0030】

本発明によるディスプレイの全体的な構成においてまた発見されるのは、別のランプジェネレータ G R であり、このランプジェネレータは、マトリックスの画素が二重メモリを有する場合には、2 つのランプジェネレータ G r a、G r b におそらく分割される。このランプジェネレータは、各フレームにおいて電圧ランプを提供するが、この電圧ランプは、原則として線形であり、画像フレームの期間に等しい、0 から最高電圧までの上昇期間を有する。このランプジェネレータは、行および列の各クロスオーバにローカルに存在する基本液晶セルの電極に印加される電圧の駆動段階中に、マトリックスの全ての画素に、原則として線形の電圧ランプを印加する役割を果たす。しかしながら、次のことに留意されたい。すなわち、単純なメモリを備えた画素の場合には、ランプジェネレータは、マトリックスにある行と同じ数の、調子を合わせてシフトされるランプを生成できなければならない。各ランプがそれぞれの行に印加されるのに対して、二重のメモリを備えた画素の場合には、ジェネレータは、後で説明する対処に従って、マトリックスの全てのドットに対して単一のランプを生成するだけで十分である。ランプジェネレータは、ディスプレイマトリックスを担持する集積回路にか、またはこの集積回路の外部に具現してもよく、後者の場合、集積回路には、ランプ信号の受信のために確保された入力部が含まれる。

30

40

【0031】

図 2 は、行 L 1 および列 C 1 のクロスオーバに位置する画素に関連する基本電子回路の構成を示すが、この回路は、このクロスオーバの場所に位置している。図示した構成は、各画素が、画素にローカルに蓄積されるグレーレベルを表わすアナログ電圧の二重メモリを含む実施形態に、対応する。

【0032】

全体的として、二重メモリを備えた画素の動作方法は、以下の通りである。奇数フレームの間に、それぞれのグレーレベルを画素それぞれの第 1 のメモリに蓄積する動作が実行され、以前の偶数フレームの間に第 2 のメモリに蓄積したグレーレベルを用いて、セルのディスプレイを駆動する。奇数フレームに続く偶数フレームの間に、以前に第 1 のメモリ

50

に蓄積された電圧を用いて、各画素に関連する液晶セルによってディスプレイを駆動し、この時間の間に、新しいグレーレベルが、同じセルに関連する第2のメモリに蓄積される。したがって、各フレームの期間全体を、セルのディスプレイを駆動する動作に用いることができるのに対して、1画素当たりただ1つの蓄積メモリがあった場合には、蓄積動作のためにフレームの一部を用い、セルの本来の制御のためにフレームの別の一部を用いることが必要であつたろう。

【0033】

第1のメモリは第1の蓄積コンデンサC_aによって構成され、第2のメモリは第2の蓄積コンデンサC_bによって構成される。コンデンサC_aは、行選択スイッチL_{1a}を介して列導体C₁に、第1の端子により連結してもよく、コンデンサC_bは、別の行選択スイッチK_{L1b}によって同じ列導体C₁に、第1の端子により連結してもよい。この接続を確立するために、スイッチK_{L1a}は、奇数フレームの間だけ、かつ行L₁が、その行の画素に新しいグレーレベルを蓄積する動作のために、行選択レジスタR_Lによって選択されたときだけ、閉じられる。スイッチK_{L1b}は、偶数フレームの間だけ、かつグレーレベルを受け取るのが行L₁の順番であるときだけ、閉じられる。奇数フレームの間、行の画素にグレーレベルを蓄積する動作の間に、コンデンサC_aの第2の端子は接地され、その結果、この瞬間に列C₁に存在するアナログ電圧は、スイッチK_{L1a}を横切って、コンデンサC_aの端子に印加される。思い出されるであろうが、この電圧は、ランプの電圧レベルが、列レジスタR_Cによって数的に定義された値に一致する瞬間に、スイッチK₁(図1)によってサンプリングされたランプから生じる。

10

20

【0034】

スイッチK_{L1a}は、第1の行導体L_{1a}によって制御され、スイッチK_{L1b}は、第2の行導体L_{1b}によって制御される。行L₁は、これらの2つの導体によって定義され、行選択レジスタは、確定されたフレームのために用いられる行導体の選択を決定する。L_{1a}は奇数フレーム用であり、L_{1b}は偶数フレーム用であるが、しかしそれは、常に画素L₁の行の画素の問題である。

【0035】

フレームが奇数フレームかまたは偶数フレームかどうかによって依存して、コンデンサC_aまたはC_bにアナログ電圧をロードした後で、対応する行選択スイッチK_{L1a}またはK_{L1b}が開かれ、コンデンサC_aまたはC_bは、これからは絶縁されて、このフレームの残りの間(すなわち、他の行の充電の間)、および次のフレームの間(すなわち、本来の表示動作の間)一定の電荷を保持する。

30

【0036】

アナログ電圧を行に蓄積した後、行選択レジスタの順序付けによって、次の行が選択される。スイッチを閉じるための行の選択は、奇数フレームの間ではスイッチK_{L1a}だけに、偶数フレームの間ではスイッチK_{L1b}だけに影響を及ぼす。

【0037】

蓄積コンデンサC_aの第1の端子(すなわち、スイッチK_{L1a}に連結された端子)はまた、参照符号T_aによって示されたMOSトランジスタのゲートに連結されているのに対して、コンデンサC_bの第1の端子は、MOSトランジスタT_bのゲートに連結されている。

40

【0038】

トランジスタT_aのソースは、接地(すなわち、ゼロと見なすことができる電位基準)に連結されるが、偶数フレームの間だけである。スイッチK_{T1a}は、トランジスタT_aのソースと接地との間に置かれて、奇数フレームの間は、トランジスタT_aによる電流の導通をディスエーブルする。マトリックスの全ての画素のスイッチK_{T1a}は、偶数フレームの全期間は閉じられるが奇数フレーム期間は開くように、同時に制御される。同じように、トランジスタT_bのソースは、奇数フレームの全期間は閉じられ、かつ偶数フレームの間は開かれるスイッチK_{T1b}によって、接地に連結される。

【0039】

50

トランジスタT aのドレインおよびトランジスタT bのドレインは、図1の基本回路がローカルに関連する画素に対応する液晶セルLCの第1の電極に連結されている。特に、セルは、トランジスタT aのドレインによって偶数フレームの間にか、またはトランジスタT bのドレインによって奇数フレームの間に、セルの電極に電圧を印加することにより制御される。

【0040】

セルには、一般に全マトリックスに共通であり、かつ最初は0ボルトの接地電位にされていると見なされる第2の電極が含まれる。

【0041】

トランジスタT aおよびT bのドレインは、さらに、一般的な電源V d dとドレインとの間に連結されたPMOSTランジスタによって構成された同一の定電流源S C 1に連結されるが、このトランジスタは、自身における電流が固定されるように、そのゲートを電位V p o lに接続している。特に、ゲート電位は、このトランジスタにおける電流が固定電流源（図示せず）の電流のイメージであるように、従来の電流ミラー装置によって決定してもよい。定電流の値は、従来的には電位V p o lによっておおよそトランジスタのチャンネルのジオメトリによって決定される。全ての画素の定電流源は、同一である。この電流源S C 1は、フレームが奇数かまたは偶数かに依存して、トランジスタT aまたはトランジスタT bに、たとえば約100ナノアンペアのオーダの固定電流を供給するが、しかしながら、トランジスタT a（またはT b）がオン状態にあり、オフ状態にないという条件に基づいて供給する。見て取れるように、これらのトランジスタの状態は、コンデンサC aまたはC bによってそのゲートに印加される電位によって決定される。

【0042】

最後に、奇数フレームの間にコンデンサC aの第2の端子に印加される電位はゼロであるが、しかし偶数フレームの間に、この第2の端子は、図1に関連して言及した、マトリックスの全てのセルに共通の線形電圧ランプジェネレータによって決定される電位を印加される。反対に、奇数フレームの間に、同じ電圧ランプが、コンデンサC bの第2の端子に印加されるのに対して、偶数フレームの間は、ゼロ電位がこの端子に維持される。

【0043】

ランプジェネレータは線形アナログ電圧ランプを生成するが、このランプは、フレームの開始時に0から始まり、フレームの終了時に、トランジスタT aまたはT bをスイッチオンするための閾値電圧V Tと好ましくは等しい最大値に達する。この閾値電圧V Tは、V Tより大きな値がトランジスタを導通状態にしかつV Tより低い値がトランジスタの導通をディスエーブルするように、トランジスタのゲートとソースとの間に印加される電圧の境界である。これは、従来通りに約1ボルトであってもよいが、しかしトランジスタに自由に閾値を選択させることが可能である。

【0044】

我々は、ここで、挿入句的に次のことを言いたい。すなわち、蓄積コンデンサに蓄積されるアナログ電圧は、0に等しい最小値と、原則としてV Tに等しい最大値との間で変化可能な値を原則として有し、任意の中間値は、白レベル（最小値0のための）と黒レベル（最大値V Tのための）との間の中間のグレーレベルを備えた照度を生じることができるように意図されている、ということである。

【0045】

ディスプレイマトリックスは次の方法で動作する。すなわち、奇数フレームの間に、行ごとに、0とV Tとの間に位置しかつ各画素に望ましいグレーレベルを表わすアナログ電圧値V iで、マトリックスの全てのコンデンサC aを充電した後、スイッチK T 1 aは、トランジスタT aのソースを接地するために、次の偶数フレームの開始時に閉じられ、そして0から始まって、フレームの期間に等しい時間の後にV Tに達する線形電圧ランプが、コンデンサC aの第2の端子に印加される。それゆえ、トランジスタT aのゲートに存在する電圧は、所定の瞬間のランプ、およびコンデンサに最初に充電された電圧V iの電圧合計V rである。

【0046】

この電圧合計 V_r は線形的に変化し、 V_i から始まって $V_i + V_T$ で終了する。トランジスタ T_a のゲートに印加される電圧 V_r が、トランジスタ T_a の導通閾値である値 V_T 未満である限り、トランジスタ T_a は、電流源 SC_1 が電流を導通せずかつトランジスタのドレイン電圧（また、液晶の第1の電極に印加される電圧）が V_{dd} に等しいように、オフに留まり、第2の電極または対向電極は、0ボルトである。液晶は、いわゆる「ノーマリホワイト」マトリックスのために「黒」状態である。ゲートに印加される電圧が V_T より大きくなると、トランジスタ T_a は導通状態になり、電極を接地する。液晶は、「白」状態に切り換わる。

【0047】

セルが黒である時間と、セルが白である時間との間の比率は、コンデンサ C_a に蓄積されるグレーレベル値 V_i に正比例する。 $V_i = 0$ に対しては、トランジスタ T_a は、フレームの終了時だけ導通状態になり、セルに印加される電圧は、全フレームの間、 V_{dd} である。セルは、フレーム時間の100%の間、黒である。 $V_i = V_{dd}$ (V_i の最大可能値) に対しては、トランジスタは、正にフレームの開始から導通状態になり、セルに印加される電圧は、全フレームの間、0である。セルは、フレーム時間の100%の間、白である。中間の V_i に対しては、セルは、フレーム時間の比率 V_i / V_T の間は黒 (V_{dd} の印加) であり、フレーム時間の一部 ($V_T - V_i$) / V_T の間は白 (0ボルトの印加) である。フレーム周期は短く (典型的には $1/25$ 秒)、目は、黒と白との間の変化を同化する。目によって知覚される等価なグレーレベルは、値 V_i / V_T によって、したがって値 V_i によって直接表わされる (ノーマリホワイトセルに関しては、 V_i が大きければそれだけ明るいグレー)。

【0048】

図2のダイアグラムにおいて、スイッチは、MOSトランジスタによって具現されている。コンデンサ C_a および C_b もまた、原則としてMOSトランジスタによって具現されているが、これらのトランジスタのドレインおよびソースが結合されて、チャンネルと一緒に第1のコンデンサ電極を形成し、その絶縁ゲートが、第2の電極を形成する。本発明による図に関して、画素に関連する回路にはわずかな数の素子しか含まれず、その結果、この回路の全体的な実装面積が抑えられることに留意されたい。

【0049】

動作方法は、前のフレームの間に蓄積されたグレーレベル電圧を、フレーム全体のために保持するコンデンサ C_a または C_b の能力に部分的に依存する。本発明による回路は、コンデンサの電荷を失わせる電流リーク経路がほとんどないことを示す。

【0050】

図2のダイアグラムにおいて、液晶セルが、第1の電極をトランジスタ T_a および T_b のドレインに連結し、第2の電極または対向電極を接地に連結していると、簡略化のために仮定されている。しかしながら、液晶の端子にゼロ平均電圧が存在するように対処することによって液晶を減極することが、一般に必要であるが、そうでないのは、第2の電極が常に接地されている場合、および第1が0ボルトと V_{dd} との間を振動する場合である。この理由で、従来的には対処がなされ、そして本発明は、この対策と共存可能で、液晶に印加される電圧の方向を周期的に逆にする。

【0051】

たとえば、第1のフレームまたは第1の一連のフレームにおいて、対向電極が0ボルトである場合、第2のフレームまたは第2の一連のフレームにおいて、対向電極が V_{dd} であることを保証するように、対処をしてもよい。しかしながら、対向電極が V_{dd} であれば、セルは、第1の電極が0ボルトであるという条件で黒になり、第1の電極が V_{dd} であるという条件で、白になる。このことが意味するのは、同じグレーレベルを得るためには、コンデンサに蓄積された、このレベルを表わすアナログ電圧が V_i である場合には、 V_i ではなく、平均電圧 $V_{dd} - V_i$ と同等のものをセルの第1の電極に印加することが必要である、ということである。このことは、フレーム時間の一部 V_i / V_T の間に0ボルト

10

20

30

40

50

トの電圧を、そして一部 ($V_T - V_i$) / V_T の間に電圧 V_{dd} を印加することが必要であることを意味する。したがって、これは、対向電極が 0 ボルトであり、かつ電圧 V_{dd} が一部 V_i / V_T の間に印加され、電圧 V_{dd} が一部 ($V_T - V_i$) / V_T の間に印加される場合の反対である。

【0052】

したがって、液晶セルの分極のこの交替を実行できるように望む場合に、ランプジェネレータによって供給され、かつ画素のコンデンサ C_a および C_b に印加されるランプの方向を周期的に逆にするのは、極めて簡単にできるであろう。したがって、たとえば、偶数フレームの間にコンデンサ C_a に印加されるランプは、フレームの開始時に V_T から始まり、フレームの終了時に 0 ボルトまで線形的に低下する降下ランプであってもよい。

10

【0053】

液晶の第 2 の電極に印加される分極 0 または V_{dd} が交替されるのと同様の、ランプの方向の交替による分極の交替は、全てのフレームまたは 1 つおきのフレームで周期的に行なうことができる。それが全てのフレームである場合には、2 つの蓄積コンデンサの 1 つが上昇ランプを規則正しく受け取り、もう一方が降下ランプを規則正しく受け取ることを保証するように対処してもよい。

【0054】

全てのフレームで、2 つのコンデンサのために同じ上昇ランプを保持し、かつセルのマトリックスの対向電極における分極の交替と同期して列レジスタ RC におけるデジタルデータを単に逆にするのもまた可能である。また、列レジスタにおけるデジタルデータの値を逆にせずに、たとえば、電圧 V_i を確立するデジタル/アナログ変換器によって生成されるランプを逆にすることによって、アナログ電圧 V_i の値の大きさを逆にするのもまた可能である。これは、カウンタ CPT の内容ではなく、このカウンタの内容の補数を変換器に印加することによって行うことができる。ここで繰り返すと、変換器の入力におけるこの変化を、対向電極の分極の変化と同期させることが必要である。

20

【0055】

たとえば、このマトリックスを備えたカラーシーケンシャルディスプレイを作製したい場合には、第 1 の色に対応するグレーレベル情報が、確定されたフレーム、たとえば奇数フレーム用の列レジスタへ導入され、この情報が、全ての行に対して、画素のメモリに連続的に蓄積される。この情報の表示用のアクティブフレームである次の偶数フレームの間に、第 2 の色に対応する情報がメモリに配置され、かつディスプレイによって変調される第 1 の色光が放射される。次の奇数フレームを待って、第 2 の色の情報を表示する。

30

【0056】

異なる用途（色がないか、または連続的なカラーモードで動作しない任意の事象における）のためには、単に、1 つのコンデンサ C_a 、1 つのトランジスタ T_b 、画素の 1 行当たり 1 つの行導体を含む単純なメモリを備えた画素で十分である。したがって、これによって、コンデンサ C_b 、トランジスタ T_b 、スイッチ $KT1a$ 、 $KT1b$ 、 $KL1b$ 、導体 $L1b$ を省くこと、およびより小さな実装面積を有するメモリドットを得ることが可能になる。しかしながら、これによって、画素の各行のために、ランプジェネレータを設けることが必要になる。画像フレームの表示は、プログレッシブである。第 1 の画像行の情報が、列レジスタに蓄積され、選択レジスタ RL によるこの行の選択の間に、アナログ電圧 V_i に変換される。直後に、この行の選択の停止によって、一方では次の行の選択が、他方ではフレームの期間を有する電圧ランプの始動が開始され、このランプが、蓄積コンデンサ C_a に印加される。第 2 行に対しては、ランプの印加は、第 2 の行の選択の終了からちょうど始まり、またランプは、同じ期間を有する等々である。したがって、線形ランプ生成周辺回路は、より複雑である。

40

【図面の簡単な説明】

【0057】

【図 1】ディスプレイを制御するための電子回路アーキテクチャの一般図を表わす。

【図 2】ディスプレイの画素に関連する基本電子回路の詳細を表わす。

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/EP2004/052408

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 953 960 A (HEWLETT PACKARD CO) 3 November 1999 (1999-11-03) paragraph '0029! paragraph '0065! paragraph '0068! - paragraph '0080! paragraph '0090! - paragraph '0096! figures 4-7	1-5, 7, 8, 11, 12
A	US 2001/045929 A1 (MALAVIYA SHASHI D ET AL) 29 November 2001 (2001-11-29) paragraph '0039! - paragraph '0045! figures 1, 2	1, 7
A	US 2003/160751 A1 (FURUHASHI TSUTOMU ET AL) 28 August 2003 (2003-08-28) paragraph '0005! - paragraph '0007! figures 4, 5	1, 7
----- -/-		
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "G" document member of the same patent family		
Date of the actual completion of the international search 20 December 2004		Date of mailing of the international search report 03/01/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Farricella, L

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP2004/052408

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	AKIMOTO H ET AL: "AN INNOVATIVE PIXEL-DRIVING SCHEME FOR 64-LEVEL GRAY-SCALE FULL-COLOR ACTIVE MATRIX OLED DISPLAYS" 2002 SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS. BOSTON, MA, MAY 21 - 23, 2002, SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA : SID, US, vol. VOL. 33 / 2, May 2002 (2002-05), pages 972-975, XP001134330 paragraph '0002!; figure 2	1,7
A	US 6 525 709 B1 (O'CALLAGHAN MICHAEL J) 25 February 2003 (2003-02-25) column 5, line 1 - column 7, line 24 figure 3	1,7
A	WO 99/38148 A (FED CORP ; MALAVIYA SHASHI (US); HOWARD WEBSTER E (US); PRACHE OLIVIER) 29 July 1999 (1999-07-29)	
A	US 5 977 940 A (HIOKI TSUYOSHI ET AL) 2 November 1999 (1999-11-02)	
A	US 2003/076048 A1 (RUTHERFORD JAMES C) 24 April 2003 (2003-04-24)	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2004/052408

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0953960	A	03-11-1999	US 6249269 B1	19-06-2001
			EP 0953960 A1	03-11-1999
			JP 3155251 B2	09-04-2001
			JP 11338404 A	10-12-1999
US 2001045929	A1	29-11-2001	WO 0154107 A1	26-07-2001
US 2003160751	A1	28-08-2003	JP 2001083484 A	30-03-2001
			US 2004227711 A1	18-11-2004
			US 6567062 B1	20-05-2003
US 6525709	B1	25-02-2003	NONE	
WO 9938148	A	29-07-1999	EP 1055218 A1	29-11-2000
			WO 9938148 A1	29-07-1999
US 5977940	A	02-11-1999	JP 3305946 B2	24-07-2002
			JP 9243994 A	19-09-1997
US 2003076048	A1	24-04-2003	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

PC/EP2004/052408

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 609G3/36

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 609G

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 0 953 960 A (HEWLETT PACKARD CO) 3 novembre 1999 (1999-11-03) alinéa '0029! alinéa '0065! alinéa '0068! - alinéa '0080! alinéa '0090! - alinéa '0096! figures 4-7	1-5,7,8, 11,12
A	US 2001/045929 A1 (MALAVIYA SHASHI D ET AL) 29 novembre 2001 (2001-11-29) alinéa '0039! - alinéa '0045! figures 1,2	1,7
A	US 2003/160751 A1 (FURUHASHI TSUTOMU ET AL) 28 août 2003 (2003-08-28) alinéa '0005! - alinéa '0007! figures 4,5	1,7
	----- -/-	

☒ Voir la suite du cadre C pour la fin de la liste des documents☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

X document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

Y document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

Z document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

20 décembre 2004

Date d'expédition du présent rapport de recherche internationale

03/01/2005

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Farricella, L

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

PCT/EP2004/052408

C(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	AKIMOTO H ET AL: "AN INNOVATIVE PIXEL-DRIVING SCHEME FOR 64-LEVEL GRAY-SCALE FULL-COLOR ACTIVE MATRIX OLED DISPLAYS" 2002 SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS. BOSTON, MA, MAY 21 - 23, 2002, SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA : SID, US, vol. VOL. 33 / 2, mai 2002 (2002-05), pages 972-975, XP001134330 alinéa '0002!; figure 2 -----	1,7
A	US 6 525 709 B1 (O'CALLAGHAN MICHAEL J) 25 février 2003 (2003-02-25) colonne 5, ligne 1 - colonne 7, ligne 24 figure 3 -----	1,7
A	WO 99/38148 A (FED CORP ; MALAVIYA SHASHI (US); HOWARD WEBSTER E (US); PRACHE OLIVIER) 29 juillet 1999 (1999-07-29) -----	
A	US 5 977 940 A (HIOKI TSUYOSHI ET AL) 2 novembre 1999 (1999-11-02) -----	
A	US 2003/076048 A1 (RUTHERFORD JAMES C) 24 avril 2003 (2003-04-24) -----	

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale No

PCT/EP2004/052408

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0953960	A	03-11-1999	US 6249269 B1	19-06-2001
			EP 0953960 A1	03-11-1999
			JP 3155251 B2	09-04-2001
			JP 11338404 A	10-12-1999
US 2001045929	A1	29-11-2001	WO 0154107 A1	26-07-2001
US 2003160751	A1	28-08-2003	JP 2001083484 A	30-03-2001
			US 2004227711 A1	18-11-2004
			US 6567062 B1	20-05-2003
US 6525709	B1	25-02-2003	AUCUN	
WO 9938148	A	29-07-1999	EP 1055218 A1	29-11-2000
			WO 9938148 A1	29-07-1999
US 5977940	A	02-11-1999	JP 3305946 B2	24-07-2002
			JP 9243994 A	19-09-1997
US 2003076048	A1	24-04-2003	AUCUN	

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 2 F	1/133	5 1 0
G 0 2 F	1/133	5 3 5
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 5 0

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

F ターム(参考) 2H093 NA16 NA53 NA65 NC02 NC10 NC12 NC22 NC34 NC35 NC40
 NC43 NC49 ND06 ND17 ND42 NE06 NH18
 5C006 AC17 AC21 AF21 AF44 AF71 BB16 BC13 BC22 BF24 BF37
 EB05 FA16 FA43 FA47
 5C080 AA10 BB06 DD22 DD26 EE29 FF11 JJ02 JJ03

【要約の続き】

加される。

【選択図】図 2

液晶矩阵微显示器本发明涉及一种液晶矩阵微显示器，特别是一种在单片硅衬底上实现的液晶矩阵微显示器，该单片硅衬底与用于控制液晶单元矩阵阵列的电子电路集成在一起。该矩阵包括用于控制位于该交叉中的基本液晶单元的基本电子器件，用于行和列交叉中的每个点。该电路包括至少一个存储电容器（Ca，Cb），用于存储在图像帧期间由列施加的模拟电压，其第一端子连接在晶体管（Ta，Tb）之间。耦合到栅极的存储电容器，基本电流源（SC1）和开关晶体管（Ta（Ta））串联连接在两个电压供应端子之间开关晶体管的漏极连接到液晶单元（LC）和开关晶体管。对至少一行的所有单元共用的周期性电压斜坡被施加到该行的单元中的存储电容器的第二端子。

