

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-243336

(P2006-243336A)

(43) 公開日 平成18年9月14日(2006.9.14)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 560	2H093
	G02F 1/133 550	

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号	特願2005-58653 (P2005-58653)	(71) 出願人	000001270
(22) 出願日	平成17年3月3日(2005.3.3)		コニカミノルタホールディングス株式会社
			東京都千代田区丸の内一丁目6番1号
		(72) 発明者	宮井 三嘉
			東京都日野市さくら町1番地コニカミノル
			タテクノロジーセンター株式会社内
		(72) 発明者	岡田 真和
			東京都日野市さくら町1番地コニカミノル
			タテクノロジーセンター株式会社内
		Fターム(参考)	2H093 NA11 NA16 NC09 NC18 NC34
			NC49 NC90 ND32 ND33 ND37
			ND39 ND40 NG10 NH14

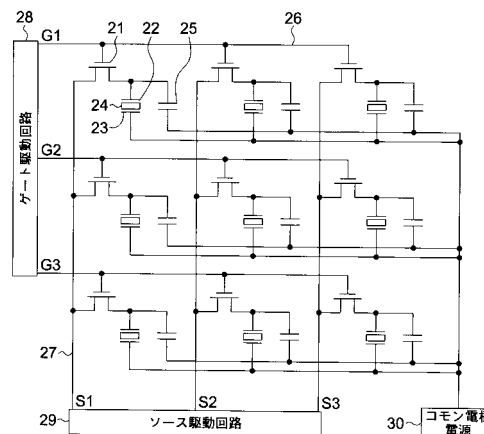
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 誘電率に制限されることなく液晶材料を選択することができ、低い電圧で液晶層を初期化することができる液晶表示装置を提供する。

【解決手段】 マトリクス状に配置された画素電極、画素電極に対向する補助電極およびコモン電極、画素電極とコモン電極との間に挟持されたメモリー性液晶材料を含む液晶層、画素電極への電圧の印加と遮断を制御する制御手段を有し、コモン電極と補助電極の電位が常に一致するように駆動され、画像の消去動作、画像の書き込み動作、画像の表示動作の順に液晶の状態を更新する液晶表示装置。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

マトリクス状に配置された画素電極、前記画素電極に対向する補助電極およびコモン電極、前記画素電極と前記コモン電極との間に挟持されたメモリー性液晶材料を含む液晶層、ならびに前記画素電極への電圧の印加と遮断を制御する制御手段を有し、前記コモン電極は前記補助電極と電氣的に接続され、画像の消去動作、画像の書き込み動作、画像の表示動作の順に液晶の状態を更新することを特徴とする液晶表示装置。

【請求項 2】

前記画像の消去動作においては、画像の消去を行うすべての画素に対応する前記画素電極に接続された前記制御手段を、電圧の印加の状態にすることを特徴とする請求項 1 に記載の液晶表示装置。 10

【請求項 3】

前記画像の消去動作においては、前記補助電極および前記コモン電極の電圧を変動させることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記メモリー性液晶材料がコレステリック液晶材料であることを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の液晶表示装置。

【請求項 5】

前記画像の消去動作により、前記液晶層はホメオトロピック状態を経過してプレーナ状態になることを特徴とする請求項 4 に記載の液晶表示装置。 20

【請求項 6】

前記画像の消去動作により、前記液晶層はフォーカルコニック状態になることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 7】

前記画像の消去動作には、前記液晶層への電圧の印加の工程を含み、前記電圧の印加の工程が終了した後 1 m s 以上の時間が経過してから、前記画像の書き込み動作を行うことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 8】

前記画像の書き込み動作においては、前記液晶層に印加される電圧はホメオトロピック電圧以下であることを特徴とする請求項 4 乃至 7 の何れか 1 項に記載の液晶表示装置。 30

【請求項 9】

前記画像の書き込み動作においては、前記液晶層に印加される電圧はフォーカルコニック電圧以下であることを特徴とする請求項 4、5 および 7 の何れか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置、特にメモリー性液晶を用いたアクティブマトリクス型の液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、低消費電力、薄型、軽量等の特長を有し、携帯電話・携帯型パーソナルコンピュータ等、携帯型の装置に好適に応用されている。これらの装置は、内蔵バッテリーで動作するため、それに用いる液晶表示装置に対してはできるだけ省電力であることが要求されている。液晶表示装置の中でもバックライトの不要な反射型液晶表示装置はバックライトが不要であるため省電力であること、および明るい環境下でも視認性の良いことなどの特徴があり、携帯型の装置の表示装置として期待されている。

【0003】

現在、反射型液晶表示装置としては、TN、STN等に代表されるネマチック液晶を用いたものが、駆動が容易でかつ応答性が良いのため一般的に用いられている。しかし、こ 40 50

これらの液晶表示装置にはメモリー性がないため、表示期間中は常に液晶に電圧を印加しておく必要があり、そのための電力消費が避けられない。

【0004】

最近、メモリー性を有する液晶（以降、「メモリー性液晶」と呼ぶ）を用いた液晶表示装置が提案されて来ている。この液晶表示装置は、一旦書き込んだ画像を、電界の印加が無くなった後も半永久的に表示し続けるといった特徴（メモリー性）がある。すなわち、電力を消費するのは画像を書き換える時だけであり、その画像の表示を続けるためには電力を消費することがない。したがって、静止画像や文字などを表示する目的の表示装置としては、非常に低消費電力の表示装置として期待されている。

【0005】

メモリー性液晶としては、コレステリック液晶や強誘電液晶等が知られている。メモリー性液晶は、消費電力において非常に優れているが、一方、消去動作が必要であることなどの理由で駆動が複雑になったり、駆動に高電圧が必要、書き換え速度が遅いなどの課題を有している。

【0006】

コレステリック液晶の駆動の説明をする。コレステリック液晶は、ホメオトロピック（ネマチック）状態、プレーナ状態およびフォーカルコニック状態の3つの液晶相を示す。ホメオトロピック状態は液晶に電圧を印加しているときにのみ示す液晶相で、液晶分子の長軸（以降「液晶軸」と呼ぶ）が電界の方向にそろっており、液晶層は透明になる。プレーナ状態は電圧を印加されてホメオトロピック状態を示している状態から、印加している電界を急に取り去った時に示す相で、液晶分子は螺旋状に配向して、螺旋の中心軸（以降、「螺旋軸」と呼ぶ）が基板に垂直の状態にある。このとき、螺旋軸に対して平行な方向から光が入射した場合、 $\lambda = n \cdot p$ で示される波長の光を選択反射し、それより短い波長の光は透過する。ここで、 λ は波長、 n は液晶分子の平均屈折率、 p は液晶分子が360°ねじれている距離（螺旋ピッチ）である。このプレーナ状態の時、液晶層に適当な電圧を印加すると、液晶層は螺旋軸を基板に平行な方向へ向けて配向した状態、すなわちフォーカルコニック状態を示す。このとき、螺旋軸に垂直、つまり基板に垂直な方向から入射した光は、波長が螺旋ピッチ p に近い光は反射または散乱することなく透過するが、それより短い光は散乱する。

【0007】

したがって、選択反射波長を可視光域に設定し、素子の観察側と反対側に光吸収層を設けることにより、プレーナ状態では選択反射色の表示、フォーカルコニック状態では黒色の表示が可能になる。また、選択反射波長を赤外光域に設定し、素子の観察側と反対側に光吸収層を設けることにより、プレーナ状態では赤外光域の波長の光を反射するが可視光域の波長の光は透過するので黒色の表示、フォーカルコニック状態では可視光の散乱による白の表示が可能になる。

【0008】

図1に基本的な液晶セル10の構成図、図2に、その液晶セル10に電圧を印加したときの反射率の変化を示す。

【0009】

図1において、符号1および符号2はガラス基板、符号3はコレステリック液晶の液晶層、符号4および符号5はITOなどによる透明電極、6は黒色の塗装などによる光吸収層である。透明電極4および5は、それぞれ導線7および8によって電源9に接続されている。

【0010】

図2は、液晶セル10に電圧を印加したときの、液晶セルの観察面（光吸収層6とは反対側の面）から測定したときの液晶セル10の反射率を示している。図2において、横軸は液晶セル10への印加電圧で、縦軸はその電圧を取り去った後の液晶の反射率を示す。実線11はプレーナ状態の液晶セル10に電圧を印加し、それを取り去った後液晶が安定したときに測定した液晶セル10の反射率を示す。破線12はフォーカルコニック状態の

10

20

30

40

50

液晶セルに電圧を印加し、それを取り去った後液晶が安定したときに測定した液晶セル 10 の反射率を示す。破線 12 は電圧が V_3 と V_2 の間および V_1 以上で、実線 11 と重なっている。

【0011】

コレステリック液晶はヒステリシス特性を有しており、上述のように同じ電圧を印加しても、電圧印加前の状態に依存して異なる状態になる。したがって、コレステリック液晶のようにヒステリシス特性を有する液晶に書き込みを行う場合、初期化を行って一旦ある状態にする必要がある。

【0012】

まず、実線 11 について説明する。実線 11 では、電圧印加前の液晶はプレーナ状態であり、反射率は R_p を示している。この液晶セル 10 に電源 9 から幅が例えば 5 ms のパルス電圧を印加する。印加する電圧が V_4 以下であれば、パルス電圧印加後の液晶セル 10 の反射率はほとんど変化しない。電圧が V_4 から V_3 の間は電圧が増加するほど反射率が低下する、この範囲では液晶層 3 はプレーナ状態とフォーカルコニック状態が混在した状態になっており、電圧 V_3 で液晶層 3 のほとんどがフォーカルコニック状態になる。電圧 V_3 をフォーカルコニック電圧と呼ぶ。電圧が V_3 から V_2 の範囲では、反射率はほとんど変化しない。電圧が V_2 から V_1 の範囲では、電圧が増加するほど反射率が増加する。この範囲では、液晶層 3 はプレーナ状態とフォーカルコニック状態が混在している。電圧 V_1 では、液晶層 3 のほとんどがプレーナ状態になる。電圧 V_1 以上では、電圧を増加しても反射率は変化しない。この範囲では電圧が印加された状態で、液晶層はホメオトロピック状態になっており、電圧 V_1 をホメオトロピック電圧と呼ぶ。この特性を利用し、液晶層 3 に V_1 以上の電圧を印加して、液晶層 3 を一旦プレーナ層に初期化した後、 V_4 から V_2 の電圧または V_2 から V_1 の電圧を液晶層 3 に印加すると、任意の濃度の画像を液晶層 3 に表示させることができる。

【0013】

つぎに、破線 12 について説明する。破線 12 では、電圧印加前の液晶はフォーカルコニック状態であり、反射率は R_f を示している。この液晶セル 10 に電源 9 から幅が例えば 5 ms のパルス電圧を印加する。印加する電圧が V_5 以下であれば、パルス電圧印加後の液晶セル 10 の反射率はほとんど変化しない。液晶層 3 はフォーカルコニック状態のままである。電圧が V_5 から V_1 の範囲では、電圧が増加するほど反射率が増加する。この範囲では、液晶層 3 はプレーナ状態とフォーカルコニック状態が混在している。電圧 V_1 では、液晶層 3 のほとんどがプレーナ状態になる。電圧 V_1 以上では、電圧を増加しても反射率は変化しない。この範囲では電圧が印加された状態で、液晶層はホメオトロピック状態になっている。この特性を利用し、液晶層 3 に V_3 から V_2 の電圧を印加して、液晶層を一旦フォーカルコニック状態に初期化した後、 V_5 から V_1 の電圧を液晶層 3 に印加すると、任意の濃度の画像を液晶層 3 に表示させることができる。

【0014】

液晶のマトリクス駆動の説明をする。コレステリック液晶の駆動方法には、単純マトリクス駆動およびアクティブマトリクス駆動の駆動方法が知られている。単純マトリクス駆動の方法としては、例えば非特許文献 1 に開示されている駆動方法がある。

【0015】

単純マトリクス駆動の課題は、書き込み速度が遅いことである。コレステリック液晶では、STN 液晶のように液晶に印加された電圧の実効値で駆動することはできず、液晶マトリクスの選択されたライン毎に液晶の状態を確定してゆく必要がある。したがって、液晶の状態を確定するために、例えば 5 ms の電圧を印加する必要がある場合、1000 ラインを有する液晶パネルを走査するのに 5 秒 ($= 5 \text{ ms} \times 1000 \text{ ライン}$) の時間が必要である。これに対し、アクティブマトリクス駆動では、選択が終わったラインの画素にも液晶層あるいは補助容量に充電された電圧が液晶層に印加され続けるため、ラインを選択する時間は、液晶層および補助容量を充電するだけの時間で十分であるから、高速の走査が可能になる。

【 0 0 1 6 】

特許文献 1 にはアクティブマトリクス駆動によりコレステリック液晶を駆動する技術が開示されている。図 8 は特許文献 1 に開示された液晶表示装置の構成図である。符号 4 1 はコレステリック相を呈する液晶材料を用いた液晶層、符号 4 2 は蓄積容量、符号 4 3 は T F T を用いたスイッチング素子、符号 4 4 は行方向に配列された各 T F T 4 3 の各ゲートを接続する走査線、符号 4 5 a , 4 5 b は列方向に配列された各 T F T 4 3 の各ソースを接続する信号線、符号 4 6 は液晶層 4 1 にコモン信号 V_{COM} (通常は接地電位) を供給するコモン線、符号 4 7 は走査線 4 4 に走査信号を供給する Y ドライバー (走査線ドライバー)、符号 4 8 a , 4 8 b は信号線 4 5 a , 4 5 b に表示信号を供給する X U ドライバーおよび X D ドライバー (信号線ドライバー)、符号 4 9 は蓄積容量 4 2 に電荷保持用電位を供給する信号線であり、信号線 4 9 に消去信号を印加することにより表示画面を初期化することができる。

10

【特許文献 1】特開平 1 0 - 1 0 5 0 8 5 号公報

【非特許文献 1】S I D ' 9 8 橋本：ミノルタ (I n t e r n a t i o n a l S y m p o s i u m D i g e s t o f T e c h n i c a l P a p e r v o l u m e 2 9 8 9 7 ページ 1 9 9 8 年)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 7 】

特許文献 1 に開示された技術では、信号線 4 9 に電圧を印加して表示画面を初期化する場合、信号線 4 9 に印加する電圧を V_{CS} 、コモン信号電圧を V_{COM} 、液晶層 4 1 の容量を C_{LCD} 、蓄積容量を C_{CS} とすると、液晶層 4 1 に印加される電圧 V_{LCD} は、下記式 1 で表される。

20

(式 1) ; $V_{LCD} = C_{CS} / (C_{LCD} + C_{CS}) \cdot (V_{CS} - V_{COM})$

したがって、液晶層 4 1 の初期化のためにコモン線 4 6 および信号線 4 9 間に印加した電圧 ($V_{CS} - V_{COM}$) の内、 $C_{CS} / (C_{LCD} + C_{CS})$ だけが有効に液晶層 4 1 に印加されて、残りの電圧は蓄積容量 4 2 に印加される。

【 0 0 1 8 】

コレステリック液晶の誘電率は T N 液晶や S T N 液晶に比べて高く、したがって液晶層 4 1 の容量 C_{LCD} が大きいと、コモン線 4 6 および信号線 4 9 間に印加した電圧の内、液晶層 4 1 の初期化に有効に利用される電圧の割合は小さいものとなる。また、コレステリック液晶を初期化する電圧 (図 1 で示した V_4) は、T N 液晶や S T N 液晶の駆動電圧に比較して一般的にはかなり高く、たとえば数十 V から 1 0 0 V 程度である。したがって、コモン線 4 6 および信号線 4 9 間には相当高い電圧を印加しなければならないことになる。しかし、電源の効率、高電圧をオン / オフするとき発生するノイズ、回路の信頼性などを考慮すると、コモン線 4 6 および信号線 4 9 間にあまり高い電圧を印加することは好ましくない。

30

【 0 0 1 9 】

したがって、コモン線 4 6 および信号線 4 9 間に印加した電圧が有効に液晶層 4 1 に印加されるようにする必要がある。そのためには二つの手段がある。一方は蓄積容量 4 2 の容量 C_{CS} を大きくすることであり、他方は液晶層 4 1 の容量 C_{LCD} を小さくすることである。しかし、蓄積容量 4 2 の容量 C_{CS} を大きくするためには、蓄積容量 4 2 の面積を大きくしなければならないが、そうすると液晶表示装置の開口率が小さくなってしまい表示品質が低下してしまう。したがって、蓄積容量 4 2 の容量 C_{CS} を大きく手段には制限があり、液晶層 4 1 の容量 C_{LCD} を小さくする手段をとる必要がある。

40

【 0 0 2 0 】

液晶層 4 1 の容量 C_{LCD} を小さくするためには、液晶層 4 1 の面積を小さくする手段と誘電率の低い液晶材料を用いる手段とがある。しかし、液晶層 4 1 の面積を小さくしては液晶表示装置の開口率が小さくなってしまい表示品質が低下してしまう。したがって、用いられる液晶材料としては誘電率の低いものを選ぶ必要がある。しかし、誘電率の低い液

50

晶材料の場合、誘電率の高い液晶よりも一般的に駆動電圧が高くなってしまいます。そのため、あまり低い誘電率の液晶材料を液晶層 4 1 に用いた場合、コモン線 4 6 および信号線 4 9 に印加すべき電圧が逆に高くなってしまうことになる。すなわち、使用する液晶材料の誘電率の範囲を制限する必要がある。

【 0 0 2 1 】

液晶層 4 1 の液晶材料としては、表示コントラスト、応答性、温度係数などを考慮して液晶表示装置として最も適切な材料が選ばれるべきである。しかしながら、特許文献 1 に開示された技術では、これらの特性以外に誘電率の範囲の制限が入るため液晶材料の選択範囲が狭められてしまい、液晶表示装置として最適な材料を選ぶことができなくなってしまう。

10

【 0 0 2 2 】

したがって本発明の課題とするところは、誘電率に制限されることなく液晶材料を選択することができ、低い電圧で液晶層を初期化することができる液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 2 3 】

(請求項 1)

マトリクス状に配置された画素電極、前記画素電極に対向する補助電極およびコモン電極、前記画素電極と前記コモン電極との間に挟持されたメモリー性液晶材料を含む液晶層、ならびに前記画素電極への電圧の印加と遮断を制御する制御手段を有し、前記コモン電極は前記補助電極と電氣的に接続され、画像の消去動作、画像の書き込み動作、画像の表示動作の順に液晶の状態を更新することを特徴とする液晶表示装置。

20

【 0 0 2 4 】

(請求項 2)

前記画像の消去動作においては、画像の消去を行うすべての画素に対応する前記画素電極に接続された前記制御手段を、電圧の印加の状態にすることを特徴とする請求項 1 に記載の液晶表示装置。

【 0 0 2 5 】

(請求項 3)

前記画像の消去動作においては、前記補助電極および前記コモン電極の電圧を変動させることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

30

【 0 0 2 6 】

(請求項 4)

前記メモリー性液晶材料がコレステリック液晶材料であることを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の液晶表示装置。

【 0 0 2 7 】

(請求項 5)

前記画像の消去動作により、前記液晶層はホメオトロピック状態を経過してプレーナ状態になることを特徴とする請求項 4 に記載の液晶表示装置。

【 0 0 2 8 】

(請求項 6)

前記画像の消去動作により、前記液晶層はフォーカルコニック状態になることを特徴とする請求項 4 に記載の液晶表示装置。

40

【 0 0 2 9 】

(請求項 7)

前記画像の消去動作には、前記液晶層への電圧の印加の工程を含み、前記電圧の印加の工程が終了した後 1 m s 以上の時間が経過してから、前記画像の書き込み動作を行うことを特徴とする請求項 5 に記載の液晶表示装置。

【 0 0 3 0 】

(請求項 8)

50

前記画像の書き込み動作においては、前記液晶層に印加される電圧はホメオトロピック電圧以下であることを特徴とする請求項 4 乃至 7 の何れか 1 項に記載の液晶表示装置。

【0031】

(請求項 9)

前記画像の書き込み動作においては、前記液晶層に印加される電圧はフォーカルコニック電圧以下であることを特徴とする請求項 4、5 および 7 の何れか 1 項に記載の液晶表示装置。

【発明の効果】

【0032】

請求項 1 に係る発明によれば、画像の消去のために印加された電圧が、液晶層の容量および補助容量で分割されることがなくすべて液晶層に印加される。したがって、液晶層に用いる液晶材料の選択に誘電率の範囲の制限がかかることなく、自由に液晶材料を選択することができる。また、コモン電極と補助電極を 1 つの電源で駆動することができるので、回路が簡単になりコストも低くなる。

10

【0033】

請求項 2 に係る発明によれば、画像の消去を行うすべての画素を同時に消去するので、走査を行って消去する方法に比べて短時間に、消去が必要な画素すべての消去を行うことができ、したがって短時間で表示画像を書き換えることができる。

【0034】

請求項 3 に係る発明によれば、画像の消去にあたっては、電氣的に接続された補助電極およびコモン電極の電圧を変動させることにより行うので、画素電極側に接続される回路に耐圧の低い回路を用いることができ、したがってコストの低い液晶表示装置を提供することができる。

20

【0035】

請求項 4 に係る発明によれば、メモリー性液晶材料としてコレステリック液晶を用いるので、反射型の表示を行うことができる。

【0036】

請求項 5 に係る発明によれば、画像の消去において液晶層はホメオトロピック状態を経過してからプレーナ状態に初期化されるので、表示されていた画像の履歴が残ることなく液晶層を初期化することができる。

30

【0037】

請求項 6 に係る発明によれば、画像の消去において液晶層はフォーカルコニック状態に初期化されるので、表示されていた画像の履歴が残ることなく液晶層を初期化することができる。

【0038】

請求項 7 に係る発明においては、前記画像の消去動作において、液晶層への電圧の印加が終了してから書き込み操作を行うまでに 1 ms 以上の時間を空けるので、液晶層の液晶分子は十分にプレーナ状態に初期化され、表示動作においては高いコントラストの画像を表示させることができる。

【0039】

請求項 8 に係る発明においては、液晶層にホメオトロピック電圧以下の電圧を印加して書き込み動作を行うので、液晶層は中間調の画像を高いコントラストで表示することができる。

40

【0040】

請求項 9 に係る発明においては、液晶層にフォーカルコニック電圧以下の電圧を印加して書き込み動作を行うので、液晶層は中間調の画像を高いコントラストで表示することができる。また、ソース駆動回路には、低電圧の回路を使用することができるので、低コストの液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0041】

50

図を用いて、本発明の実施形態の説明をする。

【0042】

(第1の実施形態)

図3は本発明の第1の実施形態に係る液晶表示装置の構成を示す図である。図では説明の簡単のため3行×3列の画素を有する液晶表示装置の構成を示したが、本発明はこの画素数に限定されるものではない。図3において、符号21は画素電極22への電圧の印加と遮断を制御するTFT(制御手段)、画素電極22はコモン電極23との間に液晶層24を挟持している。符号25は補助容量で、TFT21に近い方の電極は画素電極22の一部で構成され、他方の電極(補助電極)はコモン電極23へ接続され、TFT21が遮断状態になったときに、画素電極22に印加されていた電圧を保持するように動作する。TFT21、画素電極22、コモン電極23、液晶層24および補助容量25で1つの画素を構成している。符号26はゲート線で、行方向に並んだ画素それぞれのTFT21のゲートを互いに接続し、ゲート駆動回路28に接続されている。符号27はソース線で列方向に並んだ画素それぞれのTFT21のソースを互いに接続し、ソース駆動回路29に接続されている。ゲート駆動回路28にはゲート線G1、G2、G3が接続されており、これらのゲート線に電圧を出力することにより、TFT21のオン/オフの制御を行い、電圧を印加する行を選択する。ソース駆動回路29にはソース線S1、S2、S3が接続されており、選択された行の画素電極22に印加すべき電圧をこれらのソース線に出力する。符号30はコモン電極電源であり、コモン電極23および補助容量25の一方の電極(補助電極)に必要な電圧を印加する。

10

20

【0043】

図4は、本実施形態の液晶表示装置の消去動作、書き込み動作および表示操作のときの各部の電圧の変化を示すグラフである。図4を用いて、液晶表示装置の動作を説明する。図4においてG1、G2、G3は、それぞれゲート線G1、G2、G3の電圧、S1、S2、S3は、それぞれソース線S1、S2、S3の電圧、コモン電極はコモン電極の電圧を示す。タイミングT1、T2、T3およびT4はゲート線G1の電圧の立ち上がりのタイミングであり、タイミングT1は消去動作の開始時刻、タイミングT3は書き込み動作の開始時刻、タイミングT4は表示動作の開始時刻である。

【0044】

(消去動作) 図4において、まずタイミングT1で、ゲート線G1、G2、G3に例えば50Vの電圧が出力されてTFT21がオンしソース線S1、S2、S3の電圧が画素電極22に印加され、その後-5Vの電圧が出力されてTFT21がオフする。ゲート線に50Vの電圧が出力されるのと同時にコモン電極には絶対値がホメオトロピック電圧V1より大きい電圧-45Vが出力される。ソース線は0Vのままである。ゲート線G1、G2、G3に50Vを出力してTFT21をオンしている期間は、TFT21を通して液晶層24および補助容量25が充電されるのに十分な時間であれば良く、例えば数十μsあれば十分である。これにより、液晶層24には45Vの電圧が印加され、液晶層24はホメオトロピック状態になる。図4では30msの間、この電圧を保持し液晶層を十分にホメオトロピック状態に保つ。

30

【0045】

その後、タイミングT2でゲート線G1、G2、G3に一旦50Vを出力してゲート線G1、G2、G3に接続されているTFT21をオンにし、その後-5Vを出力してTFT21をオフにする。ゲート線に50Vを出力されるのと同時に、コモン電極23には0Vが出力される。ゲート線G1、G2、G3に50Vを出力してTFT21をオンしている期間はTFT21を通して液晶層24および補助電極22が放電するのに十分な時間であれば良く、例えば数十μsあれば十分である。これにより、液晶層24は45Vの電圧が印加された状態から、急激に印加電圧が0の状態にされ、したがって液晶層24はホメオトロピック状態からプレーナ状態へと変化して初期化される。このとき、液晶層24は瞬時にプレーナ状態になるのではなく、一旦トランジェントプレーナと呼ばれる、本来の2倍の螺旋ピッチを有するプレーナ状態を取った後プレーナ状態に変化して行くのである

40

50

。このホメオトロピック状態からプレーナ状態への変化に1ms程度の時間を要する。したがって、液晶層の印加電圧が0Vになってから1ms後に書き込み動作を開始しても良いが、本実施例では100ms後に書き込み動作を開始している。ここで、液晶層がプレーナ状態になった後すぐに書き込み動作を開始していない理由については後述する。

【0046】

(書き込み動作) タイミングT3でゲート線G1の電圧を50Vにして書き込み動作を開始する。このとき、ソース線S1, S2, S3には画素への書き込み濃度に対応した、図2で説明したV4からV3の電圧が出力される。ゲート線G1に50Vを印加しTF T21をオンにしている期間は、TF T21を通して液晶層24および補助容量25が充電されるのに十分な時間であれば良く、本実施形態の場合例えば30μsとしている。その後、ゲート線G1には-5Vが出力され、TF T21はオフ状態になる。このようにして液晶層24に印加された電圧は次にゲート線G1が50Vになる30ms後まで保持され、液晶層24は液晶分子の一部がフォーカルコニック状態に変化し、印加された電圧に応じた濃度が書き込まれる。タイミングT3からT4までの期間は、印加された電圧が液晶層24の両端に保持されている時間であり、液晶を所望の状態に変化させるためには少なくとも数msは必要であり、10ms以上であることが好ましい。

10

【0047】

書き込み動作におけるゲート線G1, G2, G3の電圧は50Vのパルス電圧がG1, G2, G3の順に出力されてゲート線G1, G2, G3が走査され、50Vのパルスが印加された行の画素への書き込みが行われる。

20

【0048】

液晶層24がプレーナ状態に初期化された後すぐに書き込み動作を開始していない理由について説明する。タイミングT2からT3までの期間は、液晶層24が安定するための時間である。液晶層24がプレーナ状態にされてから短時間の間は、まだ液晶分子の配向は安定していない。本実施形態のように、初期化すべき画素を同時に初期化した後、行毎に走査して書き込み動作を行うと、初期化されてから書き込み動作が行われるまでの時間が、画素によって異ってくる。したがって、プレーナ状態への初期化後短時間に書き込み動作を開始すると、初期化から書き込み動作までの時間が画素によって異なるので表示にムラがでる可能性がある。そのため、初期化後液晶分子の配向が十分安定するまで待ってから書き込み動作を行うのが好ましい。この待ち時間は50ms以上とするのが好ましい。

30

【0049】

(表示動作) タイミングT3から30ms後のタイミングT4からゲート線G1, G2, G3に順次50Vのパルス電圧が印加され、ゲート線G1, G2, G3に接続されているTF T21は順次オンする。このときソース線S1, S2, S3およびコモン電極は0Vの電圧が印加されており、液晶層24の印加電圧は順次0Vになる。50Vのパルス電圧の期間はTF T21を通じて液晶層24および補助容量25の電圧が放電するだけの時間があれば十分で、本実施例では例えば30μsとしている。このようにして液晶24に印加されている電圧は0Vにされ、液晶表示装置は表示動作に入る。

【0050】

本実施形態では液晶層24と補助容量25とは並列接続されている、したがって本実施形態では、液晶層24と補助容量25が直列につながっている従来の液晶表示装置のように、コモン電極電源30の電圧が液晶層24と補助容量25で分圧されることなく、すべて液晶層24に印加される。したがって、従来の技術のように、電圧が効率良く印加されるように液晶層24に用いられる液晶材料の誘電率に制限が加わることがなく、自由に液晶材料を選択できる。また、ソース線27およびコモン電極23に印加された電圧がすべて液晶層24に印加されるので、コモン電極電源30の耐圧も従来ほど高いものが必要でなく、消費電力、ノイズおよび回路の信頼性において従来の技術に比べて有利になる。また、コモン電極23と補助容量25を1つのコモン電極電源30で駆動するので、従来技術のように2つの電源で駆動する必要がなく、回路が簡単になりコストも低くなる。

40

50

【 0 0 5 1 】

本実施形態では、消去動作において液晶層 2 4 にホメオトロピック電圧 V_1 を印加するのに、これをソース駆動回路 2 9 から供給するのではなく、コモン電極電源 3 0 から供給している。また、ソース駆動回路から出力する電圧は、高くても書き込み動作に用いる V_3 である。したがって、本実施形態ではソース駆動回路に高耐圧の回路を使用する必要がない。ソース駆動回路には、一般的に集積回路を用いるので、ソース駆動回路としては低耐圧で低コストの集積回路を用いることができ、液晶表示装置を低コストで提供することができる。

【 0 0 5 2 】

本実施形態では、書き込み動作でゲート線 G_1 , G_2 , G_3 に印加するパルス電圧の幅を $30\mu s$ としている、したがって例えば液晶表示装置の画素の行数を 1 0 0 0 ラインと仮定した場合でも、消去動作の $130ms$ に加え、書き込み動作の走査が $30ms$ および表示操作の走査が $30ms$ であるから、合計 $190ms$ で画像を書き換えることが可能である。これに比べ、おなじ行数の液晶表示装置をパッシブマトリクスを用いて書き換えたとなると、1 行あたりの電圧印加時間を $5ms$ としても $5s$ の時間を要してしまう。

10

【 0 0 5 3 】

本実施形態では、ゲート線に出力する電圧を例えば $50V$ および $-5V$ としたが、これは TFT 2 1 を実質的にオン状態およびオフ状態にできる電圧であればこの電圧に限定するものではない。

【 0 0 5 4 】

20

(第 2 の実施形態)

図 5 は、本発明の第 2 の実施形態に係る液晶表示装置の各部の電圧の変化を示すグラフである。図 5 では、図 4 と同じ部分の電圧の変化を示している。図 5 を用いて、第 2 の実施形態に係る液晶表示装置の動作を説明する。本実施形態では、液晶表示装置の構成は第 1 の実施形態と同じで、書き換えの動作のみ異なる。第 1 の実施形態では、消去動作は液晶表示装置の全画素に渡って同時に行われ、全画素に渡って書き込み動作が行われた。しかし、本実施形態では消去動作はゲート線 G_1 , G_2 に接続された画素のみについて行われ、書き込み動作もそれらの画素のみについて行われる。つまり、部分書き換えが行われるのである。これは、表示画像の一部のみに変更が必要な場合、全画素を書き換えるのではなく変更が必要な部分のみ書き換えるのである。

30

【 0 0 5 5 】

図 5 のグラフの見方は図 4 と同様である。消去動作では、タイミング T_1 および T_2 ではゲート線 G_1 および G_2 のみにパルス電圧が印加され、これに接続されている画素のみ消去動作が行われる。ゲート線 G_3 の電圧は $0V$ のままであるので、これに接続された TFT 2 1 はオフのままであり、コモン電極の電圧が $-45V$ になっても、ゲート線 G_3 に関連した液晶層 2 4 に電圧が印加されることはない。 T_3 から始まる書き込み動作および T_4 から始まる表示動作の走査においても、ゲート線 G_1 および G_2 のみが走査され書き込みおよび表示動作が行われる。

【 0 0 5 6 】

上記により本実施形態では、ゲート線 G_3 に関連した画素は表示動作を続け、ゲート線 G_1 および G_2 に関連した画素のみ表示の書き換えがおこなわれる。

40

【 0 0 5 7 】

本実施形態では、液晶表示装置の一部分のみ駆動するので、書き替えの動作で消費される消費電力は、全画素を書き換えるのに比べて少なく済むし、書き替えに要する時間も短縮することができる。また、表示内容に変化のある部分だけが書き換えられ、表示内容に変化の無い部分は表示を続けるという動作をすることが可能であるため、自然な書き換え動作をすることが可能である。

【 0 0 5 8 】

(第 3 の実施形態)

図 6 は、本発明の第 3 の実施形態に係る液晶表示装置の各部の電圧の変化を示すグラフ

50

である。図 6 では、図 4 と同じ部分の電圧の変化を示している。図 6 を用いて、第 3 の実施液体に係る液晶表示装置の動作を説明する。本実施形態は、液晶表示装置の構成および動作のタイミングは第 1 の実施形態と同じで、ソース線 S_1 , S_2 , S_3 の電圧のみ異なる。第 1 の実施形態ではソース駆動回路 29 から出力される電圧は 0 V および V_4 から V_3 の間の電圧だけであったが、本実施形態ではソース駆動回路 29 から出力される電圧は、0 V および V_2 から V_1 の電圧である。これにより、液晶層 24 は図 2 に示す V_2 から V_1 の範囲の電圧で書き込みが行われる。

【0059】

本実施形態によると、プレーナ状態に初期化された液晶をフォーカルコニック状態に書き換えることでコントラストの高い表示を行うことができる。

10

【0060】

本実施形態によると、ソース駆動回路 29 から出力する電圧は 0 V および V_2 から V_1 の電圧だけであるので、ソース駆動回路は高耐圧の回路を使用する必要がなく低コストの液晶表示装置を提供することができる。

【0061】

(第 4 の実施形態)

図 7 は、本発明の第 4 の実施形態に係る液晶表示装置の各部の電圧の変化を示すグラフである。図 7 では、図 6 と同じ部分の電圧の変化を示している。図 7 を用いて、第 4 の実施液体に係る液晶表示装置の動作を説明する。本実施形態は、液晶表示装置の構成においては第 3 の実施例と同じである。書き替えの動作においては、第 3 の実施例では消去動作において液晶層 24 をプレーナ状態にしていたが、本実施例では一旦プレーナ状態にした後フォーカルコニック状態にしている。また、書き込み動作においては第 3 の実施形態ではソース駆動回路 29 から出力される電圧は 0 V および V_2 から V_1 の電圧であったが、本実施形態では 0 V および V_5 から V_1 の電圧である。これは、本実施形態ではフォーカルコニック状態にある液晶層 24 に対して書き込みを行うため、図 2 で示した V_5 から V_1 の電圧で書き込みを行うためである。

20

【0062】

タイミング $T-1$ から T_0 においては他の実施例と同様、液晶層 24 をプレーナ状態にしている。タイミング T_0 においてはゲート線 G_1 , G_2 , G_3 を 50 V にすると同時に、コモン電極 23 には $-V_3'$ の電圧を印加している。電圧 V_3' は電圧 V_3 と V_2 の間の電圧であり、この電圧を液晶層 24 に印加することにより、液晶層 24 を十分なフォーカルコニック状態に設定することができる。タイミング T_2 ではゲート線 G_1 , G_2 , G_3 に 50 V を印加すると同時にソース線 S_1 , S_2 , S_3 を 0 V にして、液晶層 24 の印加電圧を 0 V にし、タイミング T_2 から T_3 の間の 100 ms 待つことによって、液晶層 24 は十分なフォーカルコニック状態になる。タイミング T_3 以降の動作は、ソース駆動回路から出力される電圧が 0 V および V_5 から V_1 である点を除いて、第 3 の実施形態と同じである。

30

【0063】

本実施形態においては、タイミング T_2 において、コモン電極電源 30 から電圧 $-V_3'$ を出力して液晶層 24 に V_3' の電圧を印加している。しかし、この方法以外にも、コモン電極電源 30 からは 0 V、ソース駆動回路 29 からは V_3' を出力して液晶層 24 に V_3' の電圧を印加することもできる。

40

【0064】

また、消去動作の前半(タイミング $T-1$ から T_1 の間)に液晶層 24 を一旦プレーナ状態にしているが、この工程は液晶層 24 をホメオトロピック状態を経過させることにより前画像の履歴をより低減するために入れているものであり、この工程は省くことも可能である。

【0065】

本実施形態によると、フォーカルコニック状態に初期化された液晶をプレーナ状態に書き換えることで、コントラストの高い表示を行うことができる。

50

【 0 0 6 6 】

本実施形態によると、ソース駆動回路 2 9 から出力する電圧は 0 V および V 5 から V 1 の電圧だけであるので、ソース駆動回路は高耐圧の回路を使用する必要がなく低コストの液晶表示装置を提供することができる。

【 0 0 6 7 】

上述したように、本発明の実施形態に係る液晶表示装置では、使用する液晶材料の誘電率に制限がなく、低コストで、パッシブマトリクス駆動に比べ高速の書き換えが可能な液晶表示装置を提供することができる。

【図面の簡単な説明】

【 0 0 6 8 】

10

【図 1】コレスティック液晶の動作を説明するための、液晶セルの構成を示す図である。

【図 2】コレスティック液晶の動作を説明するための、液晶セルに電圧を印加したときの反射率の変化を示す図である。

【図 3】本発明の第 1 の実施形態に係る液晶表示装置の、構成を示す図である。

【図 4】本発明の第 1 の実施形態に係る液晶表示装置の、各部の電圧の変化を示すグラフである。

【図 5】本発明の第 2 の実施形態に係る液晶表示装置の、各部の電圧の変化を示すグラフである。

【図 6】本発明の第 3 の実施形態に係る液晶表示装置の、各部の電圧の変化を示すグラフである。

20

【図 7】本発明の第 4 の実施形態に係る液晶表示装置の、各部の電圧の変化を示すグラフである。

【図 8】従来技術による液晶表示装置の構成を示す図である。

【符号の説明】

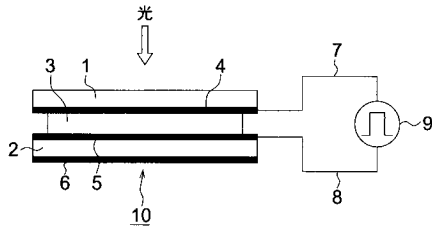
【 0 0 6 9 】

- 1、2 ガラス基板
- 3 コレスティック液晶層
- 4、5 透明電極
- 6 光吸収層
- 7、8 導線
- 9 電源
- 2 1 T F T
- 2 2 画素電極
- 2 3 コモン電極
- 2 4 液晶層
- 2 5 補助容量
- 2 6 ゲート線
- 2 7 ソース線
- 2 8 ゲート駆動回路
- 2 9 ソース駆動回路
- 3 0 コモン電極電源

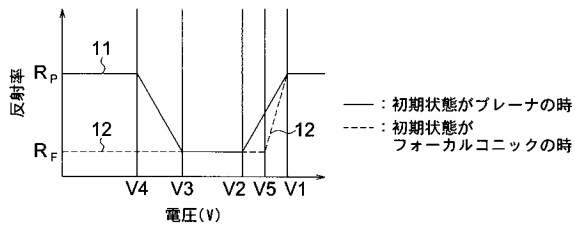
30

40

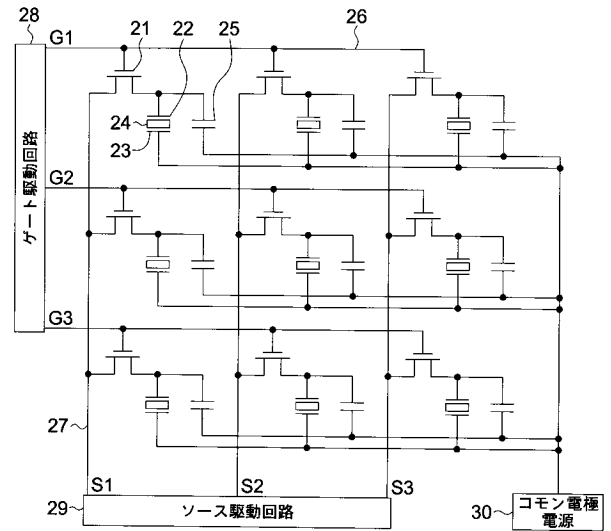
【図 1】



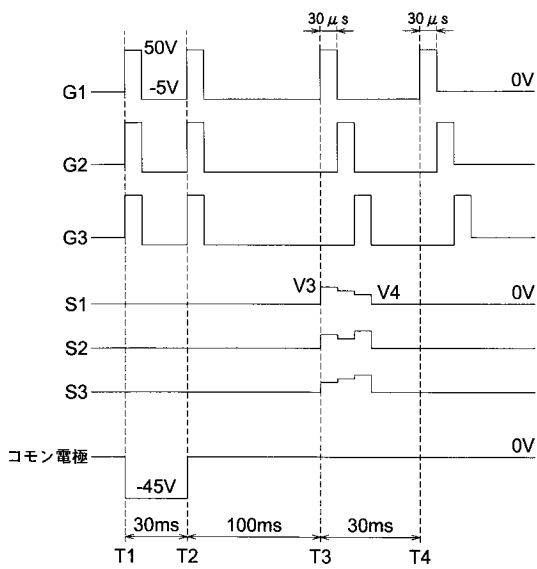
【図 2】



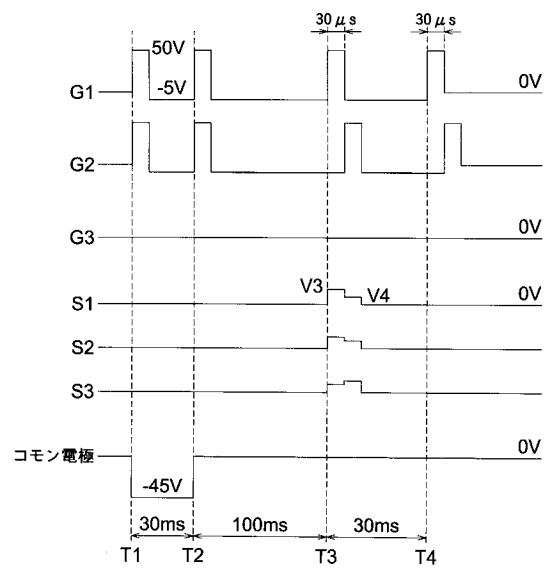
【図 3】



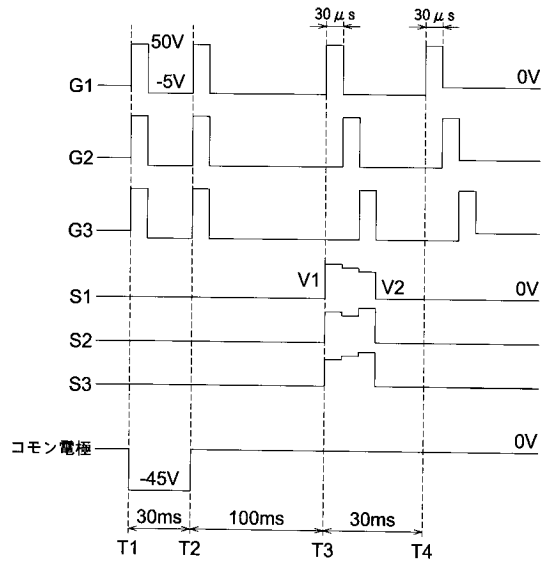
【図 4】



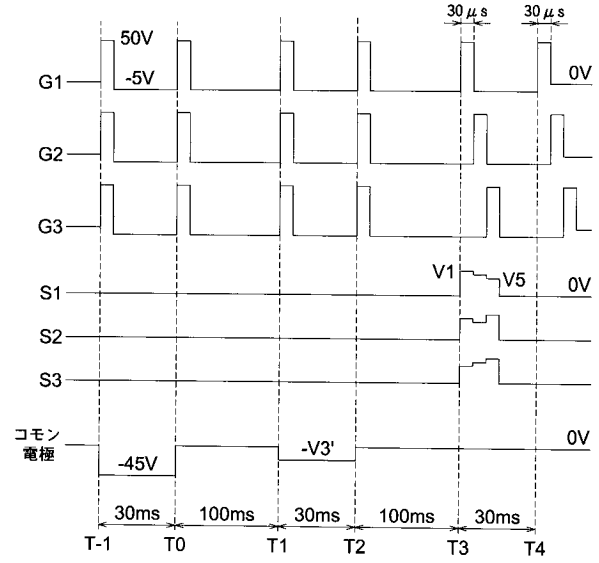
【図 5】



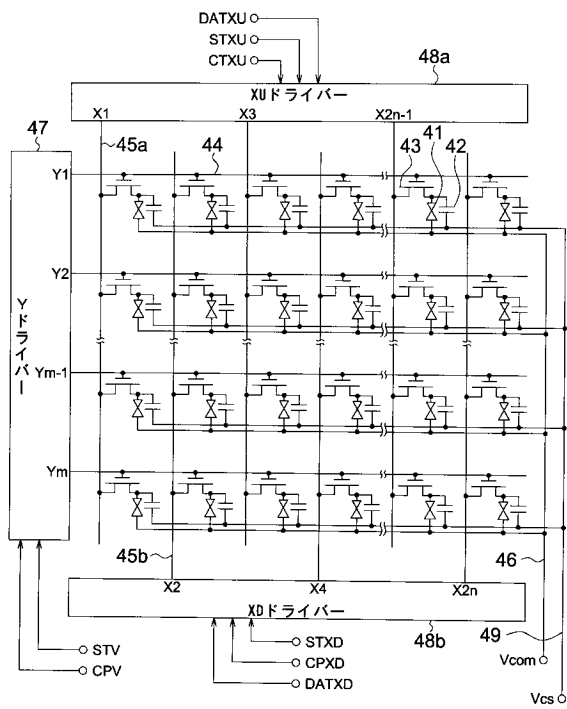
【図 6】



【図 7】



【図 8】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2006243336A	公开(公告)日	2006-09-14
申请号	JP2005058653	申请日	2005-03-03
[标]申请(专利权)人(译)	柯尼卡株式会社		
申请(专利权)人(译)	柯尼卡美能达控股公司		
[标]发明人	宫井三嘉 岡田真和		
发明人	宮井 三嘉 岡田 真和		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3651 G09G3/3666 G09G3/3696 G09G2300/0486 G09G2300/0876 G09G2310/04 G09G2310/063		
FI分类号	G02F1/133.560 G02F1/133.550		
F-TERM分类号	2H093/NA11 2H093/NA16 2H093/NC09 2H093/NC18 2H093/NC34 2H093/NC49 2H093/NC90 2H093/ND32 2H093/ND33 2H093/ND37 2H093/ND39 2H093/ND40 2H093/NG10 2H093/NH14 2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB07 2H193/ZB14 2H193/ZC25 2H193/ZC27 2H193/ZC35 2H193/ZE18 2H193/ZE20 2H193/ZF59 2H193/ZQ17 2H193/ZR16		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，其能够选择液晶材料而不受介电常数的限制，并且能够在低电压下初始化液晶层。布置成矩阵的像素电极，面对像素电极的辅助电极和公共电极，包含具有存储特性的液晶材料的液晶层夹在像素电极和公共电极之间的液晶层，以及施加到像素电极的电压。它具有用于控制液晶的施加和切断的控制装置，并被驱动以使公共电极和辅助电极的电势始终相同，并且液晶的状态按照图像擦除操作，图像写入操作和图像显示操作的顺序进行更新。液晶显示装置。

[选择图]图3

