

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-106106

(P2006-106106A)

(43) 公開日 平成18年4月20日(2006.4.20)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H088
G02F 1/13 (2006.01)	G02F 1/13 505	2H092
G09F 9/30 (2006.01)	G09F 9/30 338	5C094
G09F 9/35 (2006.01)	G09F 9/35	5F052
H01L 21/20 (2006.01)	H01L 21/20	5F110
審査請求 未請求 請求項の数 18 O L (全 54 頁) 最終頁に続く		

(21) 出願番号 特願2004-289021 (P2004-289021)

(22) 出願日 平成16年9月30日(2004.9.30)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

(72) 発明者 城口 裕子

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内Fターム(参考) 2H088 EA02 HA02 HA04 HA06 HA08
MA02 MA10 MA16

最終頁に続く

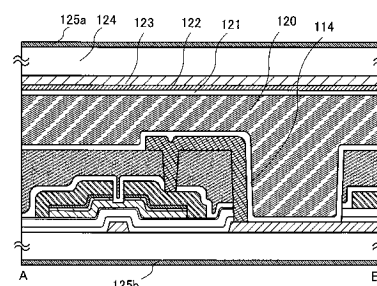
(54) 【発明の名称】 液晶表示装置及びその作製方法、並びに液晶テレビジョン装置

(57) 【要約】

【課題】 本発明は、材料の利用効率を向上させ、少ないフォトリソマスク数で、しきい値のずれが生じにくく、高速動作が可能なTFTを有する液晶表示装置の作製方法を提供する。

【解決手段】 本発明は、非晶質半導体膜に触媒元素を添加し加熱して、結晶性半導体膜を形成するとともに該結晶性半導体膜から触媒元素を除き、その後逆スタガ型薄膜トランジスタを作製する。また本発明は、薄膜トランジスタのゲート電極層と画素電極層を同工程同材料を用いて形成し、工程の簡略化と、材料のロス軽減を達成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁表面上に設けられたゲート電極層及び画素電極層を有し、
前記ゲート電極層上に第 1 のゲート絶縁層を有し、
前記第 1 のゲート絶縁層上に第 2 のゲート絶縁層を有し、
前記第 2 のゲート絶縁層上に第 3 のゲート絶縁層を有し、
前記第 3 のゲート絶縁層上に結晶性半導体層を有し、
前記結晶性半導体層に接して一導電性を有する半導体層を有し、
前記一導電性を有する半導体層に接してソース電極層及びドレイン電極層を有し、
前記ソース電極層、前記ドレイン電極層及び前記画素電極層上に絶縁層を有し、
前記絶縁層は前記ソース電極層または前記ドレイン電極層に達する第 1 の開口部を有し、
前記ゲート絶縁層及び前記絶縁層は画素電極層に達する第 2 の開口部を有し、
前記第 1 の開口部及び前記第 2 の開口部に、前記ソース電極層または前記ドレイン電極層と前記画素電極層とが電氣的に接続する配線層を有し、
前記第 3 のゲート絶縁層の膜厚は、0.1 nm 以上 10 nm 以下であることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、前記一導電性を有する半導体層は金属元素を含むことを特徴とする液晶表示装置。

【請求項 3】

絶縁表面上に設けられたゲート電極層及び画素電極層を有し、
前記ゲート電極層上に第 1 のゲート絶縁層を有し、
前記第 1 のゲート絶縁層上に第 2 のゲート絶縁層を有し、
前記第 2 のゲート絶縁層上に第 3 のゲート絶縁層を有し、
前記第 3 のゲート絶縁層上にソース領域及びドレイン領域が設けられた結晶性半導体層を有し、
前記ソース領域及び前記ドレイン領域に接してソース電極層及びドレイン電極層を有し、
前記ソース電極層、前記ドレイン電極層及び前記画素電極層上に絶縁層を有し、
前記絶縁層は前記ソース電極層または前記ドレイン電極層に達する第 1 の開口部を有し、
前記ゲート絶縁層及び前記絶縁層は画素電極層に達する第 2 の開口部を有し、
前記第 1 の開口部及び前記第 2 の開口部に、前記ソース電極層または前記ドレイン電極層と前記画素電極層とが電氣的に接続する配線層を有し、
前記第 3 のゲート絶縁層の膜厚は、0.1 nm 以上 10 nm 以下であることを特徴とする液晶表示装置。

【請求項 4】

請求項 3 において、前記ソース領域及び前記ドレイン領域は金属元素を含むことを特徴とする液晶表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、前記結晶性半導体層のチャネル領域を選択的に覆うチャネル保護層を有することを特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、前記第 1 ゲート絶縁層は窒化酸化珪素膜であり、前記第 2 のゲート絶縁層は酸化窒化珪素膜であり、前記第 3 のゲート絶縁層は窒化珪素膜であることを特徴とする液晶表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、前記ゲート絶縁層及び前記絶縁層は前記ゲート電極層に達する第 3 の開口部を有し、

前記第 3 の開口部に前記ゲート電極層に接するゲート配線層を有することを特徴とする液晶表示装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項において、前記ゲート電極層及び前記画素電極層はタングステン、モリブデン、ジルコニア、ハフニウム、ビスマス、ニオブ、タンタル、クロム、コバルト、ニッケル、及び白金から選ばれる一つ又は複数からなることを特徴とする液晶表示装置。

【請求項 9】

請求項 1 乃至 7 のいずれか一項において、前記ゲート電極層及び前記画素電極層はインジウム錫酸化物、酸化珪素を含むインジウム錫酸化物、酸化亜鉛、酸化スズ、酸化インジウム酸化亜鉛合金からなることを特徴とする液晶表示装置。 10

【請求項 10】

画素領域及び駆動回路領域を同一基板上に有し、
前記駆動回路領域において前記基板上に第 1 のゲート電極層及び第 2 のゲート電極層を有し、
前記第 1 のゲート電極層及び前記第 2 のゲート電極層上に第 1 のゲート絶縁層を有し、
、
前記第 1 のゲート絶縁層上に第 2 のゲート絶縁層を有し、
前記第 2 のゲート絶縁層上に第 3 のゲート絶縁層を有し、
前記第 3 のゲート絶縁層上に第 1 の結晶性半導体層及び第 2 の結晶性半導体層を有し 20
、
前記第 1 の結晶性半導体層に接して n 型を有する半導体層を有し、
前記第 1 の結晶性半導体層に接して p 型を有する半導体層を有し、
前記 n 型を有する半導体層に接する第 1 のソース電極層及び第 1 のドレイン電極層を有し、
前記 p 型を有する半導体層に接する第 2 のソース電極層及び第 2 のドレイン電極層を有し、
前記画素領域において前記基板上に画素電極層を有し、
前記第 3 のゲート絶縁層の膜厚は 0 . 1 n m 以上 1 0 n m 以下であり、
前記画素電極層の一部がゲート絶縁層で覆われていることを特徴とする液晶表示装置 30
。

【請求項 11】

請求項 1 乃至 10 のいずれか一項における液晶表示装置によって表示画面を構成された液晶テレビジョン装置。

【請求項 12】

絶縁表面上にゲート電極層及び画素電極層を形成し、
前記ゲート電極層及び前記画素電極層上にゲート絶縁層を形成し、
前記ゲート絶縁層上に金属元素を含む金属膜を形成し、
前記金属膜上に半導体層を形成し、
前記半導体層に接して一導電型を有する半導体層を形成し、 40
前記半導体層及び前記一導電型を有する半導体層を加熱し、
前記一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、
前記一導電型を有する半導体層をパターニングし、ソース領域及びドレイン領域を形成し、
前記ソース電極層、前記ドレイン電極層及び前記ゲート絶縁層上に絶縁層を形成し、
前記絶縁層に前記ソース電極層または前記ドレイン電極層に達する第 1 の開口部、及び前記絶縁層と前記ゲート絶縁層に前記画素電極層に達する第 2 の開口部を形成し、
前記第 1 の開口部及び前記第 2 の開口部に、前記ソース電極層または前記ドレイン電極層及び前記画素電極層を電氣的に接続する配線層を形成することを特徴とする液晶表示装置の作製方法。 50

【請求項 13】

絶縁表面上にゲート電極層及び画素電極層を形成し、
前記ゲート電極層及び前記画素電極層上にゲート絶縁層を形成し、
前記ゲート絶縁層上に半導体層を形成し、
前記半導体層に金属元素を添加し、
前記半導体層に接して一導電型を有する半導体層を形成し、
前記半導体層及び前記一導電型を有する半導体層を加熱し、
前記一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、
前記一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、

10

前記ソース電極層、前記ドレイン電極層及び前記ゲート絶縁層上に絶縁層を形成し、
前記絶縁層に前記ソース電極層または前記ドレイン電極層に達する第1の開口部、及び前記絶縁層と前記ゲート絶縁層に前記画素電極層に達する第2の開口部を形成し、
前記第1の開口部及び前記第2の開口部に、前記ソース電極層または前記ドレイン電極層及び前記画素電極層を電氣的に接続する配線層を形成することを特徴とする液晶表示装置の作製方法。

【請求項 14】

絶縁表面上にゲート電極層及び画素電極層を形成し、
前記ゲート電極層及び前記画素電極層上にゲート絶縁層を形成し、
前記ゲート絶縁層上に金属元素を含む金属膜を形成し、
前記金属膜上に半導体層を形成し、
前記半導体層上に選択的にチャネル保護層を形成し、
前記半導体層及び前記チャネル保護層に接して一導電型を有する半導体層を形成し、
前記半導体層、前記チャネル保護層、及び前記一導電型を有する半導体層を加熱し、
前記一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、
前記一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、

20

前記ソース電極層、前記ドレイン電極層及び前記ゲート絶縁層上に絶縁層を形成し、
前記絶縁層に前記ソース電極層または前記ドレイン電極層に達する第1の開口部、及び前記絶縁層と前記ゲート絶縁層に前記画素電極層に達する第2の開口部を形成し、
前記第1の開口部及び前記第2の開口部に、前記ソース電極層または前記ドレイン電極層及び前記画素電極層を電氣的に接続する配線層を形成することを特徴とする液晶表示装置の作製方法。

30

【請求項 15】

絶縁表面上にゲート電極層及び画素電極層を形成し、
前記ゲート電極層及び前記画素電極層上にゲート絶縁層を形成し、
前記ゲート絶縁層上に半導体層を形成し、
前記半導体層上に選択的にチャネル保護層を形成し、
前記半導体層及び前記チャネル保護層に金属元素を添加し、
前記半導体層及び前記チャネル保護層に接して一導電型を有する半導体層を形成し、
前記半導体層、前記チャネル保護層、及び前記一導電型を有する半導体層を加熱し、
前記一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、
前記一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、

40

前記ソース電極層、前記ドレイン電極層及び前記ゲート絶縁層上に絶縁層を形成し、
前記絶縁層に前記ソース電極層または前記ドレイン電極層に達する第1の開口部、及び前記絶縁層と前記ゲート絶縁層に前記画素電極層に達する第2の開口部を形成し、
前記第1の開口部及び前記第2の開口部に、前記ソース電極層または前記ドレイン電極層及び前記画素電極層を電氣的に接続する配線層を形成することを特徴とする液晶表示装置の作製方法。

50

【請求項 16】

請求項 12 乃至 15 のいずれか一項において、前記金属元素として鉄、ニッケル、コバルト、ルテニウム、ロジウム、パラジウム、オスニウム、イリジウム、白金、チタン、銅及び金から選ばれた一つ又は複数を用いることを特徴とする液晶表示装置の作製方法。

【請求項 17】

請求項 12 乃至請求項 16 のいずれか一項において、前記ゲート絶縁層として、前記ゲート電極層及び前記画素電極層上に第 1 のゲート絶縁層を形成し、

前記第 1 のゲート絶縁層上に第 2 のゲート絶縁層を形成し、

前記第 2 のゲート絶縁層上に膜厚 0.1 nm 以上 10 nm 以下の第 3 のゲート絶縁層を形成することを特徴とする液晶表示装置の作製方法。

10

【請求項 18】

請求項 17 において、前記第 1 のゲート絶縁層として窒化酸化珪素膜を形成し、前記第 2 のゲート絶縁層として酸化窒化珪素膜を形成し、前記第 3 のゲート絶縁層として窒化珪素膜を形成することを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の作製方法、及びそれを用いた液晶テレビジョン装置に関する。

20

【背景技術】

【0002】

近年、液晶ディスプレイ(LCD)に代表されるフラットパネルディスプレイ(FPD)は、これまでのCRTに替わる表示装置として注目を集めている。特にアクティブマトリクス駆動の大型液晶パネルを搭載した大画面液晶テレビジョン装置の開発は、液晶パネルメーカーにとって注力すべき重要な課題になっている。

【0003】

従来の液晶表示装置において、各画素を駆動する半導体素子としてはアモルファスシリコンを用いた薄膜トランジスタ(以下、TFTとも示す。)が用いられている。

30

【0004】

一方、従来の液晶テレビにおいては、視野角特性の限界、液晶材料等が原因の高速動作の限界による画像のぼやけが欠点であったが、近年それを解消する新たな表示モードとして、OCB(optically compensated bend)モードが提案されている(非特許文献1参照。)

【非特許文献1】長広恭明他編、「日経マイクロデバイス別冊 フラットパネル・ディスプレイ2002」、日系BP社、2001年10月、P102-109

【発明の開示】

【発明が解決しようとする課題】

【0005】

40

しかしながら、非晶質半導体膜を用いたTFTを直流駆動した場合は、しきい値がずれやすく、それに伴いTFTの特性バラツキが生じやすい。このため、非晶質半導体膜を用いたTFTを画素のスイッチングに用いた表示装置は、輝度ムラが発生する。このような現象は、対角30インチ以上(典型的には40インチ以上)の大画面テレビジョン装置であるほど顕著であり、画質の低下が深刻な問題である。

【0006】

一方、LCDの画質を向上させるために高速動作が可能なスイッチング素子が必要とされている。しかしながら、非晶質半導体膜を用いたTFTでは限界がある。例えば、OCBモードの液晶表示装置を実現することが困難となる。

【0007】

50

本発明は、このような状況に鑑みなされたものであり、少ないフォトマスク数で、しきい値のずれが生じにくく、高速動作が可能なTFTを有する液晶表示装置の作製方法を提供する。また、スイッチング特性が高く、コントラストがすぐれた表示が可能な液晶表示装置の作製方法を提供する。

【課題を解決するための手段】

【0008】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

【0009】

本発明は、結晶化を促進又は助長させる元素（以下、主に金属元素を指すことから金属元素、触媒元素ともいう）を添加し非晶質半導体膜を形成し、15族元素を有する半導体膜または希ガス元素を有する半導体膜を形成し、加熱して結晶性半導体膜を形成と、結晶性半導体膜から金属元素の除去を同時に行なった後、逆スタガ型薄膜トランジスタを形成することを要旨とする。なお、該結晶性半導体膜に15族元素を有する半導体膜を形成した場合、15族元素を有する半導体膜をソース領域及びドレイン領域として用いて、nチャンネル型薄膜トランジスタを形成する。また、n型を付与する不純物元素として15族元素を有する半導体膜にp型を付与する不純物元素として13族元素を添加して、pチャンネル型薄膜トランジスタを形成する。さらには、希ガス元素を有する半導体膜を形成した場合、加熱の後に希ガス元素を有する半導体膜を除去し、ソース領域及びドレイン領域を形成して、nチャンネル型薄膜トランジスタ又はpチャンネル型薄膜トランジスタを形成する。

【0010】

本発明は、薄膜トランジスタのゲート電極層と画素電極層を同工程同材料を用いて形成し、工程の簡略化と、材料のロスの軽減を達成する。

【0011】

本発明の液晶表示装置の一は、絶縁表面上に設けられたゲート電極層及び画素電極層を有し、ゲート電極層上に第1のゲート絶縁層を有し、第1のゲート絶縁層上に第2のゲート絶縁層を有し、第2のゲート絶縁層上に第3のゲート絶縁層を有し、第3のゲート絶縁層上に結晶性半導体層を有し、結晶性半導体層に接して一導電性を有する半導体層を有し、一導電性を有する半導体層に接してソース電極層及びドレイン電極層を有し、ソース電極層、ドレイン電極層及び画素電極層上に絶縁層を有し、絶縁層はソース電極層またはドレイン電極層に達する第1の開口部を有し、ゲート絶縁層及び絶縁層は画素電極層に達する第2の開口部を有し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層と画素電極層とが電氣的に接続する配線層を有する。

【0012】

本発明の液晶表示装置の一は、絶縁表面上に設けられたゲート電極層及び画素電極層を有し、ゲート電極層上に第1のゲート絶縁層を有し、第1のゲート絶縁層上に第2のゲート絶縁層を有し、第2のゲート絶縁層上に第3のゲート絶縁層を有し、第3のゲート絶縁層上にソース領域及びドレイン領域が設けられた結晶性半導体層を有し、ソース領域及び前記ドレイン領域に接してソース電極層及びドレイン電極層を有し、ソース電極層、前記ドレイン電極層及び前記画素電極層上に絶縁層を有し、絶縁層はソース電極層またはドレイン電極層に達する第1の開口部を有し、ゲート絶縁層及び絶縁層は画素電極層に達する第2の開口部を有し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層と画素電極層とが電氣的に接続する配線層を有する。

【0013】

本発明の液晶表示装置の一は、画素領域及び駆動回路領域を同一基板上に有し、駆動回路領域において基板上に第1のゲート電極層及び第2のゲート電極層を有し、第1のゲート電極層及び第2のゲート電極層上に第1のゲート絶縁層を有し、第1のゲート絶縁層上に第2のゲート絶縁層を有し、第2のゲート絶縁層上に第3のゲート絶縁層を有し、第3のゲート絶縁層上に第1の結晶性半導体層及び第2の結晶性半導体層を有し、第1の結晶性半導体層に接してn型を有する半導体層を有し、第1の結晶性半導体層に接してp型を有する半導体層を有し、n型を有する半導体層に接する第1のソース電極層及び第1の

10

20

30

40

50

ドレイン電極層を有し、p型を有する半導体層に接する第2のソース電極層及び第2のドレイン電極層を有し、画素領域において前記基板上に画素電極層を有する。

【0014】

本発明の液晶表示装置の一は、絶縁表面上にゲート電極層及び画素電極層を形成し、ゲート電極層及び画素電極層上にゲート絶縁層を形成し、ゲート絶縁層上に金属元素を含む金属層を形成し、金属層上に半導体層を形成し、半導体層に接して一導電型を有する半導体層を形成し、半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に画素電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び画素電極層を電氣的に接続する配線層を形成する。

【0015】

本発明の液晶表示装置の一は、絶縁表面上にゲート電極層及び画素電極層を形成し、ゲート電極層及び画素電極層上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層に金属元素を添加し、半導体層に接して一導電型を有する半導体層を形成し、半導体層及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及び前記ゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に画素電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び画素電極層を電氣的に接続する配線層を形成する。

【0016】

本発明の液晶表示装置の一は、絶縁表面上にゲート電極層及び画素電極層を形成し、ゲート電極層及び画素電極層上にゲート絶縁層を形成し、ゲート絶縁層上に金属元素を含む金属層を形成し、金属層上に半導体層を形成し、半導体層上に選択的にチャンネル保護層を形成し、半導体層及びチャンネル保護層に接して一導電型を有する半導体層を形成し、半導体層、チャンネル保護層、及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に画素電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び画素電極層を電氣的に接続する配線層を形成する。

【0017】

本発明の液晶表示装置の一は、絶縁表面上にゲート電極層及び画素電極層を形成し、ゲート電極層及び画素電極層上にゲート絶縁層を形成し、ゲート絶縁層上に半導体層を形成し、半導体層上に選択的にチャンネル保護層を形成し、半導体層及びチャンネル保護層に金属元素を添加し、半導体層及びチャンネル保護層に接して一導電型を有する半導体層を形成し、半導体層、チャンネル保護層、及び一導電型を有する半導体層を加熱し、一導電型を有する半導体層に接してソース電極層及びドレイン電極層を形成し、一導電型を有する半導体層をパターンニングし、ソース領域及びドレイン領域を形成し、ソース電極層、ドレイン電極層及びゲート絶縁層上に絶縁層を形成し、絶縁層にソース電極層またはドレイン電極層に達する第1の開口部、及び絶縁層とゲート絶縁層に画素電極層に達する第2の開口部を形成し、第1の開口部及び第2の開口部に、ソース電極層またはドレイン電極層及び画素電極層を電氣的に接続する配線層を形成する。

【発明の効果】

【0018】

本発明により、少ないフォトマスク数で、結晶性半導体膜で形成される逆スタガ型ＴＦＴを形成することができる。本発明の逆スタガ型ＴＦＴは、非晶質半導体膜の結晶化工程と、非晶質半導体膜の結晶化を促進するための金属触媒のゲッタリング工程とを同時に行うことが可能であるため、工程数の削減が可能である。特に、加熱処理数を削減できるため、省エネルギー化が可能であり、また、スループットを向上させることができる。

【００１９】

また、本発明の逆スタガ型ＴＦＴは、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、結晶化工程、ゲッタリング工程等の加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物金属元素が少なく、配線抵抗の低いＴＦＴを形成することが可能である。また、本発明の液晶表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

10

【００２０】

また、結晶性半導体膜で形成されるＴＦＴは、非晶質半導体膜で形成される逆スタガ型ＴＦＴと比較して数１０～５０倍程度、移動度が高い。また、ソース領域及びドレイン領域には、アクセプター型元素又はドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。代表的には、ＯＣＢモードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。

20

【００２１】

また、液晶表示装置の周辺部に、画素領域内のＴＦＴと同時に走査線駆動回路を形成することが可能である。このため、小型化された液晶表示装置を作製することが可能である。

【００２２】

また、非晶質半導体膜で形成されるＴＦＴと比較して、しきい値のずれが生じにくく、ＴＦＴ特性のバラツキを低減することが可能である。このため、非晶質半導体膜で形成されるＴＦＴをスイッチング素子として用いた液晶表示装置と比較して、表示ムラを低減することが可能であり、信頼性の高い半導体装置を作製することが可能である。

【００２３】

更には、結晶化工程と共に行われるゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能であり、代表的には６桁以上のＯＮ／ＯＦＦ比を有するＴＦＴを形成することが可能である。このようなＴＦＴを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

30

【００２４】

さらには、上記の作製工程により形成された液晶表示装置を有する液晶テレビジョンを、スループットや歩留まりを向上させることが可能であり、低コストで作製することができる。

【発明を実施するための最良の形態】

40

【００２５】

（実施の形態１）

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【００２６】

図２８（Ａ）は本発明に係る表示パネルの構成を示す上面図であり、絶縁表面を有する

50

基板 2700 上に画素 2702 をマトリクス上に配列させた画素部 2701、走査線側入力端子 2703、信号線側入力端子 2704 が形成されている。画素数は種々の規格に従って設ければ良く、XGA であれば $1024 \times 768 \times 3$ (RGB)、UXGA であれば $1600 \times 1200 \times 3$ (RGB)、フルスベックハイビジョンに対応させるのであれば $1920 \times 1080 \times 3$ (RGB) とすれば良い。

【0027】

画素 2702 は、走査線側入力端子 2703 から延在する走査線と、信号線側入力端子 2704 から延在する信号線とが交差することで、マトリクス状に配設される。画素 2702 のそれぞれには、スイッチング素子とそれに接続する画素電極が備えられている。スイッチング素子の代表的な一例は TFT であり、TFT のゲート電極側が走査線と、ソース若しくはドレイン側が信号線と接続されることにより、個々の画素を外部から入力する信号によって独立して制御可能としている。

10

【0028】

図 28 (A) は、走査線及び信号線へ入力する信号を、外付けの駆動回路により制御する表示パネルの構成を示しているが、図 29 (A) に示すように、COG (Chip on Glass) 方式によりドライバ IC 2751 を基板 2700 上に実装しても良い。また他の実装形態として、図 29 (B) に示すような TAB (Tape Automated Bonding) 方式を用いてもよい。ドライバ IC は単結晶半導体基板に形成されたものでも良いし、ガラス基板上に TFT で回路を形成したものであっても良い。図 29 において、ドライバ IC 2751 は、FPC 2750 と接続している。

20

【0029】

また、画素に設ける TFT を SAS で形成する場合には、図 28 (B) に示すように走査線側駆動回路 3702 を基板 3700 上に形成し一体化することもできる。図 29 (B) において、3701 は画素部であり、信号線側駆動回路は、図 28 (A) と同様に外付けの駆動回路により制御する。画素に設ける TFT を移動度の高い、多結晶 (微結晶) 半導体、単結晶半導体などで形成する場合は、図 28 (C) は、走査線駆動回路 4702 と、信号線駆動回路 4704 をガラス基板 4700 上に一体形成することもできる。

【0030】

本発明は、配線層若しくは電極を形成する導電層や、所定のパターンに形成するためのマスク層など表示パネルを作製するために必要な物体 (その目的や機能に応じて膜や層などあらゆる形態で存在する) のうち、少なくとも一つ若しくはそれ以上を、選択的に所望な形状に形成可能な方法により形成して、液晶表示装置を作製することを特徴とするものである。本発明は、薄膜トランジスタや液晶表示装置を構成する、ゲート電極層、ソース電極層、ドレイン電極層などの導電層、半導体層、マスク層、絶縁膜など、所定の形状を有して形成される全ての構成要素に対して適用できる。

30

【0031】

本実施の形態は、レジストを基板全面に塗布形成しプリベークを行なった後、マスクパターンを介して紫外線等を照射し、現像によってレジストパターンを形成するというフォトリソ工程によりマスクを形成する方法を用いている。該レジストパターンをマスクパターンとしてパターンを形成するべき部分に存在する膜をエッチング除去することにより、所望のパターンを形成する。

40

【0032】

本発明では、形成物のパターンニング工程において感光性のレジストや感光性物質を含む材料に光を照射し、露光する工程を行う。露光に用いる光は、特に限定されず、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能である。例えば、紫外線ランプ、ブラックライト、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いてもよい。その場合、ランプ光源は、必要な時間点灯させて照射してもよいし、複数回照射してもよい。

【0033】

50

露光に用いる光源にレーザ発振器を用いてもよい。レーザ発振器としては、紫外光、可視光、又は赤外光を発振することが可能なレーザ発振器を用いることができる。レーザ発振器としては、K r F、A r F、K r F、X e C l、X e等のエキシマレーザ発振器、H e、H e - C d、A r、H e - N e、H F等の気体レーザ発振器、Y A G、G d V O₄、Y V O₄、Y L F、Y A l O₃などの結晶にC r、N d、E r、H o、C e、C o、T i又はT mをドープした結晶を使った固体レーザ発振器、G a N、G a A s、G a A l A s、I n G a A s P等の半導体レーザ発振器を用いることができる。なお、固体レーザ発振器においては、基本波の第1高調波～第5高調波を適用するのが好ましい。

【0034】

感光性物質には大きくわけてネガ型とポジ型がある。ネガ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分のみが残されてパターンが形成される。また、ポジ型の場合は、露光された部分で化学反応が生じ、現像液によって化学反応が生じた部分が溶解され、露光されなかった部分のみが残されてパターンが形成される。必要に応じてネガ型とポジ型を使い分けるとよい。

10

【0035】

本実施の形態では、露光は基板表面から行っているが、必要に応じて基板裏面から露光を行ってもよい。

【0036】

本発明の実施の形態について、図1乃至図6、図8を用いて説明する。より詳しくは、本発明を適用した液晶表示装置の作製方法について説明する。まず、本発明を適用した、チャンネルエッチ型の薄膜トランジスタを有する液晶表示装置の作製方法について説明する。図2～図6(A)は液晶表示装置画素部の上面図であり、図2～図6の(B)は、図2～図6(A)における線A—Bによる断面図、図2～図6の(C)は、図2～図6(A)における線C—Dによる断面図である。

20

【0037】

基板100は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる。また、基板100の表面が平坦化されるようにCMP法などによって、研磨しても良い。なお、基板100上に、絶縁膜を形成してもよい。絶縁膜は、CVD法、プラズマCVD法、スパッタリング法、スピンコート法等の公知の方法により、珪素を含む酸化物材料、窒化物材料を用いて、単層又は積層して形成される。この絶縁膜は、形成しなくても良いが、基板100からの汚染物質などを遮断する効果がある。基板100として、320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mmのような大面積基板を用いることができる。

30

【0038】

基板100上に導電膜101を形成する。導電膜101は、パターンングされゲート電極層と画素電極層となる。導電膜101は、印刷法、電界メッキ法、PVD法(Physical Vapor Deposition)、CVD法(Chemical Vapor Deposition)、蒸着法等の公知の方法により高融点材料を用いて形成することが好ましい。高融点材料を用いることにより、後の加熱工程が可能となる。高融点材料としては、タングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、白金(Pt)等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の層を積層して形成しても良い。代表的には、基板表面に窒化タンタル膜、その上にタングステン膜を積層してもよい。このような反射性を有する金属は、反射型の液晶表示パネルを作製する場合には好ましい。また、珪素に一導電型を付与する不純物元素を添加した材料を用いても良い。例えば、非晶質珪素膜にリン(P)などのn型を付与する不純物元素が含まれたn型を有する珪素膜などを用いることができる。

40

50

【0039】

導電膜101は、画素電極層としても機能するので、透明導電性材料を用いて形成することもできる。画素電極層は、透過型の液晶表示パネルを作製する場合には、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化スズ(SnO₂)などにより形成してもよい。好ましくは、スパッタリング法によりインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)などで形成する。より好ましくは、ITOに酸化珪素が2~10重量%含まれたターゲットを用いてスパッタリング法で酸化珪素を含む酸化インジウムスズを用いる。この他、酸化珪素を含み酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した酸化インジウム酸化亜鉛合金などの導電性材料を用いても良い。

10

【0040】

本実施の形態では、導電膜101は、導電性材料としてインジウム錫酸化物(ITO)をスパッタリング法により形成し、550で焼成して導電膜101を形成する。また、電極層となる導電膜101は、複数の導電性材料を積層しても良い。

【0041】

導電膜101上にフォトリソ工程を用いてレジストからなるマスク102a、マスク102bを形成する。(図2参照。)

【0042】

マスクは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。また導電膜101に感光性を有する感光性物質を含む導電性材料を用いると、レジストからなるマスクを形成しなくても導電膜101に直接露光し、エッチャントによる除去を行うことで、所望のパターンにパターンニングすることができる。この場合、マスクを形成せずともよいので工程が簡略化する利点がある。感光性物質を含む導電性材料は、Ag、Au、Cu、Ni、Al、Ptなどの金属或いは合金と、有機高分子樹脂、光重合開始剤、光重合単量体、または溶剤などからなる感光性樹脂とを含んだものを用いればよい。有機高分子樹脂としては、ノボラック樹脂、アクリル系コポリマー、メタクリル系コポリマー、セルローズ誘導体、環化ゴム系樹脂などを用いる。

20

30

【0043】

このように微細に加工されたマスク102a、マスク102bを用いて導電膜101をパターンニングし、ゲート電極層103と画素電極層111を形成する(図3参照。)

【0044】

次に、ゲート電極層103、画素電極層111の上にゲート絶縁膜105a、ゲート絶縁膜105b、ゲート絶縁膜105cを形成し3層の積層構造とする。半導体層に接するゲート絶縁膜105cの膜厚は、0.1nm以上10nm以下(好ましくは1nm以上3nm以下)とすることが望ましい。このような構造であると、半導体層中の金属元素のゲッタリング効率も上がり、かつ半導体層への窒化珪素膜の悪影響も軽減できる。また積層される絶縁膜は、同チャンバー内で真空を破らずに同一温度下で、反応ガスを切り変えながら連続的に形成するとよい。真空を破らずに連続的に形成すると、積層する膜同士の界面が汚染されるのを防ぐことができる。

40

【0045】

ゲート絶縁膜105a、ゲート絶縁膜105b、ゲート絶縁膜105cは、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)などを適宜用いることができる。更には、ゲート電極層103を陽極酸化して、ゲート絶縁膜105aの代わりに、陽極酸化膜を形成しても良い。なお、基板側から不純物などの拡散を防止するため、ゲート絶縁膜105aとしては、窒化珪素(SiN_x)、窒化酸化珪素(SiN_xO_y)(x>y)などを用いて形成す

50

ることが好ましい。また、ゲート絶縁膜 105b としては、酸化珪素 (SiO_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$) を用いて形成することが望ましい。なお、ゲート絶縁膜 105b には、水素が含まれている。また、ゲート絶縁膜 105c としては窒化珪素膜 (SiN_x)、あるいは窒化酸化珪素膜 (SiN_xO_y) ($x > y$) などを用いて形成することが好ましい。なお、低い成膜温度でゲートリーク電流に少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。本実施の形態では、 SiH_4 、 NH_3 を反応ガスとして窒化珪素膜を膜厚 50 nm ~ 140 nm でゲート絶縁膜 105a を形成し、 SiH_4 及び N_2O を反応ガスとして酸化珪素膜を膜厚 100 nm でゲート絶縁膜 105b を積層した後、 SiH_4 、 NH_3 を反応ガスとして窒化珪素膜を膜厚 1 nm ~ 3 nm でゲート絶縁膜 105c を形成する。なお、ゲート絶縁膜 105a 及びゲート絶縁膜 105b の膜厚をそれぞれ 50 nm ~ 100 nm とすると好ましい。また、ゲート絶縁膜 105c はその形成条件によっては膜厚は極薄であり、膜として形態を保っていないくてもよい。

【0046】

次に半導体膜を形成する。半導体層の詳細な作製方法を図 8 を用いて説明する。半導体膜は 25 ~ 200 nm (好ましくは 30 ~ 150 nm) の厚さで公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により成膜すればよい。本実施の形態では、非晶質半導体膜を結晶化し、結晶性半導体膜とするものを用いるのが好ましい。

【0047】

半導体膜を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製される非晶質半導体 (以下「アモルファス半導体: AS」ともいう。)、該非晶質半導体を熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス (微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。) 半導体などを用いることができる。

【0048】

SAS は、非晶質と結晶構造 (単結晶、多結晶を含む) の中間的な構造を有し、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5 ~ 20 nm の結晶領域を観測することが出来、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X 線回折では珪素結晶格子に由来するとされる (111)、(220) の回折ピークが観測される。未結合手 (ダングリングボンド) の中和剤として水素またはハロゲンを少なくとも 1 原子% またはそれ以上含ませている。SAS は、珪化物気体をグロー放電分解 (プラズマ CVD) して形成する。珪化物気体としては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。また F_2 、 GeF_4 を混合させても良い。この珪化物気体を H_2 、又は、 H_2 と He 、 Ar 、 Kr 、 Ne から選ばれた一種または複数種の希ガス元素で希釈しても良い。希釈率は 2 ~ 1000 倍の範囲、圧力は概略 0.1 Pa ~ 133 Pa の範囲、電源周波数は 1 MHz ~ 120 MHz、好ましくは 13 MHz ~ 60 MHz である。基板加熱温度は 300 以下が好ましく、100 ~ 200 の基板加熱温度でも形成可能である。ここで、主に成膜時に取り込まれる不純物元素として、酸素、窒素、炭素などの大気成分に由来する不純物は $1 \times 10^{20}\text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19}\text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19}\text{ cm}^{-3}$ 以下となるようにすることが好ましい。また、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好な SAS が得られる。また半導体膜としてフッ素系ガスより形成される SAS 層に水素系ガスより形成される SAS 層を積層してもよい。

【0049】

なお、後の結晶化で良質な結晶構造を有する半導体膜を得るためには、図 8 に示す非晶質半導体膜 404 膜中に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18}/\text{cm}^3$ (以下、濃度はすべて二次イオン質量分析法 (SIMS) にて測定した原子濃度として示す。) 以

下に低減させておくと良い。これらの不純物は、触媒元素と反応しやすく、後の結晶化を妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。

【0050】

本実施の形態では、非晶質半導体膜、又はSAS膜に結晶化を助長する元素を用いた熱結晶化法を用いる。加熱方法としてGRTA (Gas Rapid Thermal Anneal) 法、LRTA (Lamp Rapid Thermal Anneal) 法等のRTA法がある。

【0051】

非晶質半導体膜への金属元素の導入の仕方としては、当該金属元素を非晶質半導体膜の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、CVD法、プラズマ処理法（プラズマCVD法も含む）、吸着法、金属塩の溶液を塗布する方法、イオン注入法、イオンドーピング法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき金属元素膜を形成する下地膜の表面のぬれ性を改善し、下地膜の表面全体に水溶液を行き渡らせるため、酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。

【0052】

本実施の形態では、ゲート絶縁膜105c上に、結晶化を助長する元素としてNiを用い、Ni元素を重量換算で10ppmを含有した水溶液をスピンコーティング法により塗布し、金属膜403を形成する（図8（A）参照。）。結晶化を助長する元素としては、この珪素の結晶化を助長する金属元素としては鉄（Fe）、ニッケル（Ni）、チタン（Ti）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスmium（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）及び金（Au）から選ばれた一種又は複数種類を用いて、金属膜403を形成することができる。金属膜403はその形成条件によっては膜厚が極薄であり、膜として形態を保っていないてもよい。結晶化を助長させる効果が得られるように、後の工程で形成する非晶質半導体膜404に接して形成されればよい。

【0053】

金属膜403上に非晶質半導体膜404を形成する。非晶質半導体膜404としては、SiH₄、H₂の反応ガスにより形成する非晶質珪素を用いる。本実施の形態では、非晶質半導体膜404中の酸素濃度を $5 \times 10^{19} \text{ atom/cm}^3$ 以下、好ましくは $2 \times 10^{19} \text{ atom/cm}^3$ 以下で形成することにより、金属元素として添加したNiがゲッターリングしやすくなる。非晶質半導体膜404の膜厚は30nm～150nmが好ましい。本実施の形態では、非晶質半導体膜404を150nm形成する。

【0054】

金属元素を用いた結晶化を行った場合、金属元素を低減、又は除去するためにゲッターリング工程を施す。金属膜403の金属元素が非晶質半導体膜404中に拡散し結晶化に寄与した後、金属元素を吸い込み自らに取り込む層として半導体膜を、非晶質半導体膜404に接して形成する。本実施の形態では、不純物を有する非晶質半導体膜をゲッターリングシンクとして金属元素を捕獲する。

【0055】

非晶質半導体膜404上にプラズマCVD法を用いて、半導体膜405a、半導体膜405bを形成する。半導体膜405a、半導体膜405bは不純物元素を有しており、不純物元素としてはn型を付与する不純物元素や希ガス元素などを用いることができ、例えばリン（P）、窒素（N）、ヒ素（As）、アンチモン（Sb）、ビスマス（Bi）、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、Kr（クリプトン）、Xe（キセノン）から選ばれた一種または複数種を用いることができる。n型を付与する不純物元素を含むn型を有する半導体膜に、アルゴンなどの希ガス元素が含まれるように形成することもできる。本実施の形態では、半導体膜405aを半導体膜405bには、n型を付与する不純物元素（本実施の形態ではリンを用いる）が含まれており、半導体膜405aの不

10

20

30

40

50

純物元素の濃度は、半導体膜 405b より低くなるように形成されている。前記不純物元素は、CVD 法などによって、不純物元素を含むように半導体膜を形成しても良いし、半導体膜を形成後に、イオンドーピング法などによって添加してもよい。また、本実施の形態において、非晶質半導体膜 404、半導体膜 405a、半導体膜 405b は、同チャンバー内で真空を破らずに同一温度（本実施の形態では 330 ）下で、反応ガスを切り変えながら連続的に形成する。非晶質半導体膜 404 を成膜後、半導体膜 405a、半導体膜 405b を形成する。

【0056】

このときの n 型を付与する不純物元素が含まれる半導体膜の不純物のプロファイルを図 37 に示す。図 37 (A) は、結晶性半導体膜 903 上に、プラズマ CVD 法により n 型を付与する不純物元素が含まれる半導体膜 901a、901b を形成した時の n 型を付与する不純物元素のプロファイル 900a を示す。半導体膜 901a、半導体膜 901b は、半導体膜 405a、半導体膜 405b と対応しており、半導体膜 901a は n 型の低濃度不純物領域（n - 領域ともいう）として形成され、半導体膜 901b は n 型の高濃度不純物領域（n + 領域ともいう）として形成されている。よって半導体膜 901a、半導体膜 901b のそれぞれの膜において深さ方向に対して一定の濃度の n 型を付与する不純物元素が分布しており、半導体膜 901a の方が、半導体膜 901b より低い濃度で n 型を付与する不純物元素が分布している。n + 領域である半導体膜 901b は後にソース領域及びドレイン領域として機能し、n - 領域である半導体膜 901a は LDD (Lightly Doped Drain) 領域として機能する。なお、n + 領域と n - 領域はそれぞれ作り分けているので界面が存在する。n + 領域と n - 領域の膜厚制御は、それぞれ各濃度の半導体膜の膜厚を制御することによって達成できる。

【0057】

図 37 (A) で形成した半導体膜 901a 及び半導体膜 901b に p 型を付与する不純物元素としてボロンをイオンドープ法又はイオン注入法によって添加して半導体膜 911 を形成した時の p 型を付与する不純物元素のプロファイル 913 を図 38 (A) に示す。p 型を付与する不純物元素の濃度の方が、n 型を付与する不純物元素の濃度より高く、半導体膜 911 は p 型のを有する半導体膜となっているのがわかる。また、p 型を付与する不純物元素は、チャネルドープされるため、結晶性半導体膜 903 にも添加されている。図 38 (A) に示すように、半導体膜 911 の表面付近は、p 型を付与する不純物元素濃度が比較的高い p 型の不純物領域（p + 領域ともいう）912b となっており、一方、結晶性半導体膜 903 に近づくにつれ、p 型を付与する不純物元素濃度が比較的に減少しており p 型の低濃度不純物領域（p - 領域ともいう）912a となっている。

【0058】

一方、図 37 (B) は、結晶性半導体膜 903 上に、非晶質半導体、SAS、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜の半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜に n 型を付与する不純物元素を添加して半導体膜 902 を形成した時の n 型を付与する不純物元素のプロファイル 900b を示す。図 37 (B) に示すように、半導体膜 902 の表面付近は、n 型を付与する不純物元素濃度が比較的高い。n 型を付与する不純物元素濃度が $1 \times 10^{19} / \text{cm}^3$ 以上の領域を n 型の高濃度不純物領域（n + 領域ともいう）904b と示す。一方、結晶性半導体膜 903 に近づくにつれ、n 型を付与する不純物元素濃度が比較的に減少している。n 型を付与する不純物元素濃度が $5 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ の領域を n 型の低濃度不純物領域（n - 領域ともいう）904a と示す。n + 領域 904b は後にソース領域及びドレイン領域として機能し、n - 領域 904a は LDD 領域として機能する。なお、n + 領域と n - 領域それぞれの界面は存在せず、相対的な n 型を付与する不純物元素濃度の濃度の大小によって変化する。このようにイオンドープ法又はイオン注入法により形成された n 型を付与する不純物元素が含まれる半導体膜 902 は、添加条件によって濃度プロファイルを制御することが可能であり、n + 領域と n - 領域の膜厚を適宜制御することが可能である。n + 領域と n - 領域を有することにより電界の緩和効果が大きくなり、ホットキャリ

ア耐性を高めた薄膜トランジスタを形成することが可能となる。

【0059】

図37(B)で形成した半導体膜902にp型を付与する不純物元素としてボロンをイオンドーブ法又はイオン注入法によって添加して半導体膜921を形成した時のp型を付与する不純物元素のプロファイル923を図38(B)に示す。p型を付与する不純物元素の濃度の方が、n型を付与する不純物元素の濃度より高く、半導体膜921はp型を有する半導体膜(p型の不純物領域を有する半導体膜ともいえる)となっているのがわかる。また、p型を付与する不純物元素は、チャネルドーブされるため、結晶性半導体膜903にも添加されている。図38(B)に示すように、半導体膜921の表面付近は、p型を付与する不純物元素濃度が比較的高いp型の不純物領域(p+領域ともいう)922bとなっており、一方、結晶性半導体膜903に近づくにつれ、p型を付与する不純物元素濃度が比較的に減少しておりp型の低濃度不純物領域(p-領域ともいう)922aとなっている。また、n型を付与する不純物元素の添加工程で、その添加条件によって、膜表面の不純物元素濃度が高くなっている場合がある。このような場合は、膜表面を薄くエッチングし、高不純物元素濃度領域の膜を除去してから、p型を付与する不純物元素を添加する工程を行えばよい。

【0060】

本実施の形態では、半導体膜405a、半導体膜405bとして、n型を付与する不純物元素(ドナー型元素)であるリンを含むn型を有する半導体膜をプラズマCVD法によって形成する。また、半導体膜405a、半導体膜405bに含まれるn型を付与する不純物元素の濃度を異ならせているので、半導体膜405aはn型の低濃度不純物領域となり、半導体膜405bはn型の高濃度不純物領域となっている。n型の低濃度不純物領域の不純物濃度は、 $1 \times 10^{17} \sim 3 \times 10^{19} / \text{cm}^3$ 、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ 、n型の高濃度不純物領域の不純物濃度は、その10倍から100倍が好ましく、 $1 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ とすることができる。またn型の低濃度不純物領域である半導体膜405aの膜厚は20~200nm、代表的には50~150nmであり、本実施の形態では、膜厚50nmで形成する。n型の高濃度不純物領域である半導体膜405bの膜厚は30~100nm、代表的には40~60nmであり、本実施の形態では、膜厚50nmで形成する。

【0061】

その後、熱処理を行い、非晶質半導体膜を結晶化して結晶性半導体膜406の形成と、結晶性半導体膜406中の金属元素を低減、又は除去するためにゲッタリング工程を同時に行なう。この場合、結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。ここでは、脱水素化のための熱処理の後、結晶化とゲッタリング工程のための熱処理(550~650で5分~24時間)を行う。また、RTA、GRTAにより結晶化とゲッタリング工程を行っても良い。ここで、加熱にレーザ光照射を行わず結晶化することで、結晶性のばらつきを低減することが可能であり、後に形成されるTFETのばらつきを抑制することが可能である。又、本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして結晶性半導体膜406に接して形成しているため、金属元素は、図8(C)に示すように、矢印の方向へ加熱処理によって移動し、半導体膜405a、半導体膜405b中に捕獲される。半導体膜405a、半導体膜405bは金属元素を含む半導体膜408a、半導体膜408bとなる。本実施の形態では半導体膜408a、半導体膜408bにはn型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。この工程により、結晶性半導体膜406中の結晶化を促進させる元素(本実施の形態ではニッケル元素)がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。また、ゲッタリング後の金属触媒が移動した半導体膜408a、半導体膜408bも加熱処理により結晶化される場合がある。なお、本実施の形態においては、ゲッタリング工程と共に、半導体膜408a、半導体膜408b中のn型を付与する不純物元素(ドナー型元素)の活性化を行っている。熱処

理は窒素雰囲気下で行ってもよい。また、本実施の形態では、熱処理を550で4時間行うが、熱処理をRTA法により650で6分間で行ってもよい。

【0062】

このようにして得られた結晶性半導体膜406に対して、薄膜トランジスタのしきい値電圧を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。この不純物元素のドーピングは、結晶化工程の前の非晶質半導体膜に行ってもよいし、結晶性半導体膜406中の金属元素をゲッタリング工程によって軽減、除去した後行ってもよい。本実施の形態ではジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。なお、質量分離を行うイオン注入法を用いてもよい。非晶質半導体膜の状態の不純物元素をドーピングすると、その後の結晶化のための加熱処理によって、不純物の活性化も行うことができる。また、ドーピングの際に生じる欠陥等も改善することができる。

10

【0063】

次に結晶性半導体膜406、半導体膜408a、半導体膜408b上にフォトリソ工程を用いてレジストからなるマスクを形成し、微細に加工されたマスクを用いて結晶性半導体膜406、半導体膜408a、半導体膜408bをパターンニングし、結晶性半導体層106、半導体層107a、半導体層107bを形成する。本実施の形態では、フォトマスクを作製し、フォトリソグラフィ法を用いたパターンニング処理により、結晶性半導体層106、n型を有する半導体層107a、n型を有する半導体層107bを形成する（図4参照）。フォトマスクはマスク102aを形成したときと同様にフォトリソ工程によって微細なパターンのマスクを形成すればよい。微細なパターンのマスクによって半導体膜は微細かつ精巧に所望な形状にパターンニングすることができる。

20

【0064】

パターンニングの際のエッチング加工は、プラズマエッチング（ドライエッチング）又はウエットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。エッチングガスとしては、 CF_4 、 NF_3 、 SF_6 、 CHF_3 などのフッ素系又は Cl_2 、 BCl_3 、 $SiCl_4$ もしくは CCl_4 などを代表とする塩素系ガス、あるいは O_2 のガスを用い、HeやArなどの不活性ガスを適宜加えてもよい。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

30

【0065】

なお、以下の実施形態及び実施例のフォトリソグラフィ工程において、レジストを塗布する前に、半導体膜表面に、膜厚が数nm程度の絶縁膜を形成することが好ましい。この工程により半導体膜とレジストとが直接接触すること回避することが可能であり、不純物が半導体膜中に侵入するのを防止できる。なお、絶縁膜の形成方法としては、オゾン水等の酸化力のある溶液を塗布する方法、酸素プラズマ、オゾンプラズマを照射する方法等が挙げられる。

【0066】

次に導電膜をスパッタリング法により形成し、導電膜上にフォトリソ工程を用いてレジストからなるマスクを形成する。マスクを用いて、ソース電極層又はドレイン電極層130、ソース電極層又はドレイン電極層108、容量配線層104を形成し、該ソース電極層又はドレイン電極層130、ソース電極層又はドレイン電極層108をマスクとして、結晶性半導体層106、n型を有する半導体層107a及びn型を有する半導体層107bをパターン加工して、半導体層115、n型を有する半導体層116a、n型を有する半導体層116b、n型を有する半導体層117a、n型を有する半導体層117bを形成する（図5参照）。ソース電極層又はドレイン電極層130、ソース電極層又はドレイン電極層108を形成する工程も、前述したゲート電極層103とを形成したときと同様に形成することができる。ソース電極層又はドレイン電極層130は配線層としても機能する。

40

【0067】

50

ソース電極層又はドレイン電極層 130、ソース電極層又はドレイン電極層 108 を形成する導電性材料としては、Ag (銀)、Au (金)、Cu (銅)、W (タングステン)、Al (アルミニウム) 等を主成分とした金属を用いることができる。また、透光性を有するインジウム錫酸化物 (ITO)、インジウム錫酸化物と酸化珪素からなる ITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0068】

ソース電極層又はドレイン電極層の形成方法について用いて説明する。ソース電極層又はドレイン電極層 130 及びソース電極層又はドレイン電極層 108 は、微細なパターンで形成されており、制御性よく形成しなければ形成不良によるショート等の不良を引き起こす。よって、本実施の形態では、半導体層上の微細なパターンニングはフォトリソグラフィ法を用いたパターンニング処理により行う。図 4 で示すように、基板上にゲート電極層、ゲート絶縁膜、半導体層、n 型を有する半導体層が形成されており、これらを覆うように導電膜を全面に形成する。導電膜は蒸着法、CVD 法、スパッタ法などによって形成することができる。その後、レジストからなるマスクを形成する。レジストからなるマスクに、光を照射し、露光することによって感光を行なう。本実施の形態ではポジ型の感光性のレジストを用いるため、露光された領域はエッチャントによって除去され、開口部が形成される。開口部を有するマスクを用いて導電膜をエッチングによりパターンニングすることによって、ソース電極層又はドレイン電極層 130、ソース電極層又はドレイン電極層 108 が形成される。

10

【0069】

ソース電極層又はドレイン電極層、半導体層、ゲート電極層、ゲート絶縁膜を覆うようにパッシベーション膜となる絶縁膜 109 を成膜することが好ましい。絶縁膜 109 は、プラズマ CVD 法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドカーボン (DLC)、窒素含有炭素 (CN)、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。ここでは、半導体層 115 の界面特性から酸化珪素、又は酸化窒化珪素を形成したのち、外部からの不純物が半導体素子内に侵入するのを防ぐため窒化珪素、又は窒化酸化珪素を形成する積層構造が好ましい。本実施の形態では、半導体層 115 に接して、酸化珪素膜を膜厚 150 nm 形成した後、同チャンバー内でガス切り替えを行い連続的に窒化珪素膜を膜厚 200 nm 形成する積層構造で絶縁膜 109 を形成する。

20

30

【0070】

この後、半導体層 115 を水素雰囲気又は窒素雰囲気で加熱して水素化することが好ましい。なお、窒素雰囲気で加熱する場合は、絶縁膜 109 として水素を含む絶縁膜を形成することが好ましい。

【0071】

次に、絶縁膜 110 を形成する。本実施の形態では、絶縁膜 110 を全面に形成し、レジスト等のマスクによって、エッチングしパターンニングする。

【0072】

絶縁膜 110 は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、ダイヤモンドカーボン (DLC)、窒素含有炭素膜 (CN) その他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド (polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール (polybenzimidazole)、ベンゾシクロブテン、ポリシラザンなどの有機絶縁性材料、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうち Si-O-Si 結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成してもよい。

40

【0073】

本実施の形態では、絶縁膜 110 の材料としては、シリコン (Si) と酸素 (O) と

50

の結合で骨格構造が構成され、置換基に水素、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも１種を有する材料を用いた塗布膜を用いる。焼成した後の膜は、アルキル基を含む酸化珪素膜（ SiO_x ）とも呼べる。

【００７４】

絶縁膜１０９及び絶縁膜１１０にソース電極層又はドレイン電極層１０８に達する開口部１３５と、ゲート絶縁膜１０５a、ゲート絶縁膜１０５b、ゲート絶縁膜１０５c、絶縁膜１０９、絶縁膜１１０に、画素電極層１１１に達する開口部１３６、ゲート電極層１０３に達する開口部１３７を形成する。この開口部もレジストからなるマスクを用いてエッチングし形成する。パターンングに用いるマスクは、フォトリソ工程を用いて形成する。このようにして形成した開口部１３５及び開口部１３７に配線層１１３を形成し、ソース電極層又はドレイン電極層１０８と画素電極層１１１を電氣的に接続する。また、開口部１３７にもゲート電極層１０３と電氣的に接続するようにゲート配線層１１２を形成する。ゲート配線層１１２を低抵抗な材料によって形成することで、ゲート電極層１０３が多少高抵抗の材料であっても、高速動作が可能となり、大きな電流も流すことができる。

10

【００７５】

以上の工程により、基板１００上にボトムゲート型（逆スタガ型ともいう。）の薄膜トランジスタと画素電極が接続された液晶表示パネル用のＴＦＴ基板が完成する（図６参照）。また本実施の形態の薄膜トランジスタはチャンネルエッチ型である。

【００７６】

次に、図１に示すように、画素電極層１１１を覆うように、印刷法やスピンコート法により、配向膜と呼ばれる絶縁膜１１４を形成する。図１は図２乃至６で示した上面図の線Ａ—Ｂによる断面図であり、液晶表示パネルの完成図である。なお、絶縁膜１１４は、スクリーン印刷法やオフセット印刷法を用いれば、選択的に形成することができる。その後、ラビングを行う。続いて、シール材を液滴吐出法により画素を形成した周辺の領域に形成する（図示せず。）。

20

【００７７】

その後、配向膜として機能する絶縁膜１２１、カラーフィルタとして機能する着色層１２２、対向電極として機能する導電体層１２３、偏光板１２５aが設けられた対向基板１２４とＴＦＴを有する基板１００とをスペーサを介して貼り合わせ、その空隙に液晶層１２０を設けることにより液晶表示パネルを作製することができる（図１参照。）。また、基板１００にもＴＦＴを有する面とは反対側の面に偏光板１２５bが設けられている。シール材にはフィラーが混入されていても良く、さらに対向基板１２４には、遮蔽膜（ブラックマトリクス）などが形成されていても良い。なお、液晶層を形成する方法として、ディスペンサ式（滴下式）や、対向基板１２４を貼り合わせてから毛細管現象を用いて液晶を注入するディップ式（汲み上げ式）を用いることができる。

30

【００７８】

ディスペンサ方式を採用した液晶滴下注入法を図２２を用いて説明する。図２２において、４０は制御装置、４２は撮像手段、４３はヘッド、３３は液晶、３５、４１はマーカー、３４はバリア層、３２はシール材、３０はＴＦＴ基板、２０は対向基板である。シール材３２で閉ループを形成し、その中にヘッド４３より液晶３３を１回若しくは複数回滴下する。ヘッド４３は複数のノズルを備えており、一度に多量の液晶材料を滴下することができるためスループットが向上する。そのとき、シール材３２と液晶３３とが反応することを防ぐため、バリア層３４を設ける。続いて、真空中で基板を貼り合わせ、その後紫外線硬化を行って、液晶が充填された状態とする。

40

【００７９】

以上の工程で形成された画素部と外部の配線基板を接続するために接続部を形成する。大気圧又は大気圧近傍下で、酸素ガスを用いたアッシング処理により、接続部の絶縁体層を除去する。この処理は、酸素ガスと、水素、 CF_4 、 NF_3 、 H_2O 、 CHF_3 から選択された一つ又は複数とを用いて行う。本工程では、静電気による損傷や破壊を防止するため

50

に、対向基板を用いて封止した後に、アッシング処理を行っているが、静電気による影響が少ない場合には、どのタイミングで行っても構わない。

【0080】

続いて、異方性導電体層を介して、液晶表示装置内の配線層が電氣的に接続するように、接続用の配線基板を設ける。配線基板は、外部からの信号や電位を伝達する役目を担い、FPC (Flexible printed circuit) などを用いることができる。上記工程を経て、チャネルエッチ型のスイッチング用TFTと容量素子を含む液晶表示パネルが完成する。容量素子は、容量配線層104とゲート絶縁膜105a、ゲート絶縁膜105b、ゲート絶縁膜105cと画素電極層111とで形成される。

【0081】

液晶表示装置内の配線層とFPCは端子電極層を用いて接続され、端子電極層はゲート電極層と同材料及び同工程、ソース電極層及びドレイン電極層を兼ねるソース配線層と同材料及び同工程、ゲート配線層と同材料同工程で、それぞれ作製することができる。FPCと液晶表示装置内の配線層との接続例を図42を用いて説明する。

【0082】

図42において、基板1上に薄膜トランジスタ9及び画素電極層6が形成され、シール材3で対向基板8と張り合わされている。液晶表示装置内から延長してシール材外部に形成される配線層とFPC2b及びFPC2aは異方性導電膜7a、異方性導電膜7bによって接着されている。

【0083】

図42(A1)、(B1)、(C1)は液晶表示装置の上面図であり、図42(A2)、(B2)、(C2)は図42(A1)、(B1)、(C1)における線O-P、線R-Qの断面図である。図42(A1)、(A2)において、端子電極層5a及び端子電極層5bはゲート電極層と同材料同工程で形成されている。端子電極層5aにシール材外部に延長して形成されたソース配線層4aが接続され、端子電極層5aとFPC2aとが異方性導電膜7aを介して接続されている。一方端子電極層5bにシール材外部に延長して形成されたゲート配線層4bが接続され、端子電極層5bとFPC2bとが異方性導電膜7bを介して接続されている。

【0084】

図42(B1)、(B2)において、端子電極層55a及び端子電極層55bはソース配線層と同材料同工程で形成されている。端子電極層55aはシール材外部に延長して形成されたソース配線層で形成され、端子電極層55aとFPC2aとが異方性導電膜7aを介して接続されている。一方、端子電極層55bにシール材外部に延長して形成されたゲート配線層54bが接続され、端子電極層55bとFPC2bとが異方性導電膜7bを介して接続されている。

【0085】

図42(C1)、(C2)において、端子電極層64a及び端子電極層64bはゲート配線層と同材料同工程で形成されている。シール材外部に延長して形成されたソース配線層65aに端子電極層64aが接続され、端子電極層64aとFPC2aとが異方性導電膜7aを介して接続されている。一方、端子電極層64bはシール材外部に延長して形成されたゲート配線層で形成され、端子電極層64bとFPC2bとが異方性導電膜7bを介して接続されている。

【0086】

本実施の形態では、スイッチングTFTはシングルゲート構造を示したが、ダブルゲート構造などのマルチゲート構造でもよい。

【0087】

以上の工程により、結晶性半導体膜を有する逆スタガ型薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度($2 \sim 50 \text{ cm}^2 / \text{Vs e c}$ 程度)が高い。また、ソース領域及びドレイン領域には、一導電型を付与する

10

20

30

40

50

不純物元素に加え、金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な液晶表示装置を作製することが可能である。よってOCBモードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。

【0088】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。

【0089】

また、非晶質半導体膜の結晶化とゲッタリング工程を同時に行うことにより、工程の短縮化が可能である。

10

【0090】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能である。このため、このようなTFTを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【0091】

(実施の形態2)

本発明の実施の形態について、図9を用いて説明する。本実施の形態は、実施の形態1において、金属膜の形成箇所が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

20

【0092】

基板700上にゲート電極層701を形成し、ゲート電極層701を覆うようにゲート絶縁膜702a、ゲート絶縁膜702b及び、ゲート絶縁膜702cを形成する。ゲート絶縁膜702c上に非晶質半導体膜703を形成し、結晶化を助長する元素を有する金属膜704を形成する(図9(A)参照)。次に、金属膜704上に不純物を有する半導体膜705a、半導体膜705bを形成する(図9(B)参照)。本実施の形態では、半導体膜705a、半導体膜705bとして、n型を付与する不純物元素(ドナー型元素)であるリンを含むn型を有する半導体膜をプラズマCVD法によって形成する。また、半導体膜705aは低濃度不純物を付与しており後にLDD領域として機能し、半導体膜705bは高濃度不純物を付与しており後にソース領域及びドレイン領域として機能する。

30

【0093】

その後、熱処理により、非晶質半導体膜703を結晶化して結晶性半導体膜706の形成と、結晶性半導体膜706中の金属元素を低減、又は除去するためにゲッタリング工程を同時に行なう。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして結晶性半導体膜706に接して形成しているため、加熱処理により金属元素は、図9(C)に示すように、矢印の方向へ加熱処理によって移動し、半導体膜705a、半導体膜705b中に捕獲される。半導体膜705a、半導体膜705bは金属元素を含む半導体膜707a、半導体膜707bとなる。本実施の形態では半導体膜707a、半導体膜707bにはn型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。

【0094】

40

次に、結晶性半導体膜706、半導体膜707a、半導体膜707bをフォトリソ工程を用いてパターンニングし、結晶性半導体層708、半導体層709a、半導体層709bを形成する。その後、半導体層709b上に導電膜710を形成し、フォトリソ工程を用いてレジストによるマスク711a、マスク711bを形成する(図9(D)参照)。マスク711a、マスク711bを介して導電膜710をパターンニングし、ソース電極層又はドレイン電極層712a、ソース電極層又はドレイン電極層712bを形成する。

【0095】

ソース電極層又はドレイン電極層712a、ソース電極層又はドレイン電極層712bをマスクとしてn型を有する半導体膜及び結晶性半導体膜をエッチングし、半導体層713、ソース領域またはドレイン領域として機能するn型を有する半導体層714b、半

50

導体層 715b、LDDとして機能するn型を有する半導体層 714a、半導体層 715aが形成される(図9(E)参照。)。

【0096】

以上の工程で、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行うことが出来、金属元素の軽減された半導体層を有する薄膜トランジスタを形成することができる。

【0097】

本実施の形態は、実施の形態1と組み合わせて用いることが可能である。

【0098】

(実施の形態3)

本発明の実施の形態について、図10を用いて説明する。本実施の形態は、実施の形態1において、チャネル保護型の薄膜トランジスタを有する液晶表示装置の例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0099】

基板 720上にゲート電極層 721を形成し、ゲート電極層 721を覆うようにゲート絶縁膜 722a、ゲート絶縁膜 722b及び、ゲート絶縁膜 722cを形成する。ゲート絶縁膜 722c上に結晶化を助長する元素を有する金属膜 723を形成し、非晶質半導体膜 724を形成する(図10(A)参照)。非晶質半導体膜 724上にチャネル保護膜を形成し、フォトリソ工程を用いてチャネル保護膜のパターニングを行い、チャネル保護層 725を形成する。チャネル保護膜には、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)などを適宜用いることができる。チャネル保護層 725を形成することにより、ソース電極層、ドレイン電極層を形成する際にチャネル部の半導体層のエッチングを防ぐことが出来る。本実施例では、チャネル保護膜に窒化珪素を成膜して、チャネル保護層 725を形成する(図10(B)参照)。

【0100】

次に、不純物を有する半導体膜 726a、半導体膜 726bを形成する(図10(C)参照)。本実施の形態では、半導体膜 726a、半導体膜 726bとして、n型を付与する不純物元素(ドナー型元素)であるリンを含むn型を有する半導体膜をプラズマCVD法によって形成する。また、半導体膜 726aは低濃度不純物を付与しており、後にLD 30

【0101】

その後、熱処理により、非晶質半導体膜を結晶化して結晶性半導体膜 727の形成と、結晶性半導体膜 727中の金属元素を低減、又は除去するためのゲッタリング工程を同時に行なう。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして結晶性半導体膜 727に接して形成しているため、加熱処理により金属元素は、図10(D)に示すように、矢印の方向へ加熱処理によって移動し、半導体膜 726a、半導体膜 726b中に捕獲される。半導体膜 726a、半導体膜 726bは金属元素を含む半導体膜 728a、半導体膜 728bとなる。本実施の形態では半導体膜 728a、半導体膜 728bにはn型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。 40

【0102】

次に、結晶性半導体膜 727、半導体膜 728a、半導体膜 728bをフォトリソ工程を用いてレジストによるマスクを作製し、マスクを用いてパターニングし、結晶性半導体層 729、半導体層 730a、半導体層 730bを形成する。その後、半導体層 730b上に導電膜 731を形成し、フォトリソ工程を用いてレジストによるマスク 732a、マスク 732bを形成する(図10(E)参照)。マスク 732a、マスク 732bを介して導電膜 731をパターニングし、ソース電極層又はドレイン電極層 733a、ソース電極層又はドレイン電極層 733bを形成する。

【0103】

10

20

30

40

50

ソース電極層又はドレイン電極層 733a、ソース電極層又はドレイン電極層 733b をマスクとして n 型を有する半導体膜をエッチングし、ソース領域またはドレイン領域として機能する n 型を有する半導体層 735b、半導体層 736b、LDD として機能する n 型を有する半導体層 735a、半導体層 736a が形成される (図 10 (F) 参照)。

【0104】

以上の工程で、チャネル部の半導体層がエッチングされない薄膜トランジスタを作製することが出来る。又、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行うことにより、工程を短縮して、金属元素の軽減された半導体層を有する薄膜トランジスタを形成することができる。

10

【0105】

この後、実施の形態 1 と同様の工程により、基板 720 上にボトムゲート型 (逆スタガ型ともいう。) の薄膜トランジスタと画素電極が接続された液晶表示パネル用の TFT 基板が完成する (図 7 参照)。なお、本実施の形態の薄膜トランジスタはチャネル保護型である。

【0106】

(実施の形態 4)

本発明の実施の形態について、図 11 を用いて説明する。本実施の形態は、実施の形態 2 において、チャネル保護型の薄膜トランジスタを有する液晶表示装置の例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

20

【0107】

基板 740 上にゲート電極層 741 を形成し、ゲート電極層 741 を覆うようにゲート絶縁膜 742a、ゲート絶縁膜 742b 及び、ゲート絶縁膜 742c を形成する。ゲート絶縁膜 742c 上に非晶質半導体膜 743 を形成し、結晶化を助長する元素を有する金属膜 744 を形成する (図 11 (A) 参照)。非晶質半導体膜 743 上にチャネル保護膜を形成し、フォトリソ工程を用いてチャネル保護膜のパターニングを行い、チャネル保護層 745 を形成する。チャネル保護膜には、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) などを適宜用いることができる。チャネル保護層 745 を形成することにより、ソース電極層、ドレイン電極層を形成する際にチャネル部の半導体層のエッチングを防ぐことが出来る。本実施例では、チャネル保護膜に窒化珪素を成膜して、チャネル保護層 745 を形成する (図 11 (B) 参照)。

30

【0108】

次に、不純物を有する半導体膜 746a、半導体膜 746b を形成する (図 11 (C) 参照)。本実施の形態では、半導体膜 746a、半導体膜 746b として、n 型を付与する不純物元素 (ドナー型元素) であるリンを含む n 型を有する半導体膜をプラズマ CVD 法によって形成する。また、半導体膜 746a は低濃度不純物を付与しており、後に LDD 領域として機能し、半導体膜 746b は高濃度不純物を付与しており、後にソース領域及びドレイン領域として機能する。

【0109】

40

その後、熱処理により、非晶質半導体膜を結晶化して結晶性半導体膜 747 の形成と、結晶性半導体膜 747 中の金属元素を低減、又は除去するためのゲッタリング工程を同時に行なう。本実施の形態では、不純物を有する非晶質半導体膜をゲッタリングシンクとして結晶性半導体膜 747 に接して形成しているため、加熱処理により金属元素は、図 11 (D) に示すように、矢印の方向へ加熱処理によって移動し、半導体膜 746a、半導体膜 746b 中に捕獲される。半導体膜 746a、半導体膜 746b は金属元素を含む半導体膜 748a、半導体膜 748b となる。本実施の形態では半導体膜 748a、半導体膜 748b には n 型を付与する不純物元素と、結晶化を助長する金属元素が含まれる。

【0110】

次に、結晶性半導体膜 747、半導体膜 748a、半導体膜 748b をフォトリソ工

50

程を用いてレジストによるマスクを作製し、マスクを用いてパターンニングし、結晶性半導体層 749、半導体層 750a、半導体層 750b を形成する。その後、半導体層 750b 上に導電膜 751 を形成し、フォトリソ工程を用いてレジストによるマスク 752a、マスク 752b を形成する（図 11（E）参照）。マスク 752a、マスク 752b を介して導電膜 751 をパターンニングし、ソース電極層又はドレイン電極層 753a、ソース電極層又はドレイン電極層 753b を形成する。

【0111】

ソース電極層又はドレイン電極層 753a、ソース電極層又はドレイン電極層 753b をマスクとして n 型を有する半導体膜をエッチングし、ソース領域またはドレイン領域として機能する n 型を有する半導体層 755b、半導体層 756b、LDD として機能する n 型を有する半導体層 755a、半導体層 756a が形成される（図 11（F）参照）。

10

【0112】

以上の工程で、チャネル部がエッチングされない薄膜トランジスタを作製することが出来る。又、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行うことにより、金属元素の軽減された半導体層を有する薄膜トランジスタを形成することができる。

【0113】

この後、実施の形態 1 と同様の工程により、基板 740 上にボトムゲート型（逆スタガ型ともいう。）の薄膜トランジスタと画素電極が接続された液晶表示パネル用の TFT 基板が完成する（図 7 参照）。また本実施の形態の薄膜トランジスタはチャネル保護型である。

20

【0114】

（実施の形態 5）

本発明の実施の形態について、図 12 を用いて説明する。本実施の形態は、実施の形態 1 において、結晶性半導体膜のゲッタリング工程が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0115】

基板 760 上にゲート電極層 761 を形成し、ゲート電極層 761 を覆うようにゲート絶縁膜 762a 及びゲート絶縁膜 762b を形成する。なお、図 12 に示すように、ゲート絶縁膜 762b 上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を 3 層構造とする。ゲート絶縁膜 762b 上に金属膜 763 を形成し、非晶質半導体膜 764 を形成する（図 12（A）参照）。結晶化を助長するための金属元素をゲッタリングするゲッタリング層として、希ガス元素を不純物元素として含む半導体層 765 を形成する（図 12（B）参照）。希ガス元素は、ヘリウム、アルゴン、キセノン、クリプトンなどを用いることができ、本実施の形態ではアルゴンを不純物元素として含んだ半導体膜を形成する。

30

【0116】

その後加熱処理により非晶質半導体膜 764 を結晶化し、結晶性半導体膜 766 を形成すると同時に、結晶性半導体膜 766 中に含まれる金属元素は図 12（C）の矢印の方向に移動し、半導体膜 765 中に捕獲され、半導体膜 765 は金属元素を有する半導体膜 775 となる。よって膜中に含まれる金属元素が軽減された結晶性半導体膜 766 が形成される。そして、ゲッタリングシンクとなっていた半導体膜 775、及び半導体膜 775 上に形成された酸化膜をフッ酸等により除去し、金属元素が低減、又は除去された結晶性半導体膜 766 を得ることができる。本実施の形態では、ゲッタリングシンクとなった半導体膜 775 の除去を TMAH（Tetramethyl ammonium hydroxide）を用いて行う。結晶性半導体膜 766 上に、図 12（D）に示すように一導電型を有する半導体膜 767 を形成し、結晶性半導体膜 766、半導体膜 767 をフォトリソ工程を用いてレジストによるマスクを作製し、マスクを用いてパターンニングし、結晶性半導体層 768、半導体層 769 を形成する。なお、本実施の形態では、一導電型を有する半導体膜 767 として n 型を有する半導体膜を形成する。その後、半導体層 769 上に導電膜 770 を形成し、フォトリ

40

50

ソ工程を用いてレジストによるマスク 771 a、マスク 771 b を用いてパターンニングした後、ソース電極層又はドレイン電極層 772 a、ソース電極層又はドレイン電極層 772 b を形成する（図 12（E）参照。）。

【0117】

ソース電極層又はドレイン電極層 772 a、ソース電極層又はドレイン電極層 772 b をマスクとして n 型を有する半導体膜及び結晶性半導体膜をエッチングし、半導体層 773 及びソース領域またはドレイン領域として機能する n 型を有する半導体層 774 a、n 型を有する半導体層 774 b が形成される（図 12（F）参照。）。

【0118】

以上の工程で、金属元素により結晶化した結晶性半導体膜のゲッタリングを同時に行うことにより、金属元素の軽減された半導体層を有し、かつソース領域またはドレイン領域として機能する一導電型を有する半導体層中に金属元素の含まれない薄膜トランジスタを形成することができる。

10

【0119】

本実施の形態は、実施の形態 1 と組み合わせて用いることが可能である。

【0120】

（実施の形態 6）

本発明の実施の形態として、図 13 を用いて説明する。本実施の形態は、n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタの 2 種類の薄膜トランジスタを製作する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

20

【0121】

基板 430 上にゲート電極層 431 a、ゲート電極層 431 b を形成しゲート絶縁膜 432 a、ゲート絶縁膜 432 b を形成する。なお、図 13 に示すように、ゲート絶縁膜 432 b 上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を 3 層構造とする。ゲート絶縁膜 432 b 上に金属膜 433 を形成する。金属膜 433 上に非晶質半導体膜 434 を形成し、n 型を有する半導体膜 435 を形成した後、加熱処理を行う。（図 13（A）参照。）。

【0122】

加熱処理により、非晶質半導体膜は結晶化され結晶性半導体膜が形成されると同時に、結晶性半導体膜中に含まれる金属元素はゲッタリングされ、矢印の方向に移動し n 型を有する半導体膜 437 中に捕獲され、結晶性半導体膜 436 が形成される。（図 13（B）参照。）。結晶性半導体膜 436 及び n 型を有する半導体膜 437 をパターンニングし、結晶性半導体層 438 a、結晶性半導体層 438 b を形成する。その後、結晶性半導体層 438 a 及び n 型を有する半導体層 439 を覆うマスク 440 a、結晶性半導体層 438 b 中のチャネル形成領域上の n 型を有する半導体層 446 を覆うマスク 440 b を形成し、p 型を付与する不純物元素 441 を n 型を有する半導体層に添加する。n 型を有する半導体層は、n 型を付与する不純物元素の濃度の 2 ~ 10 倍の濃度となるように p 型を付与する不純物元素を添加することによって、p 型を有する半導体層にその導電型が反転し、p 型の不純物領域 447 a、p 型の不純物領域 447 b を形成することができる（図 13（C）参照。）。

30

40

【0123】

ソース電極層又はドレイン電極層 442 a、ソース電極層又はドレイン電極層 442 b、ソース電極層又はドレイン電極層 442 c、ソース電極層又はドレイン電極層 442 d をフォトリソ工程によって形成する（図 13（D）参照。）。ソース電極層又はドレイン電極層 442 a、ソース電極層又はドレイン電極層 442 b、ソース電極層又はドレイン電極層 442 c、ソース電極層又はドレイン電極層 442 d をマスクとして、結晶性半導体層 438 a、結晶性半導体層 438 b、n 型を有する半導体層 439、n 型を有する半導体層 446 をエッチングし、半導体層 444 a、半導体層 444 b、n 型を有する半導体層 445 a、n 型を有する半導体層 445 b、p 型を有する半導体層 445 c、p 型を

50

有する半導体層 445d を形成することができる (図 13 (E) 参照。)。また、エッチングはドライエッチングでもウェットエッチングで行っても良く、ソース電極層又はドレイン電極層のエッチングをエッチャントによるウェットエッチングで行い、半導体層のエッチングをドライエッチングで行っても良い。また、ソース電極層及びドレイン電極層の HNO_3 溶液を用いたウェットエッチングを行い、その後 O_2 アッシングを行ってもよい。

【 0 1 2 4 】

以上の工程で同一基板上に、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタを形成することができる。

【 0 1 2 5 】

本実施の形態は、実施の形態 1、実施の形態 2、実施の形態 3、実施の形態 4 及び実施の形態 5 それぞれと組み合わせて用いることが可能である。

【 0 1 2 6 】

(実施の形態 7)

本発明の実施の形態として、図 14 を用いて説明する。本実施の形態は、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタの 2 種類の薄膜トランジスタを作製する例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【 0 1 2 7 】

基板 450 上にゲート電極層 451a、ゲート電極層 451b を形成しゲート絶縁膜 452a、ゲート絶縁膜 452b を形成する。なお、図 14 に示すように、ゲート絶縁膜 452b 上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を 3 層構造とする。ゲート絶縁膜 452b 上に金属元素 453 を添加し、非晶質半導体膜 454 を形成し、希ガス元素を不純物元素として含む半導体膜 456 を形成する (図 14 (A) 参照。)。次に、加熱処理を行い、非晶質半導体膜 454 を結晶化させ結晶性半導体膜 455 を形成すると同時に、結晶性半導体膜 455 中に含まれる金属元素のゲッタリングを行なう。加熱処理により、結晶性半導体膜 455 中に含まれる金属元素はゲッタリングされ、矢印の方向に希ガス元素を有する半導体膜 456 中に移動し捕獲され、結晶性半導体膜 455 が形成される。(図 14 (B) 参照。)。

【 0 1 2 8 】

ゲッタリングシンクとして用いた半導体膜 456 をエッチングによって除去する。結晶性半導体膜 455 をパターニングし、チャネル形成領域 457a を覆うマスク 458a、半導体層 457b を覆うマスク 458b を形成し、n型を付与する不純物元素 460 を添加し、n型の不純物領域 459a、n型の不純物領域 459b を形成する (図 14 (C) 参照。)。

【 0 1 2 9 】

マスク 458a、及びマスク 458b を除去し、新たにn型の不純物領域 459a、チャネル形成領域 457a、n型の不純物領域 459b を覆うマスク 461a、チャネル形成領域 465 を覆うマスク 461b を形成し、p型を付与する不純物元素 463 を添加する。p型を付与する不純物元素によってp型の不純物領域 462a、p型の不純物領域 462b を形成する (図 14 (D) 参照。)。n型の不純物領域 459a、n型の不純物領域 459b、p型の不純物領域 462a、p型の不純物領域 462b はソース領域またはドレイン領域として機能する。ソース領域又はドレイン領域に接してソース電極層又はドレイン電極層 464a、ソース電極層又はドレイン電極層 464b、ソース電極層又はドレイン電極層 464c、ソース電極層又はドレイン電極層 464d が形成される (図 14 (E) 参照。)。

【 0 1 3 0 】

以上の工程で同一基板上に、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタを形成することができる。実施の形態 6 と比べ成膜工程が削減できるため、スループットを向上させることが可能である。

【 0 1 3 1 】

10

20

30

40

50

(実施の形態 8)

本発明の実施の形態として、図 15 を用いて説明する。本実施の形態は、n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタの 2 種類の薄膜トランジスタを作製する例であり、ゲッタリングの工程が異なる例である。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0132】

基板 470 上にゲート電極層 471a、ゲート電極層 471b を形成しゲート絶縁膜 472a、ゲート絶縁膜 472b を形成する。なお、図 15 に示すように、ゲート絶縁膜 472b 上に膜厚の薄いゲート絶縁膜を形成し、ゲート絶縁層を 3 層構造とする。ゲート絶縁膜 472b 上に結晶を助長させる金属元素を有する金属膜を形成し、非晶質半導体膜を形成する。金属膜、非晶質半導体膜をパターンニングし、金属層 484a、金属層 484b、非晶質半導体層 473a、非晶質半導体層 473b を形成する (図 15 (A) 参照。)

10

【0133】

チャネル形成領域の非晶質半導体層 483a を覆うマスク 474a、チャネル形成領域の非晶質半導体層 483b を覆うマスク 474b を形成し、n 型を付与する不純物元素 476 を添加し、n 型の不純物領域 475a、n 型の不純物領域 475b、n 型の不純物領域 475c、n 型の不純物領域 475d を形成する (図 15 (B) 参照。)。その後加熱処理を行い、チャネル形成領域の非晶質半導体層 483a、チャネル形成領域の非晶質半導体層 483b を結晶化させ結晶性半導体層 478a、結晶性半導体層 478b を形成すると同時に、チャネル形成領域である結晶性半導体層 478a、チャネル形成領域である結晶性半導体層 478b に含まれる金属元素はゲッタリングされ、それぞれ矢印の方向に n 型の不純物領域 477a、n 型の不純物領域 477b、n 型の不純物領域 477c、n 型の不純物領域 477d に移動し捕獲され、金属元素が除去、軽減されたチャネル形成領域である結晶性半導体層 478a、チャネル形成領域である結晶性半導体層 478b が形成される (図 15 (C) 参照。)。また、この熱処理によって、添加された n 型を付与する不純物元素の活性化も行うことができる。

20

【0134】

n 型の不純物領域 477a、チャネル形成領域 478a、n 型の不純物領域 477b を覆うマスク 479a、チャネル形成領域 478b を覆うマスク 479b を形成し、p 型を付与する不純物元素 481 を添加する。p 型を付与する不純物元素によって p 型の不純物領域 480a、p 型の不純物領域 480b を形成する (図 15 (D) 参照。)。n 型の不純物領域 477a、n 型の不純物領域 477b、p 型の不純物領域 480a、p 型の不純物領域 480b はソース領域またはドレイン領域として機能する。ソース領域又はドレイン領域に接してソース電極層又はドレイン電極層 482a、ソース電極層又はドレイン電極層 482b、ソース電極層又はドレイン電極層 482c、ソース電極層又はドレイン電極層 482d が形成される (図 15 (E) 参照。)。

30

【0135】

以上の工程で同一基板上に、n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタを形成することができる。実施の形態 7 と比べ成膜工程が削減できるため、スループットを向上させることが可能である。

40

【0136】

(実施の形態 9)

本実施の形態を、図 16 乃至 21 を用いて説明する。本実施の形態は、画素領域を実施の形態 1 で作製した画素領域で、画素が有する薄膜トランジスタがマルチゲート型である場合を適用したものである。また、周辺駆動回路領域も本発明を用いた薄膜トランジスタにより作製され、実施の形態 6 で作製される n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタからなる CMOS を適用している。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0137】

50

図 19 は本実施の形態で作製する液晶表示装置の画素領域の上面図であり、図 16 乃至図 19、図 20 (B) は、各工程の図 21 におけるの線 E - F、G - H の断面図である。また、図 16 乃至図 19 における I - J の領域は、図 20 (A) の液晶表示装置の周辺駆動回路領域である線 I - J び対応する断面図である。

【0138】

偏光板 376、基板 300 上に導電膜を形成し、レジストからなるマスクによってパターンニングを行い、ゲート電極層 301、ゲート電極層 302、ゲート電極層 303a、ゲート電極層 303b、ゲート電極層 303c、画素電極層 304 を形成する。本実施の形態では、ゲート電極層を透明導電膜の単層で形成するが、積層構造としてもよい。積層構造としては、Ta、Ti、W、Mo、Cr、前記元素の窒化膜などの積層を用いることはでき、具体的には TaN\W、TaN\Mo、TaN\Cr、TiN\W、TiN\Mo、TiN\Cr などを用いることができる。本実施の形態では、スパッタリング法によって酸化珪素を含むインジウム錫酸化物 (ITO) を形成し、焼成してゲート電極層形成領域を含む近傍に導電膜を形成する。この導電膜をフォトリソ工程によって微細に加工されたマスクを用いて、精密にパターンニングし、ゲート電極層 301、ゲート電極層 302、ゲート電極層 303a、ゲート電極層 303b、ゲート電極層 303c、画素電極層 304 を形成する。

10

【0139】

ゲート電極層 301、ゲート電極層 302、ゲート電極層 303a、ゲート電極層 303b、ゲート電極層 303c、画素電極層 304 上にゲート絶縁膜を形成し、ゲート絶縁膜上に結晶化を促進、助長する元素として、金属膜 307 を形成する。金属膜 307 は非常に膜厚が薄いため膜としての形状を保っていない場合がある。本実施の形態では、Ni を 100ppm を含有した水溶液をスピンコーティング法により塗布し、金属膜 307 を形成する。金属膜 307 上に非晶質半導体膜 306 を形成する (図 16 (A) 参照。)。本実施の形態では、ゲート絶縁膜として、窒化珪素からなるゲート絶縁膜 305a と酸化珪素からなるゲート絶縁膜 305b を積層する。非晶質半導体膜 306 は非晶質珪素膜を用いる。なお、本実施形態においては実施の形態 1 で示したように、ゲート絶縁膜を 3 層構造としている。

20

【0140】

非晶質半導体膜 306 上に、n 型を有する半導体膜 308 を形成する。本実施の形態では、n 型を有する半導体膜 308 として、n 型を付与する不純物元素としてリン (P) を含む非晶質珪素膜をプラズマ CVD 法により 100nm 形成する (図 14 (B))。次に、非晶質半導体膜 306 を加熱し、結晶化させると同時に、n 型を有する半導体膜 308 をゲッタリングシンクとして金属元素をゲッタリングする (図 14 (C) 参照。)。加熱処理により、結晶性半導体膜中の金属元素は加熱処理により矢印の方向へ移動し、n 型を有する半導体膜 308 中に捕獲される。よって、非晶質半導体膜 306 は、膜中の金属元素が軽減された結晶性半導体膜 310 となり、n 型を有する半導体膜 308 は、n 型を付与する不純物元素 (本実施の形態では P) と金属元素 (本実施の形態では Ni) を含む n 型を有する半導体膜 311 となる。本実施の形態では、550 で 4 時間加熱処理を行い、結晶性半導体膜 310 の形成とゲッタリングを行なう。

30

40

【0141】

結晶性半導体膜 310 及び n 型を有する半導体膜 311 をパターンニングし、半導体層 312、半導体層 313、半導体層 314、n 型を有する半導体層 315、n 型を有する半導体層 316、及び n 型を有する半導体層 317 を形成することができる (図 17 (A) 参照。)。これらの半導体層のパターンニングも、フォトリソ工程を用いて形成されたレジストマスクを用いて、精密にパターンニングすることができる。

【0142】

次に、半導体層 312、n 型を有する半導体層 315 を覆うマスク 318a、半導体層 316 のチャネル形成領域及び n 型を有する半導体層 316 のチャネル形成領域を覆うマスク 318b、半導体層 314 及び n 型を有する半導体層 317 を覆うマスク 318c

50

を形成する。p型を付与する不純物元素319を添加し、p型を有する半導体層316中に、p型の不純物領域320a、p型の不純物領域320bを形成する(図17(B)参照)。本実施の形態では、イオンドーピング法を用いてp型を付与する不純物元素を添加する。その後、550で4時間加熱処理を行い、不純物元素の添加領域を活性化する。

【0143】

本実施の形態では、駆動回路領域において、CMOS構成を用いてインバーターとして機能させている。PMOSのみ、NMOSのみの構成の場合においては、一部のTFETのゲート電極層とソース電極層又はドレイン電極層とを接続させる。このような例を図39に示す。フォトリソを用いてゲート絶縁膜305a、ゲート絶縁膜305bの一部をエッチングして、図39に示すようなコンタクトホール890を形成する。本実施の形態では、画素電極層となる第1の電極層とソース電極層又はドレイン電極層との接続を、層間絶縁膜に形成するコンタクトホールを介して行うが、ソース電極層又はドレイン電極層と第1電極層を層間絶縁膜を介さないで接続してもよい。この場合、第1電極層に達する開口部を、コンタクトホール890と同時に形成することができる。その後、これらのコンタクトホールにソース電極層又はドレイン電極層を形成し、それぞれゲート電極層、又は第1電極層と電氣的に接続する。

ソース電極層又はドレイン電極層327bとゲート電極層302を接続することによって、後に形成する薄膜トランジスタ335と薄膜トランジスタ336とがNMOS同士、PMOS同士であってもインバーターとして機能させることができる。前述したように本実施の形態では、薄膜トランジスタ335と薄膜トランジスタ336とはCMOS構造となっているので、図39で示す。構造としなくてもインバーターとして機能させることができる。

【0144】

マスク318a、マスク318b及びマスク318cを除去した後、半導体層312、半導体層313及び半導体層314上に、導電膜を形成し、フォトリソ工程を用いて形成されたマスクを用い、パターンニングして導電層321a、導電膜321b、導電膜321c、導電層322a、導電膜322b、導電膜322c形成する(図17(C)参照)。また、同工程で、容量配線層となる導電層370も、画素電極層304上のゲート絶縁膜305b上に形成する。

【0145】

実施の形態1で、図7を用いて説明したように、導電層321、導電層322を精密にパターンニングし、ソース電極層又はドレイン電極層327a、ソース電極層又はドレイン電極層327b、ソース電極層又はドレイン電極層327c、ソース電極層又はドレイン電極層328a、ソース電極層又はドレイン電極層328b、ソース電極層又はドレイン電極層328c、容量配線層332を形成する。ソース電極層又はドレイン電極層327a、ソース電極層又はドレイン電極層327b、ソース電極層又はドレイン電極層327c、ソース電極層又はドレイン電極層328a、ソース電極層又はドレイン電極層328b、ソース電極層又はドレイン電極層328cを、マスクとして、半導体層312、半導体層313、半導体層314、n型を有する半導体層315、n型を有する半導体層316、及びn型を有する半導体層317をエッチングし、半導体層371、半導体層372、半導体層373、n型を有する半導体層324a、n型を有する半導体層324b、p型を有する半導体層325a、p型を有する半導体層325b、n型を有する半導体層326a、n型を有する半導体層326b、n型を有する半導体層326cを形成する。エッチングはドライエッチング又はウェットエッチングを用いることができる。本実施の形態では、ドライエッチング法を用いる。

【0146】

以上の工程で、CMOSを構成するnチャネル型薄膜トランジスタ335及びpチャネル型薄膜トランジスタ336、nチャネル型薄膜トランジスタ337、容量素子338を形成することができる(図18(A)参照)。本実施の形態ではCMOS構造としたが、本発

10

20

30

40

50

明はそれに限定されず、PMOS構造でもNMOS構造としてもよい。

【0147】

パッシベーション膜となる絶縁膜330を形成する。本実施の形態では、絶縁膜330を、半導体層に接する側から、膜厚150nmの酸化珪素膜と膜厚200nmの窒化珪素膜との積層膜で形成する。絶縁膜330は、他の珪素を含む膜で形成しても良く、酸化珪素膜の代わりに酸化窒化珪素膜を用い、酸化窒化珪素膜と窒化珪素膜の積層としてもよい。

【0148】

絶縁膜330には酸素を含ませるように形成し、温度300～500 窒素雰囲気下で加熱処理を行い、半導体層の水素化を行う。

10

【0149】

絶縁膜330上に絶縁膜339を形成する。本実施の形態では、スリッドコーターを用いて、アルキル基を含む酸化珪素膜を形成する。絶縁膜339、絶縁膜330にソース電極層又はドレイン電極層328bに達する開口部340aを、絶縁膜339、絶縁膜330、ゲート絶縁膜305a、ゲート絶縁膜305bに、画素電極層304に達する開口部340b及びゲート電極層303cに達する開口部340cを形成する(図18(B)参照。)。開口部を形成するパターンニングには、本発明のレーザ光による微細加工を用いることができる。また、本実施の形態では、ドライエッチングにより開口部を形成する。

【0150】

次にゲート配線層341及びゲート配線層342を形成する。本実施の形態では、ゲート配線層を、Ag(銀)を用いてスパッタリング法により絶縁膜339上に形成後、フォトリソ工程を用いてパターンニングし、ソース電極層又はドレイン電極層328bと画素電極層304を電氣的に接続するゲート配線層341と、ゲート電極層303cと電氣的に接続するゲート配線層342を形成する(図18(C)参照。)。 20

【0151】

ソース電極層又はドレイン電極層328bと画素電極層304を電氣的に接続するゲート配線層341又はゲート電極層303cと電氣的に接続するゲート配線層342を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等を主成分とした金属を用いることができる。また、透光性を有するインジウム錫酸化物(ITO)、インジウム錫酸化物と酸化珪素からなるITSO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。 30

【0152】

図21に実施の形態で作製する液晶表示装置の画素領域の上面図を示す。画素領域に設けられる薄膜トランジスタはマルチゲート型である。画素領域には、ゲート電極層303a、ゲート電極層303b、画素電極層304、半導体層373、ソース電極層又はドレイン電極層328a、ソース電極層又はドレイン電極層328b、ソース電極層又はドレイン電極層328c、容量配線層332、ゲート配線層342、ゲート配線層341である。

【0153】

次に、図19に示すように、画素電極層304を覆って、印刷法やスピンコート法により、配向膜と呼ばれる絶縁膜343を形成する。なお、絶縁膜343は、スクリーン印刷法やオフセット印刷法を用いれば、選択的に形成することができる。その後、ラビング処理を行う。続いて、シール材351を画素を形成した周辺の領域に形成する。 40

【0154】

その後、配向膜として機能する絶縁膜345、カラーフィルタとして機能する着色層346、対向電極として機能する導電体層347、偏光板350aが設けられた対向基板348と基板300とをスペーサ375を介して貼り合わせ、その空隙に液晶層344を設けることにより液晶表示パネルを作製することができる(図20。)。また、基板300にもTFEを有する面とは反対側の面に偏光板350bが設けられている。スペーサは、スペーサは数μmの粒子を散布して設ける方法でも良いが、本実施の形態では基板全面に 50

樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料を、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで150～200で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、スペーサの形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状などを用いることができ、特別な限定はない。シール材にはフィラーが混入されていても良く、さらに対向基板348には、遮蔽膜(ブラックマトリクス)などが形成されていても良い。また、液晶表示装置内部と外部を電氣的に接続するための端子電極層352に、異方性導電膜353によってFPC354が接着され、端子電極層352と電氣的に接続する。 10

【0155】

本実施の形態で示す図20の液晶表示装置は、ゲート電極層301、ゲート電極層302、ゲート電極層303a、ゲート電極層303b、画素電極層304を単層構造で示しているが、前述したように、ゲート電極層を2層以上の複数層積層してもよい。ゲート電極層及び容量配線層を積層構造にした例を図44に示す。

【0156】

積層構造としては、Ta、Ti、W、Mo、Cr、前記元素の窒化膜などの積層を用いることはでき、具体的にはTa_N、W、Ta_N、Mo、Ta_N、Cr、Ti_N、W、Ti_N、Mo、Ti_N、Crなどを用いることができる。本実施の形態では第1のゲート電極層301a、第1のゲート電極層302a、第1のゲート電極層303a1、第1のゲート電極層303b1、第1のゲート電極層303c1としてTa_Nを用い、第2のゲート電極層301b、第2のゲート電極層302b、第2のゲート電極層303a2、第2のゲート電極層303b2、第2のゲート電極層303c2としてWを用いる。同工程で形成される画素電極層においても、第1の画素電極層304aとしてTa_N膜を、第2の画素電極層304bとしてW膜を形成する。このようにゲート電極層及び画素電極層を積層構造とすることができる。また、画素電極層を単層構造で形成し、ゲート電極層を積層構造としてもよく、反対に、画素電極層を積層構造としゲート電極層を単層構造としてもよい。液晶表示装置に要求される機能に応じて適宜設定すればよい。 20

【0157】

以上の工程により、結晶性半導体膜を有する逆スタガ型薄膜トランジスタを形成することができる。本実施の形態で形成される薄膜トランジスタは、結晶性半導体膜で形成されるため非晶質半導体膜で形成される薄膜トランジスタと比較して移動度が高い。また、ソース領域及びドレイン領域には、一導電型を付与する不純物元素に加え、金属元素をも含む。このため、抵抗率の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な液晶表示装置を作製することが可能である。よってOCBモードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。 30

【0158】

また、非晶質半導体膜で形成される薄膜トランジスタと比較して、しきい値のずれが生じにくく、薄膜トランジスタ特性のバラツキを低減することが可能である。 40

【0159】

非晶質半導体膜の結晶化とゲッターリング工程を同時に行うことにより、工程の短縮化が可能である。更には、ゲッターリング工程により、成膜段階で半導体膜中に混入する金属元素をゲッターリングするため、オフ電流を低減することが可能である。このため、このような薄膜トランジスタを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【0160】

(実施の形態10)

実施の形態1では、ゲート電極層と、ソース電極層又はドレイン電極層(ソース配線層も含む)及び容量配線層とがゲート絶縁膜を介して積層し、ソース電極層又はドレイン 50

電極層（ソース配線層も含む）とゲート配線層とが層間絶縁膜を介して積層している多層構造を用いている。本実施の形態では、これらの積層構造が異なる例を図31乃至図36、及び図41を用いて説明する。図30（A）乃至図35（A）は、液晶表示装置の上面図であり、図30（B）乃至図32（B）は、図30（A）乃至図32（A）において線X1-V1による断面図である。図30（A）乃至図32（A）は、液晶表示装置の上面図であり、図30（C）乃至図35（C）は、図30（A）乃至図35（A）において線X1-V1による断面図である。

【0161】

図30（A）は、液晶表示装置の上面図であり、図30（B）は、図30（A）における線X1-V1による断面図、図30（C）は、図30（A）における線M-Nによる断面図である。図30に示す液晶表示装置は、実施の形態1で示すようにソース電極層又はドレイン電極層と画素電極層が、ゲート配線層によって電氣的に接続されている構造ではなく、ソース電極層又はドレイン電極層610が直接画素電極層611と接するように形成され、電氣的に接続している構造である。このように直接ソース電極層又はドレイン電極層610が画素電極層611に接続する構造でもよく、反射型液晶表示装置ならば、反射性を有する材料をソース電極層又はドレイン電極層610に用い、画素電極層611と積層するような構造であってもよい。

10

【0162】

図30において、液晶表示装置の画素領域内には、基板600上にゲート電極層601a、ゲート電極層601b、画素電極層611、ゲート絶縁膜602a、ゲート絶縁膜602b、容量配線層604、ソース電極層又はドレイン電極層603a、ソース電極層又はドレイン電極層603b、ゲート配線層607、半導体層608、n型を有する半導体層609a、n型を有する半導体層609b、パッシベーション膜である絶縁膜605、絶縁膜606が形成されている。なお、本実施の形態では、実施の形態1で示したように、ゲート絶縁膜を3層構造としている。

20

【0163】

絶縁膜605は必ずしも必要ではないが、絶縁膜605を形成すると、パッシベーション膜として機能するので、より液晶表示装置の信頼性が向上する。また、絶縁膜605を形成し、熱処理を行うと、絶縁膜605中に含まれる水素によって半導体層の水素化を行うことができる。

30

【0164】

図30（B）で示すようにソース電極層又はドレイン電極層603bは、層間絶縁膜である絶縁膜606を介して、ゲート配線層607と積層しており、ゲート配線層607は、ゲート電極層601a、ゲート電極層601bと絶縁膜606、絶縁膜605、ゲート絶縁膜602a、ゲート絶縁膜602bに形成されたコンタクトホールで接続されている。よってゲート配線層607と、ソース電極層又はドレイン電極層603b及び容量配線層604とはショートしない構造となっている。

【0165】

図31（A）は、液晶表示装置の上面図であり、図31（B）は、図31（A）における線X2-V2による断面図である。図31において、液晶表示装置の画素領域内には、基板620上にゲート電極層621a、ゲート電極層621b、ゲート絶縁膜622a、ゲート絶縁膜622b、容量配線層624、ソース電極層又はドレイン電極層623a、ソース電極層又はドレイン電極層623b、ゲート配線層627a、ゲート配線層627b、パッシベーション膜である絶縁膜625、絶縁膜626が形成されている。

40

【0166】

図31（B）で示すようにソース電極層又はドレイン電極層623bは、層間絶縁膜である絶縁膜626を介して、ゲート配線層627bと積層しており、ゲート配線層627bは、ゲート電極層621a、ゲート電極層621bと絶縁膜626、絶縁膜625、ゲート絶縁膜622a、ゲート絶縁膜622bに形成されたコンタクトホールで接続されている。よってゲート配線層627bと、ソース電極層又はドレイン電極層623b及び

50

容量配線層 6 2 4 とはショートしない構造となっている。また、図 3 1 で示す液晶表示装置は、ゲート配線層とゲート電極層は連続的ではなく断続的に形成され、お互いにコンタクトホールを介して電氣的な接続を取りながら形成されている構造となっている。よって、ソース電極層又はドレイン電極層 6 2 3 b、容量配線層 6 2 4 が形成されている領域では、ゲート電極層 6 2 1 a とゲート電極層 6 2 1 b とは、絶縁膜 6 2 6 上に形成するゲート配線層 6 2 7 b とコンタクトホールにおいて接続することで電氣的に接続されている。

【0167】

図 3 2 (A) は、液晶表示装置の上面図であり、図 3 2 (B) は、図 3 2 (A) における線 X 3 - V 3 による断面図である。図 3 2 において、液晶表示装置の画素領域内には、基板 6 3 0 上にゲート電極層 6 3 1 a、ゲート電極層 6 3 1 b、ゲート絶縁膜 6 3 2 a、ゲート絶縁膜 6 3 2 b、容量配線層 6 3 4、ソース電極層又はドレイン電極層 6 3 3 a、ソース電極層又はドレイン電極層 6 3 3 b、ゲート配線層 6 3 7 a、ゲート配線層 6 3 7 b、配線層 6 3 8 a、配線層 6 3 8 b、パッシベーション膜である絶縁膜 6 3 5、絶縁膜 6 3 6 が形成されている。

10

【0168】

図 3 2 (B) で示すようにソース電極層又はドレイン電極層 6 3 3 b は、層間絶縁膜である絶縁膜 6 3 6 を介して、ゲート配線層 6 3 7 b と積層している。図 3 1 で示す液晶表示装置において、ゲート電極層 6 2 1 a とゲート配線層 6 2 7 a 及びゲート配線層 6 2 7 b とは直接接続している。しかし図 3 3 で示す液晶表示装置では、ゲート電極層 6 3 1 a と、ゲート配線層 6 3 7 a 及びゲート配線層 6 3 7 b とは、ソース電極層と同材料、同工程で形成される配線層 6 3 8 a を介して電氣的に接続される。よって、ゲート電極層 6 3 1 a はゲート絶縁膜 6 3 2 a、ゲート絶縁膜 6 3 2 b 上に形成される配線層 6 3 8 a とコンタクトホールで接続し、配線層 6 3 8 a は、ゲート配線層 6 3 7 a 及びゲート配線層 6 3 7 b とコンタクトホールを介して接続する。よって、ゲート電極層 6 3 1 a、ゲート配線層 6 3 7 a、及びゲート配線層 6 3 7 b は電氣的に接続する。ソース電極層又はドレイン電極層 6 3 3 b、容量配線層 6 3 4 は層間絶縁膜である絶縁膜 6 3 6 を介してゲート配線層 6 3 7 b と積層されるので、ソース電極層又はドレイン電極層 6 3 3 b 及び容量配線層 6 3 4 とゲート配線層 6 3 7 b とはショートしない構造となっている。

20

【0169】

図 3 0、図 3 1 及び図 3 2 は層間絶縁膜として絶縁膜を、広範囲にわたって覆うように形成した場合を示した。図 3 3、図 3 4 及び図 3 5 は配線層間を隔てる層間絶縁膜を、フォトリソ工程を用いて必要な個所のみを選択的に形成する例を示す。

30

【0170】

図 3 3 は図 3 0 に、図 3 4 は図 3 1 に、図 3 5 は図 3 2 の液晶表示装置にそれぞれ対応しており、層間絶縁膜の構造が異なる構造となっている。図 3 3 (A) は、液晶表示装置の上面図であり、図 3 3 (B) は、図 3 3 (A) における線 Y 1 - Z 1 による断面図である。図 3 3 において、ソース電極層又はドレイン電極層 6 0 3 b 及び容量配線層 6 0 4 を覆うように絶縁膜 6 5 0 がフォトリソ工程を用いて形成されている。その絶縁膜 6 5 0 上を跨ぐようにゲート配線層 6 0 7 が形成されている。ゲート配線層 6 0 7 上には、パッシベーション膜として絶縁膜 6 6 0 が形成されている。絶縁膜 6 6 0 は必ずしも必要ではないが、形成することで信頼性を向上させることができる。また本実施の形態では、絶縁膜 6 5 0 単層で形成するが、絶縁膜 6 5 0 の上、または下に絶縁膜を形成して積層構造としてもよい。

40

【0171】

図 3 4 (A) は、液晶表示装置の上面図であり、図 3 4 (B) は、図 3 4 (A) における線 Y 2 - Z 2 による断面図である。図 3 4 においても図 3 3 と同様に、ソース電極層又はドレイン電極層 6 2 3 b 及び容量配線層 6 2 4 を覆うように絶縁膜 6 5 1 が、フォトリソ工程により形成されている。その絶縁膜 6 5 1 上を跨ぐようにゲート配線層 6 2 7 b が形成され、ゲート電極層 6 2 1 a とコンタクトホールにより接続されている。ゲート配線層 6 2 7 a 上には、パッシベーション膜として絶縁膜 6 6 1 が形成されている。

50

【 0 1 7 2 】

図 3 5 (A) は、液晶表示装置の上面図であり、図 3 5 (B) は、図 3 5 (A) における線 Y 3 - Z 3 による断面図である。図 3 5 においても図 3 3 と同様に、ソース電極層又はドレイン電極層 6 3 3 b 及び容量配線層 6 3 4 を覆うように絶縁膜 6 5 2 が、フォトリソ工程により形成されている。その絶縁膜 6 5 2 上を跨ぐようにゲート配線層 6 3 7 b が形成され、配線層 6 3 8 a を介してゲート配線層 6 3 7 a 及びゲート電極層 6 3 1 a と電氣的に接続している。

【 0 1 7 3 】

絶縁膜 6 5 0、絶縁膜 6 5 1、絶縁膜 6 5 2 のように配線層間のショートを防ぐための絶縁膜を、選択的に形成すると、直接配線間が接するように形成することができるので、絶縁膜にコンタクトホールを形成する工程が減る。よって、工程が簡略化し低いコスト、高い生産性を得ることができる。 10

【 0 1 7 4 】

図 4 0 の液晶表示装置もソース電極層又はドレイン電極層 6 4 3 b 及び容量配線層 6 4 4 と配線層 6 4 7 b を物理的に隔てるために設ける絶縁膜 6 5 3 をフォトリソ工程を用いて選択的に形成する例である。図 3 3 乃至図 3 5 における液晶表示装置では、絶縁膜上にゲート配線層を跨ぐように形成することで、ソース電極層又はドレイン電極層とゲート配線層とのショートを防いでいた。図 4 0 の液晶表示装置では、ゲート電極層 6 4 1 a、ゲート電極層 6 4 1 b を形成する工程で、配線層 6 4 7 a、配線層 6 4 7 b を形成する。その後ソース電極層又はドレイン電極層 6 4 3 a、容量配線層 6 4 4 を形成する前に、配線層 6 4 7 a、配線層 6 4 7 b を覆うゲート絶縁膜の一部をエッチングによって除去する。配線層 6 4 7 b 上の一部に絶縁膜 6 5 3 をフォトリソ工程を用いて選択的に形成し、絶縁膜 6 5 3 上にソース電極層又はドレイン電極層 6 4 3 a、容量配線層 6 4 4 を形成する。ソース電極層又はドレイン電極層 6 4 3 b 及び容量配線層 6 4 4 を形成するのと同工程で、配線層 6 4 8 a、配線層 6 4 8 b をゲート電極層 6 4 1 a、ゲート電極層 6 4 1 b とそれぞれ接するように形成する。配線層 6 4 8 a と配線層 6 4 8 b とは、絶縁膜 6 5 3 の下で配線層 6 4 7 b によって電氣的に接続されている。このように、絶縁膜 6 5 3 の下層でゲート配線層とゲート電極層を電氣的に接続することができる。 20

【 0 1 7 5 】

以上の工程で示すように、信頼性の高い液晶表示装置を低コストで生産性よく作製することができる。 30

【 0 1 7 6 】

(実施の形態 1 1)

次に、実施の形態 1 乃至 1 0 によって作製される液晶表示パネルに駆動用のドライバ回路を実装する態様について説明する。

【 0 1 7 7 】

まず、COG 方式を採用した液晶表示装置について、図 2 9 (A) を用いて説明する。基板 2 7 0 0 上には、文字や画像などの情報を表示する画素部 2 7 0 1 が設けられる。複数の駆動回路が設けられた基板を、矩形状に分断し、分断後の駆動回路 (以下ドライバ IC と表記) 2 7 5 1 は、基板 2 7 0 0 上に実装される。図 2 9 (A) は複数のドライバ IC 2 7 5 1、該ドライバ IC 2 7 5 1 の先に FPC 2 7 5 0 を実装する形態を示す。また、分割する大きさを画素部の信号線側の辺の長さとはほぼ同じにし、単数のドライバ IC に、該ドライバ IC の先にテープを実装してもよい。 40

【 0 1 7 8 】

また、TAB 方式を採用してもよく、その場合は、図 2 9 (B) で示すように複数のテープを貼り付けて、該テープにドライバ IC を実装すればよい。COG 方式の場合と同様に、単数のテープに単数のドライバ IC を実装してもよく、この場合には、強度の問題から、ドライバ IC を固定する金属片等を一緒に貼り付けるとよい。

【 0 1 7 9 】

これらの表示パネルに実装されるドライバ IC は、生産性を向上させる観点から、一辺 50

が 300 mm から 1000 mm 以上の矩形状の基板上に複数個作り込むとよい。

【0180】

つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバICの長辺の長さは、画素部の一边の長さや画素ピッチを考慮して、長辺が 15 ~ 80 mm、短辺が 1 ~ 6 mm の矩形状に形成してもよいし、画素領域の一边、又は画素部の一边と各駆動回路の一边とを足した長さに形成してもよい。

【0181】

ドライバICのICチップに対する外形寸法の優位性は長辺の長さであり、長辺が 15 ~ 80 mm で形成されたドライバICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上にドライバICを形成すると、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

10

【0182】

また、図 28 (B) のように走査線側の駆動回路 3704 は基板上に一体形成される場合、画素領域 3701 の外側の領域には、信号線側の駆動回路が形成されたドライバICが実装される。これらのドライバICは、信号線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が 3072 本必要であり、UXGAクラスでは 4800 本が必要となる。このような本数で形成された信号線は、画素領域 3701 の端部で数ブロック毎に区分して引出線を形成し、ドライバICの出力端子のピッチに合わせて集められる。

20

【0183】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適であり、本発明を用いた薄膜トランジスタを用いることができる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。

【0184】

画素領域は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。画素領域に配置されるトランジスタとしても、本発明を用いた薄膜トランジスタを適用することができる。本発明を適用して作製される薄膜トランジスタは、簡略化した工程で比較的高移動度が得られるため、大画面の液晶表示装置を作製する上で有効である。従って、この薄膜トランジスタを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いることができる。従って、システムオンパネル化を実現した表示パネルを作製することができる。

30

【0185】

図 29 (A)、(B) のように走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするといよい。

【0186】

その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするのが好適である。例えば、走査線側のドライバICを構成するトランジスタには 30 V 程度の耐圧が要求されるものの、駆動周波数は 100 kHz 以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャンネル長 (L) は十分大きく設定することが好適である。一方、信号線側のドライバICのトランジスタには、12 V 程度の耐圧があれば十分であるが、駆動周波数は 3 V にて 65 MHz 程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャンネル長などはミクロンルールで設定することが好適である。なおチャンネル長方向とは、チャンネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。

40

【0187】

50

ドライバＩＣの実装方法は、特に限定されるものではなく、公知のＣＯＧ方法やワイヤボンディング方法、或いはＴＡＢ方法を用いることができる。

【０１８８】

ドライバＩＣの厚さは、対向基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、液晶表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この液晶表示装置に温度変化が生じても熱応力が発生することなく、ＴＦＴで作製された回路の特性を損なうことはない。その他にも、本実施の形態で示すようにＩＣチップよりも長尺のドライバＩＣで駆動回路を実装することにより、１つの画素領域に対して、実装されるドライバＩＣの個数を減らすことができる。

【０１８９】

以上のようにして、液晶表示パネルに駆動回路を組み入れることができる。

【０１９０】

（実施の形態１２）

本実施の形態では、上記実施の形態において、ゲート電極層とソース電極層及びドレイン電極層との端部の位置関係、即ちゲート電極層の幅とチャンネル長の大きさの関係について、図２６を用いて説明する。

【０１９１】

図２６（Ａ）は基板５４０上に形成された、ゲート電極層５４１、ゲート絶縁膜５４２ａ、ゲート絶縁膜５４２ｂ、半導体層５４３、一導電性を有する半導体層５４４ａ、一導電性を有する半導体層５４４ｂ、ソース電極層又はドレイン電極層５４５ａ、ソース電極層又はドレイン電極層５４５ｂからなる薄膜トランジスタである。なお、本実施の形態では、実施の形態１で示したように、ゲート絶縁膜を３層構造としている。

【０１９２】

図２６（Ａ）は、ゲート電極層５４１上をソース電極層及びドレイン電極層５４５ａ、ソース電極層及びドレイン電極層５４５ｂの端部がｃ１だけ重なっている。ここでは、ソース電極層及びドレイン電極層５４５ａ、ソース電極層及びドレイン電極層５４５ｂとが重なっている領域をオーバーラップ領域と呼ぶ。即ち、ゲート電極層の幅ｂ１がチャンネル長ａ１よりも大きい。オーバーラップ領域の幅ｃ１は、 $(b1 - a1) / 2$ で表される。このようなオーバーラップ領域を有するｎチャンネルＴＦＴは、ソース電極層及びドレイン電極層と、半導体領域との間に、ｎ＋領域とｎ－領域とを有することが好ましい。この構造により、電界の緩和効果が大きくなり、ホットキャリア耐性を高めることが可能となる。

【０１９３】

図２６（Ｂ）は基板５５０上に形成された、ゲート電極層５５１、ゲート絶縁膜５５２ａ、ゲート絶縁膜５５２ｂ、半導体層５５３、一導電性を有する半導体層５５４ａ、一導電性を有する半導体層５５４ｂ、ソース電極層又はドレイン電極層５５５ａ、ソース電極層又はドレイン電極層５５５ｂからなる薄膜トランジスタである。

【０１９４】

図２６（Ｂ）は、ゲート電極層５５１の端部と、ソース電極層及びドレイン電極層５５５ａ、ソース電極層及びドレイン電極層５５５ｂの端部が一致している。即ち、ゲート電極層の幅ｂ２とチャンネル長ａ２とが等しい。

【０１９５】

図２６（Ｃ）は基板５６０上に形成された、ゲート電極層５６１、ゲート絶縁膜５６２ａ、ゲート絶縁膜５６２ｂ、半導体層５６３、一導電性を有する半導体層５６４ａ、一導電性を有する半導体層５６４ｂ、ソース電極層又はドレイン電極層５６５ａ、ソース電極層又はドレイン電極層５６５ｂからなる薄膜トランジスタである。

【０１９６】

図２６（Ｃ）は、ゲート電極層５６１とソース電極層及びドレイン電極層５６５ａ、ソース電極層及びドレイン電極層５６５ｂの端部とがｃ３だけ離れている。ここでは、ここでは、ゲート電極層５６１と、ソース電極層及びドレイン電極層５６５ａ、ソース電極層

10

20

30

40

50

及びドレイン電極層 565a とが離れている領域をオフセット領域と呼ぶ。即ち、ゲート電極層の幅 b_3 がチャネル長 a_3 よりも小さい。オフセット領域の幅 c_3 は、 $(a_3 - b_3) / 2$ で表される。このような構造の TFT は、オフ電流を低減することができるため、該 TFT を液晶表示装置のスイッチング素子として用いた場合、コントラストを向上させることができる。

【0197】

さらには、半導体領域が複数のゲート電極を覆ういわゆるマルチゲート構造の TFT としても良い。このような構造の TFT も、オフ電流を低減することができる。

【0198】

(実施の形態 13)

上記実施の形態において、チャネル形成領域表面に対して垂直な端部を有するソース電極層及びドレイン電極層を示したが、この構造に限定されない。図 25 に示すように、チャネル形成領域表面に対して 90 度より大きく、180 度未満、好ましくは 95 ~ 140 度、さらに好ましくは 135 度 ~ 140 度を有する端部であってもよい。また、ソース電極層とチャネル形成領域表面との角度を θ_1 、ドレイン電極層とチャネル形成領域表面との角度を θ_2 とすると、 θ_1 と θ_2 が等しくてもよい。また、異なってもよい。このような形状のソース電極及びドレイン電極は、ドライエッチング法により形成することが可能である。

【0199】

(実施の形態 14)

本実施の形態では、上記実施の形態に適応可能な半導体膜の結晶化工程を図 24 を用いて説明する。図 24 (B) は、図 24 (A) の上面図である。また、図 24 (D) は、図 24 (C) の上面図である。

【0200】

図 24 において、基板 500 上に、ゲート電極層 501、ゲート絶縁膜 502a、ゲート絶縁膜 502b が形成され、次に、金属膜を形成後、フォトリソ工程を用いて金属膜をパターニングして選択的に金属層 503 形成した後、非晶質半導体膜 504 が形成されている。非晶質半導体膜 504 上に不純物を含む半導体膜 505 を形成する (図 24 (A))。本実施例では、不純物を含む半導体膜 505 には、n 型を付与する不純物元素 (本実施の形態ではリンを用いる) が含まれている。なお、本実施の形態では、実施の形態 1

【0201】

次に、加熱処理により、非晶質半導体膜 504 の結晶化とゲッタリングを同時に行なう。非晶質半導体膜を加熱すると、図 24 (C) 及び図 24 (D) の矢印で示すように、金属層 503 と半導体膜との接触部分から、基板の表面に平行な方向へ結晶成長が発生し、結晶性半導体膜 506 が形成する。また、不純物を含む半導体膜 505 は、金属元素を有した不純物を含む半導体膜 507 が形成される。なお、金属層 503 から、かなり離れた部分では結晶化は行われず、非晶質部分が残存する。

【0202】

s

このように、基板に平行な方向への結晶成長を横成長またはラテラル成長と称する。横成長により大粒径の結晶粒を形成することができるため、より高い移動度を有する薄膜トランジスタを形成することができる。

【0203】

(実施の形態 15)

本発明の半導体装置に具備される保護回路の一例について説明する。

【0204】

図 29 で示すように、外部回路と内部回路の間に保護回路 2713 を形成することができる。保護回路は、TFT、ダイオード、抵抗素子及び容量素子等から選択された 1 つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその

10

20

30

40

50

動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1つの入力端子に対応した保護回路の等価回路図の構成について、図42を用いて説明する。図42(A)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230、容量素子7210、7240、抵抗素子7250を有する。抵抗素子7250は2端子の抵抗であり、一端には入力電圧 V_{in} (以下、 V_{in} と表記)が、他端には低電位電圧 V_{SS} (以下、 V_{SS} と表記)が与えられる。

【0205】

図41(B)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230を、整流性を有するダイオード7260、7270で代用した等価回路図である。図41(C)に示す保護回路は、pチャネル型薄膜トランジスタ7220、7230を、TFT7350、7360、7370、7380で代用した等価回路図である。また、上記とは別の構成の保護回路として、図41(D)に示す保護回路は、抵抗7280、7290と、nチャネル型薄膜トランジスタ7300を有する。図41(E)に示す保護回路は、抵抗7280、7290、pチャネル型薄膜トランジスタ7310及びnチャネル型薄膜トランジスタ7320を有する。保護回路を設けることで電位の急激な変動を防いで、素子の破壊又は損傷を防ぐことができ、信頼性が向上する。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施の形態は、上記の実施の形態と自由に組み合わせることが可能である。

【0206】

(実施の形態16)

上記実施の形態により作製される液晶表示パネルによって、液晶テレビジョン装置を完成させることができる。液晶表示パネルには、図28(A)で示すような構成として画素部のみが形成されて走査線側駆動回路と信号線側駆動回路とが、図30(B)のようなTAB方式により実装される場合と、図29(A)のようなCOG方式により実装される場合と、図28(B)に示すようにSASでTFTを形成し、画素部と走査線側駆動回路を基板上に一体形成し信号線側駆動回路を別途ドライバICとして実装する場合、また図28(C)のように画素部と信号線側駆動回路と走査線側駆動回路を基板上に一体形成する場合などがあるが、どのような形態としても良い。

【0207】

その他の外部回路の構成として、映像信号の入力側では、チューナで受信した信号のうち、映像信号を増幅する映像信号増幅回路と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路などからなっている。コントロール回路は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0208】

チューナで受信した信号のうち、音声信号は、音声信号増幅回路に送られ、その出力は音声信号処理回路を経てスピーカに供給される。制御回路は受信局(受信周波数)や音量の制御情報を入力部から受け、チューナや音声信号処理回路に信号を送出する。

【0209】

図23は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間に画素部2603と液晶層2604が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、2607、レンズフィルム2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane Switching)モード、MVA(Multi-domain Vertical

10

20

30

40

50

al Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB モードなどを用いることができる。

【0210】

また、本発明で作製する液晶表示装置は高速応答が可能なOCB モードを用いることでより高性能化することができる。図44は図23の液晶表示モジュールにOCB モードを適用した一例であり、FS-LCD (Field sequential-LCD) となっている。FS-LCDは、1フレーム期間に赤色発光と緑発光と青発光をそれぞれ行うものであり、各発光を発光ダイオード等で行うので、カラーフィルタが不要である。よって、3原色のカラーフィルタを並べる必要がないため同じ面積で9倍の画素を表示できる。一方、1フレーム期間に3色の発光を行うため、液晶の高速な応答が求められる。

10

【0211】

本発明の液晶表示装置の有する薄膜トランジスタは高速作動することができるため、OCB モードを用いることができる。OCB モードの液晶層は、いわゆる π セル構造を有している。 π セル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面对称の関係で配向された構造である。 π セル構造の配向状態は、基板間に電圧が印加されていない時はスプレイ配向となり、電圧を印加するとベンド配向に移行する。さらに電圧を印加するとベンド配向の液晶分子が両基板と垂直に配向し、光が透過する状態となる。なお、OCB モードにすると、従来のTNモードより約10倍速い高速応答性を実現できる。

20

【0212】

よって、本発明の液晶表示装置に、FS方式、及びOCB モードを適用することができ、一層高性能で高画質な液晶表示装置、また液晶テレビジョンを完成させることができる。また、FS方式に対応するモードとして、強誘電性液晶 (FLC: Ferroelectric Liquid Crystal) を用いたHV-FLC、SS-FLCなども用いることができる。代表的にはOCB モードは粘度の比較的低いネマチック液晶が用いられ、HV-FLC、SS-FLCには、スメクチック液晶が用いられるが、液晶材料としては、FLC、ネマチック液晶、スメクチック液晶などの材料を用いることができる。図44の液晶表示モジュールは透過型の液晶表示モジュールを示しており、光源として赤色光源2910a、緑色光源2910b、青色光源2910cが設けられている。光源は赤色光源2910a、緑色光源2910b、青色光源2910cをそれぞれオンオフを制御するために、制御部2912が設置されている。制御部2912によって、各色の発光は制御され、液晶に光は入射し、時間分割を用いて画像を合成し、カラー表示が行われる。

30

【0213】

また、液晶表示モジュールの高速光学応答速度は、液晶表示モジュールのセルギャップを狭くすることで高速化する。また液晶材料の粘度を下げることでも高速化できる。上記高速化は、TNモードの液晶表示モジュールの画素領域の画素、またはドットピッチが30 μ m以下の場合に、より効果的である。

【0214】

これらの液晶表示モジュールを、図36(A)に示すように、筐体2001に組みこんで、液晶テレビジョン装置を完成させることができる。液晶表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカ部2009、操作スイッチなどが備えられている。このように、本発明により液晶テレビジョン装置を完成させることができる。

40

【0215】

筐体2001に液晶素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。液晶テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン装置2006により行うこと

50

が可能であり、このリモコン装置にも出力する情報を表示する表示部 2 0 0 7 が設けられていても良い。

【 0 2 1 6 】

また、液晶テレビジョン装置にも、主画面 2 0 0 3 の他にサブ画面 2 0 0 8 を第 2 の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。主画面 2 0 0 3 及びサブ画面 2 0 0 8 を主画面 2 0 0 3 とサブ画面を低消費電力で表示可能な液晶表示用パネルで形成しても良い。本発明を用いると、このような大型基板を用いて、多くの T F T や電子部品を用いても、信頼性の高い液晶表示装置とすることができる。

【 0 2 1 7 】

図 3 6 (B) は例えば 2 0 ~ 8 0 インチの大型の表示部を有するテレビジョン装置であり、筐体 2 0 1 0、表示部 2 0 1 1、操作部であるリモコン装置 2 0 1 2、スピーカー部 2 0 1 3 等を含む。本発明は、表示部 2 0 1 1 の作製に適用される。図 3 6 (B) のテレビジョン装置は、壁かけ型となっており、設置するスペースを広く必要としない。

【 0 2 1 8 】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【 0 2 1 9 】

(実施の形態 1 7)

本発明を適用して、様々な液晶表示装置を作製することができる。即ち、それら液晶表示装置を表示部に組み込んだ様々な電子機器に本発明を適用できる。

【 0 2 2 0 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等)、記録媒体を備えた画像再生装置 (具体的には Digital Versatile Disc (D V D) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置) などが挙げられる。それらの例を図 2 7 に示す。

【 0 2 2 1 】

図 2 7 (A) は、ノート型パーソナルコンピュータであり、本体 2 1 0 1、筐体 2 1 0 2、表示部 2 1 0 3、キーボード 2 1 0 4、外部接続ポート 2 1 0 5、ポインティングマウス 2 1 0 6 等を含む。本発明は、表示部 2 1 0 3 の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

【 0 2 2 2 】

図 2 7 (B) は記録媒体を備えた画像再生装置 (具体的には D V D 再生装置) であり、本体 2 2 0 1、筐体 2 2 0 2、表示部 A 2 2 0 3、表示部 B 2 2 0 4、記録媒体 (D V D 等) 読み込み部 2 2 0 5、操作キー 2 2 0 6、スピーカー部 2 2 0 7 等を含む。表示部 A 2 2 0 3 は主として画像情報を表示し、表示部 B 2 2 0 4 は主として文字情報を表示するが、本発明は、これら表示部 A、B 2 2 0 3、2 2 0 4 の作製に適用される。本発明を用いると、小型化し、配線等が精密化しても、信頼性の高い高画質な画像を表示することができる。

【 0 2 2 3 】

図 2 7 (C) は携帯電話であり、本体 2 3 0 1、音声出力部 2 3 0 2、音声入力部 2 3 0 3、表示部 2 3 0 4、操作スイッチ 2 3 0 5、アンテナ 2 3 0 6 等を含む。本発明により作製される液晶表示装置を表示部 2 3 0 4 に適用することで、小型化し、配線等が精密化する携帯電話であっても、信頼性の高い高画質な画像を表示できる。

【 0 2 2 4 】

図 2 7 (D) はビデオカメラであり、本体 2 4 0 1、表示部 2 4 0 2、筐体 2 4 0 3、外部接続ポート 2 4 0 4、リモコン受信部 2 4 0 5、受像部 2 4 0 6、バッテリー 2 4 0

10

20

30

40

50

7、音声入力部 2408、操作キー 2409 等を含む。本発明は、表示部 2402 に適用することができる。本発明により作製される液晶表示装置を表示部 2304 に適用することで、小型化し、配線等が精密化するビデオカメラであっても、信頼性の高い高画質な画像を表示できる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

【0225】

(実施の形態 18)

本発明により無線チップ(無線プロセッサ、無線メモリ、無線タグともよぶ)として機能する半導体装置を形成することができる。無線チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類(運転免許証や住民票等、図 45(A)参照)、包装用容器類(包装紙やボトル等、図 45(C)参照)、記録媒体(DVDソフトやビデオテープ等、図 45(B)参照)、乗物類(自転車等、図 45(D)参照)、身の回り品(鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札(図 45(E)、図 45(F)参照)等の物品に設けて使用することができる。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置(単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ)及び携帯電話等を指す。

10

【0226】

無線チップは、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。紙幣、硬貨、有価証券類、無記名債券類、証券類等に無線チップを設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に無線チップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。本発明より形成することが可能な無線チップは、基板上に形成した薄膜集積回路を、公知の剥離工程により剥離した後、カバー材に設けるため、小型、薄型、軽量であり、物品に実装しても、デザイン性を損なうことがない。更には、可とう性を有するため、瓶やパイプなど曲面を有するものにも用いることが可能である。

20

【0227】

また、本発明より形成することが可能な無線チップを、物の管理や流通のシステムに適用することで、システムの高機能化を図ることができる。例えば、荷札に設けられる無線チップに記録された情報を、ベルトコンベアの脇に設けられたリーダライタで読み取ること、流通過程及び配達先等の情報が読み出され、商品の検品や荷物の分配を簡単に行うことができる。

30

【0228】

本発明より形成することが可能な無線チップの構造について図 46 を用いて説明する。無線チップは、薄膜集積回路 9303 及びそれに接続されるアンテナ 9304 とで形成される。また、薄膜集積回路及びアンテナは、カバー材 9301、9302 により挟持される。薄膜集積回路 9303 は、接着剤を用いてカバー材に接着してもよい。図 46 においては、薄膜集積回路 9303 の一方が、接着剤 9320 を介してカバー材 9301 に接着されている。

40

【0229】

薄膜集積回路 9303 は、実施形態 1 ~ 14 のいずれかで示される TFT を用いて形成した後、公知の剥離工程により剥離してカバー材に設ける。また、薄膜集積回路 9303 に用いられる半導体素子はこれに限定されない。例えば、TFT の他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどを用いることができる。

【0230】

図 46 で示すように、薄膜集積回路 9303 の TFT 上には層間絶縁膜 9311 が形成され、層間絶縁膜 9311 を介して TFT に接続するアンテナ 9304 が形成される。また、層間絶縁膜 9311 及びアンテナ 9304 上には、窒化珪素膜等からなるバリア膜 9

50

３１２が形成されている。

【０２３１】

アンテナ９３０４は、金、銀、銅等の導電体を有する液滴を液滴吐出法により吐出し、乾燥焼成して形成する。液滴吐出法によりアンテナを形成することで、工程数の削減が可能であり、それに伴うコスト削減が可能である。

【０２３２】

カバー材９３０１、９３０２は、ラミネートフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる）、繊維質な材料からなる紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）と、接着性合成樹脂フィルム（アクリル系合成樹脂、エポキシ系合成樹脂等）との積層フィルムなどを用いることが好ましい。ラミネートフィルムは、熱圧着により、被処理体とラミネート処理が行われるものであり、ラミネート処理を行う際には、ラミネートフィルムの最表面に設けられた接着層か、又は最外層に設けられた層（接着層ではない）を加熱処理によって溶かし、加圧により接着する。

10

【０２３３】

また、カバー材に紙、繊維、カーボングラファイト等の焼却無公害素材を用いることにより、使用済み無線チップの焼却、又は裁断することが可能である。また、これらの材料を用いた無線チップは、焼却しても有毒ガスを発生しないため、無公害である。

【０２３４】

なお、図４６では、接着剤９３２０を介してカバー材９３０１に無線チップを設けているが、該カバー材９３０１の代わりに、物品に無線チップを貼付けて、使用しても良い。

20

【図面の簡単な説明】

【０２３５】

【図１】本発明の液晶表示装置を説明する図。

【図２】本発明の液晶表示装置の作製方法を説明する図。

【図３】本発明の液晶表示装置の作製方法を説明する図。

【図４】本発明の液晶表示装置の作製方法を説明する図。

【図５】本発明の液晶表示装置の作製方法を説明する図。

【図６】本発明の液晶表示装置の作製方法を説明する図。

【図７】本発明の液晶表示装置の作製方法を説明する図。

30

【図８】本発明の液晶表示装置の作製方法を説明する図。

【図９】本発明の液晶表示装置の作製方法を説明する図。

【図１０】本発明の液晶表示装置の作製方法を説明する図。

【図１１】本発明の液晶表示装置の作製方法を説明する図。

【図１２】本発明の液晶表示装置の作製方法を説明する図。

【図１３】本発明の液晶表示装置の作製方法を説明する図。

【図１４】本発明の液晶表示装置の作製方法を説明する図。

【図１５】本発明の液晶表示装置の作製方法を説明する図。

【図１６】本発明の液晶表示装置の作製方法を説明する図。

【図１７】本発明の液晶表示装置の作製方法を説明する図。

40

【図１８】本発明の液晶表示装置の作製方法を説明する図。

【図１９】本発明の液晶表示装置の作製方法を説明する図。

【図２０】本発明の液晶表示装置の作製方法を説明する図。

【図２１】本発明の液晶表示装置の作製方法を説明する図。

【図２２】本発明に適用することのできる液晶滴下方法を説明する図。

【図２３】本発明の液晶表示モジュールの構成を説明する図。

【図２４】本発明の液晶表示装置の説明する図。

【図２５】本発明の液晶表示装置の説明する図。

【図２６】本発明の液晶表示装置の説明する図。

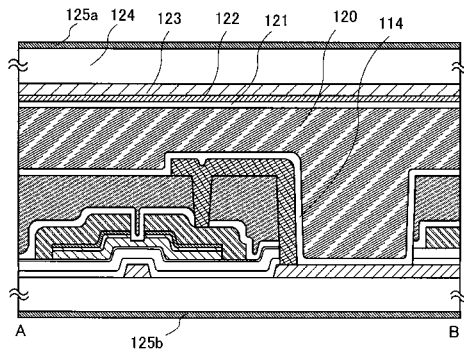
【図２７】本発明が適用される電子機器を示す図。

50

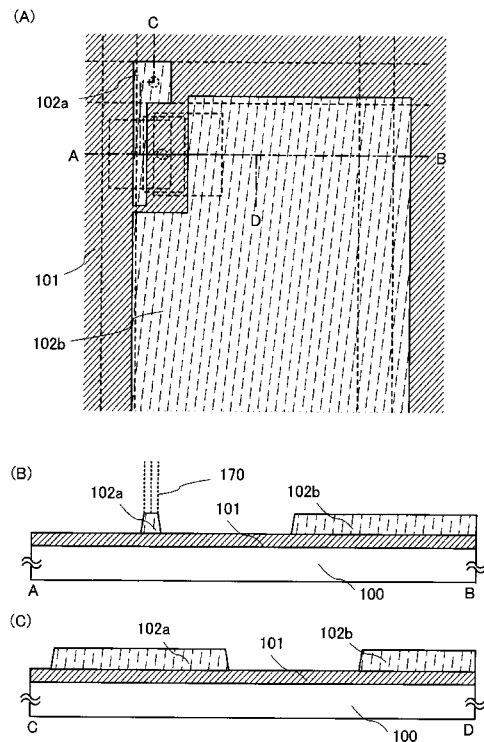
- 【図 28】本発明の液晶表示パネルを説明する上面図。
 【図 29】本発明の液晶表示パネルを説明する上面図。
 【図 30】本発明の液晶表示装置の説明する図。
 【図 31】本発明の液晶表示装置の説明する図。
 【図 32】本発明の液晶表示装置の説明する図。
 【図 33】本発明の液晶表示装置の説明する図。
 【図 34】本発明の液晶表示装置の説明する図。
 【図 35】本発明の液晶表示装置の説明する図。
 【図 36】本発明が適用される電子機器を示す図。
 【図 37】本発明の液晶表示装置の説明する図。
 【図 38】本発明の液晶表示装置の説明する図。
 【図 39】本発明の液晶表示装置の説明する図。
 【図 40】本発明の液晶表示装置の説明する図。
 【図 41】本発明が適用される保護回路を示す図。
 【図 42】本発明の液晶表示パネルを説明する図。
 【図 43】本発明の液晶表示装置の説明する図。
 【図 44】本発明の液晶表示モジュールの構成を説明する図。
 【図 45】本発明が適用される半導体装置を示す図。
 【図 46】本発明が適用される半導体装置を示す図。

10

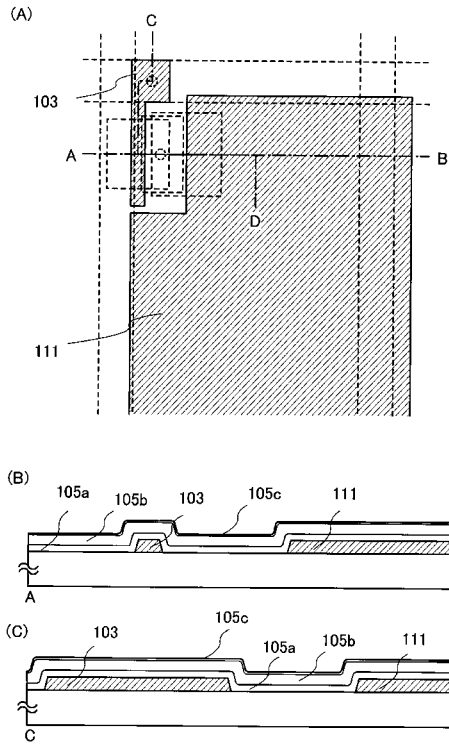
【図 1】



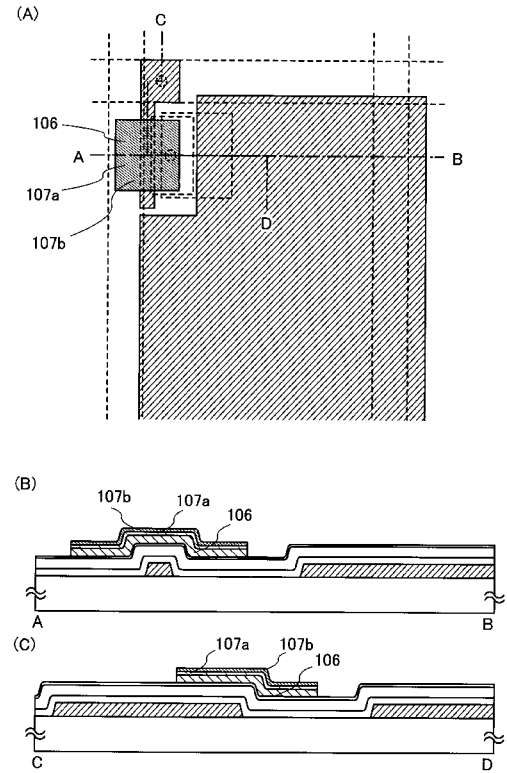
【図 2】



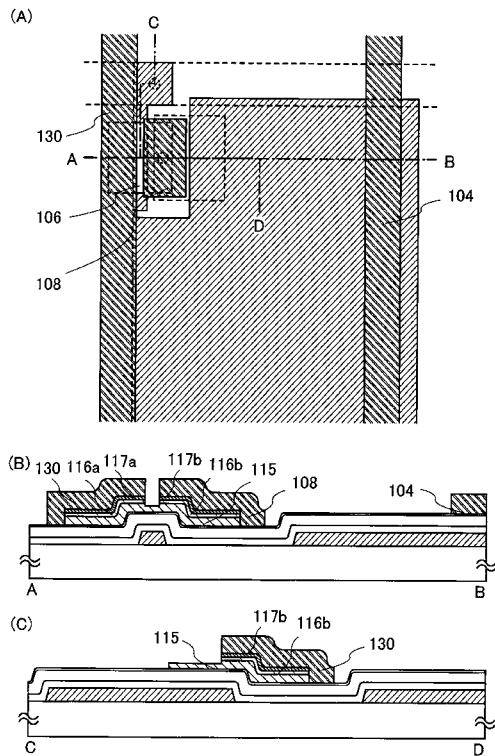
【図 3】



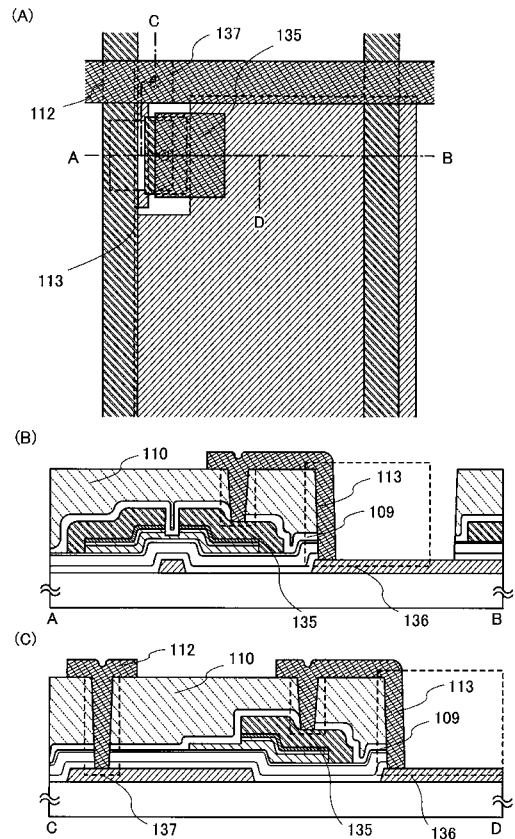
【図 4】



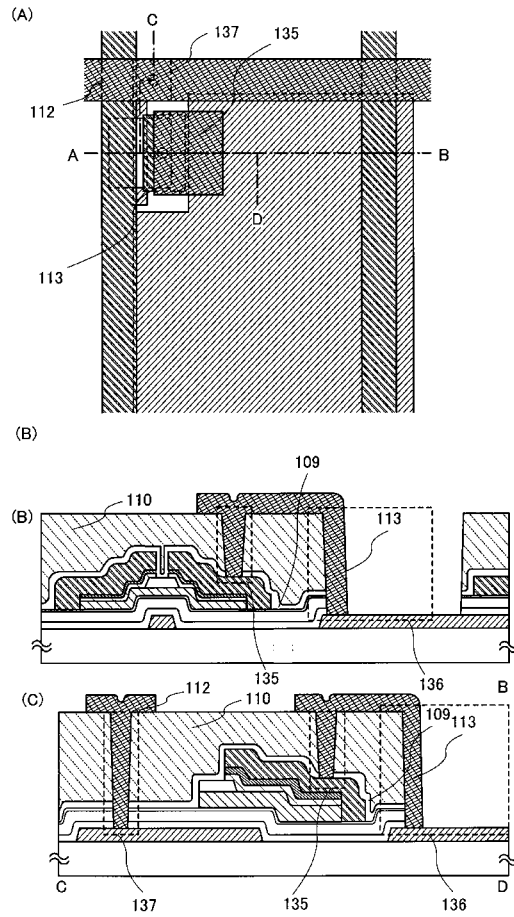
【図 5】



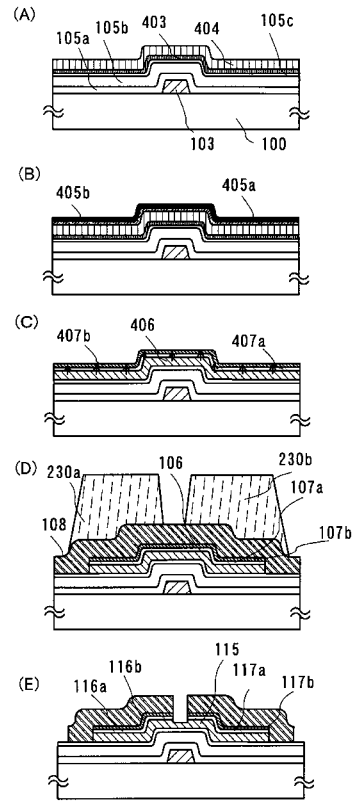
【図 6】



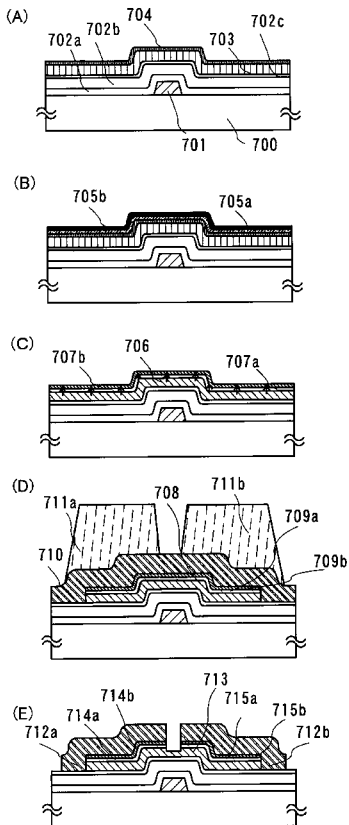
【図 7】



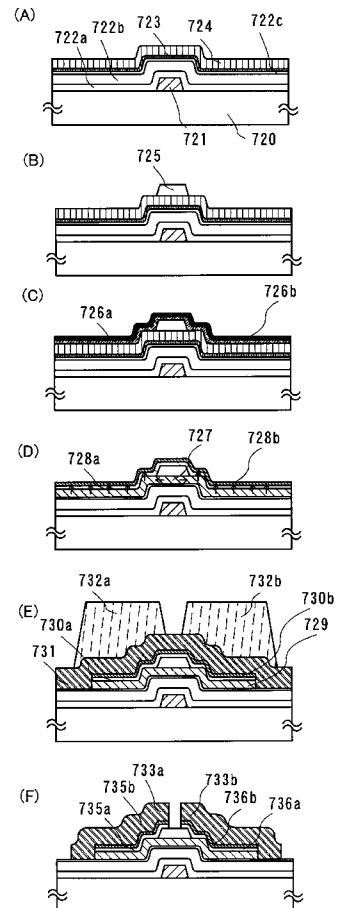
【図 8】



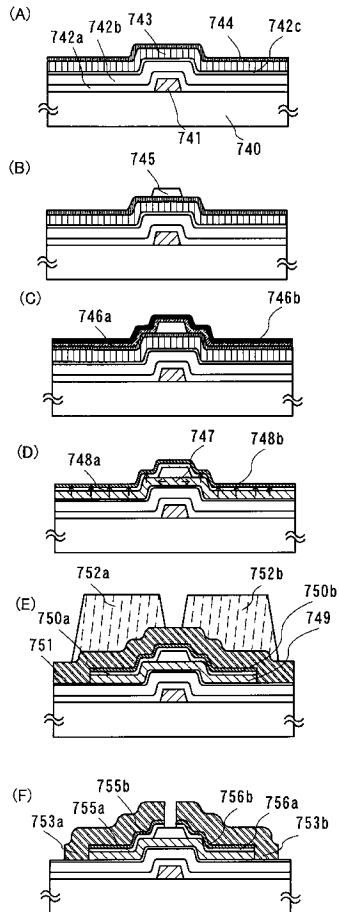
【図 9】



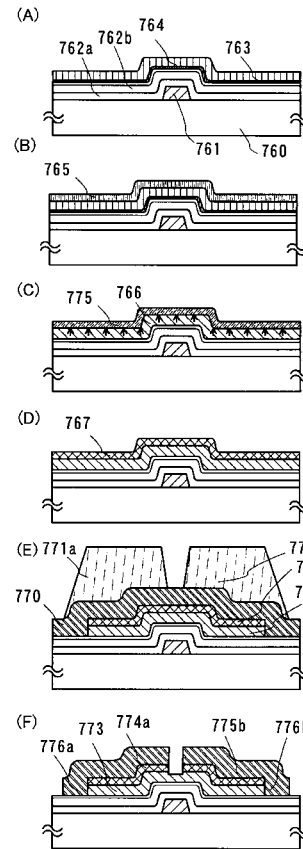
【図 10】



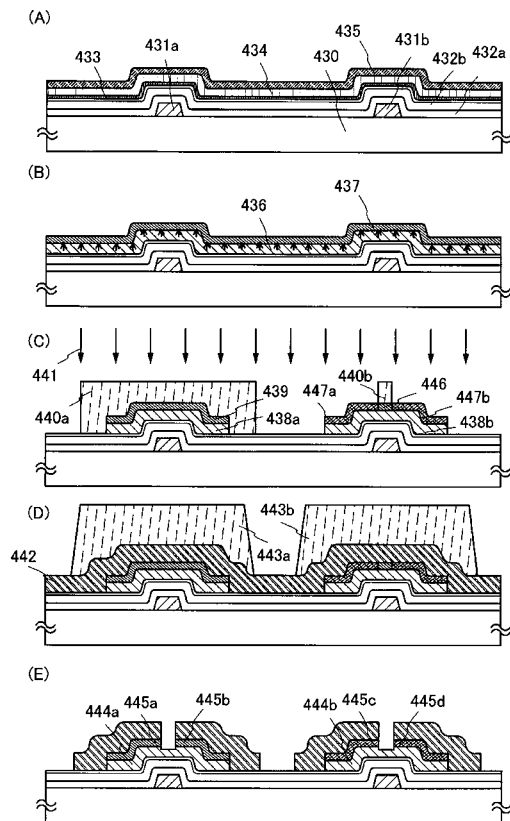
【図 1 1】



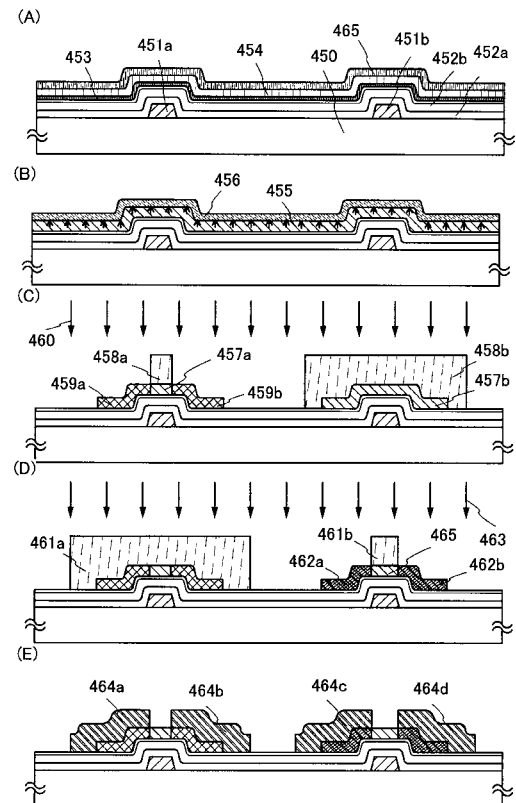
【図 1 2】



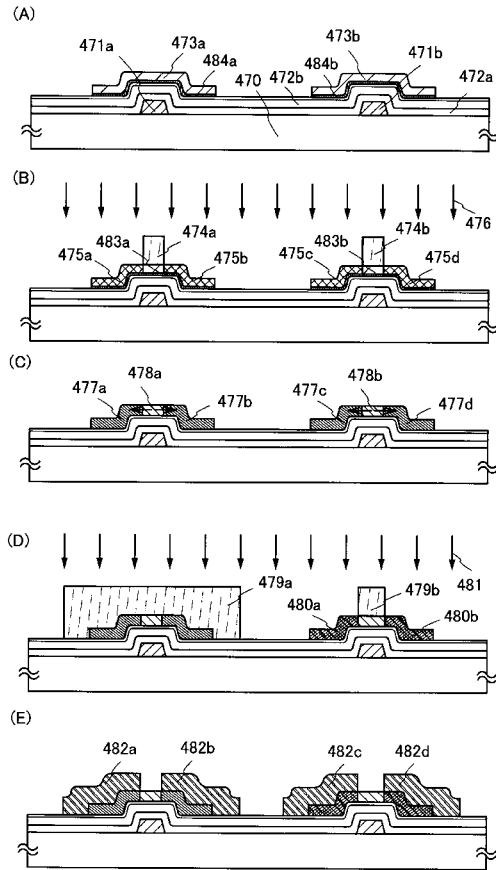
【図 1 3】



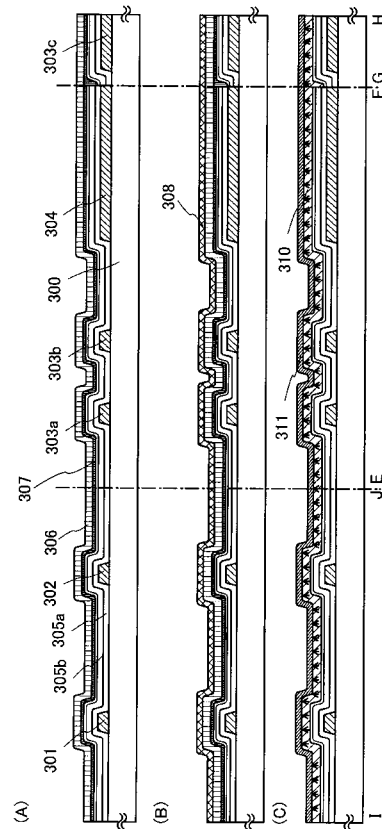
【図 1 4】



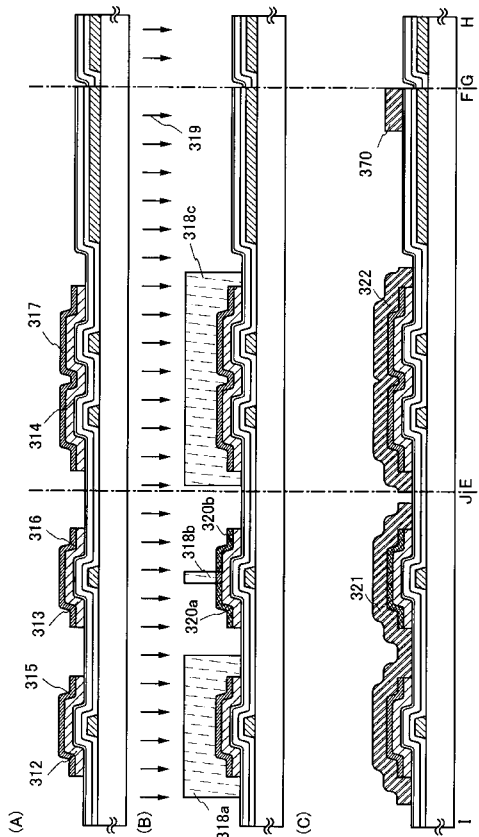
【図 15】



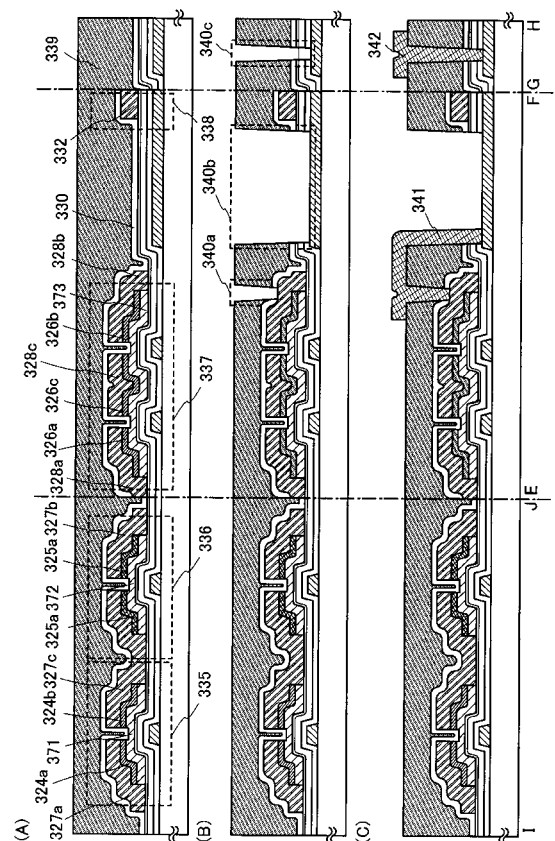
【図 16】



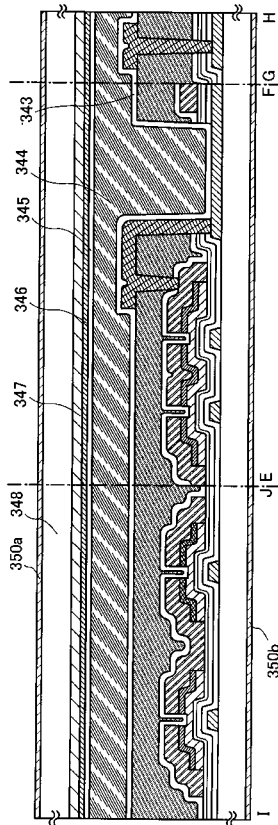
【図 17】



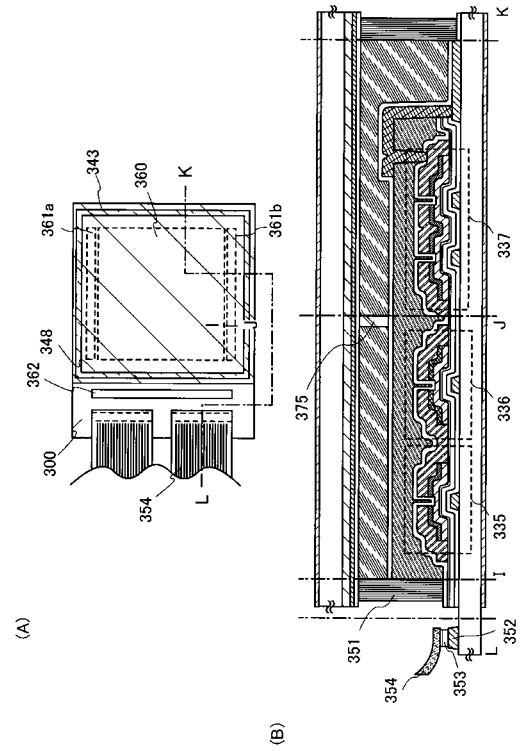
【図 18】



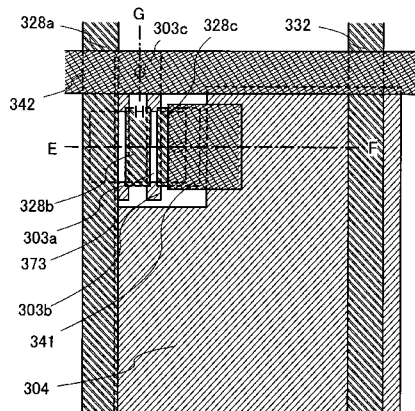
【図 19】



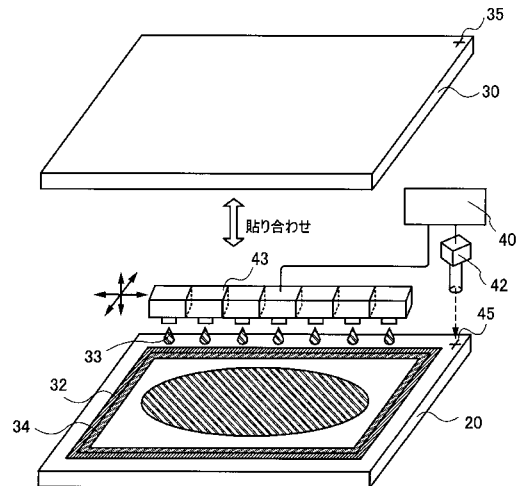
【図 20】



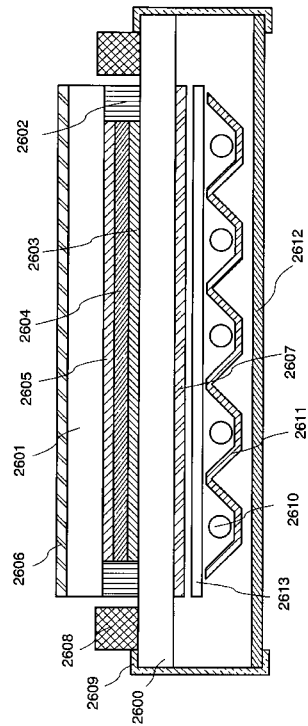
【図 21】



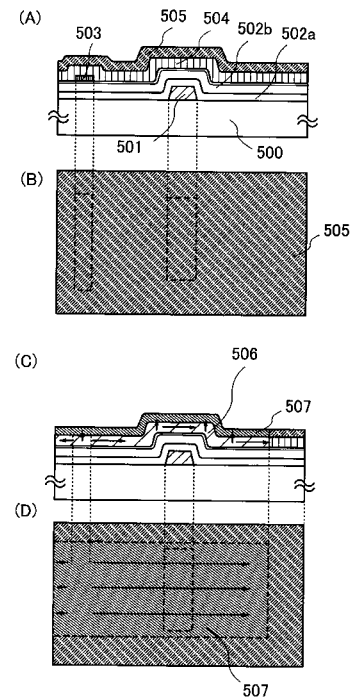
【図 22】



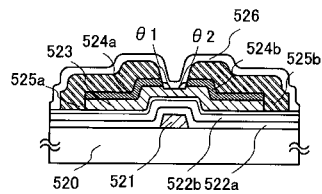
【 図 2 3 】



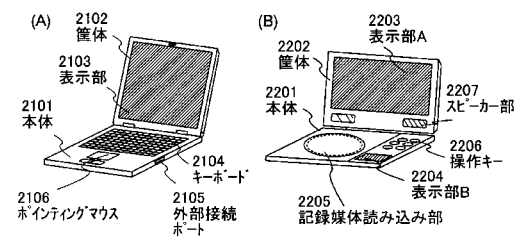
【 図 2 4 】



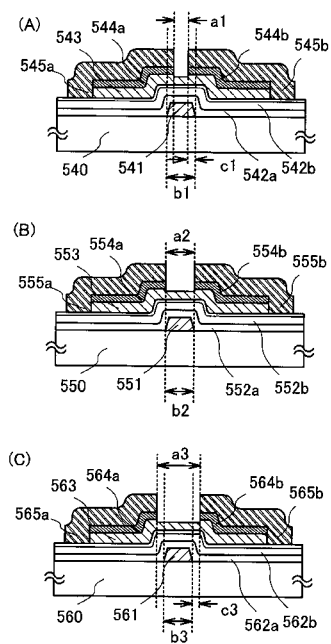
【 図 2 5 】



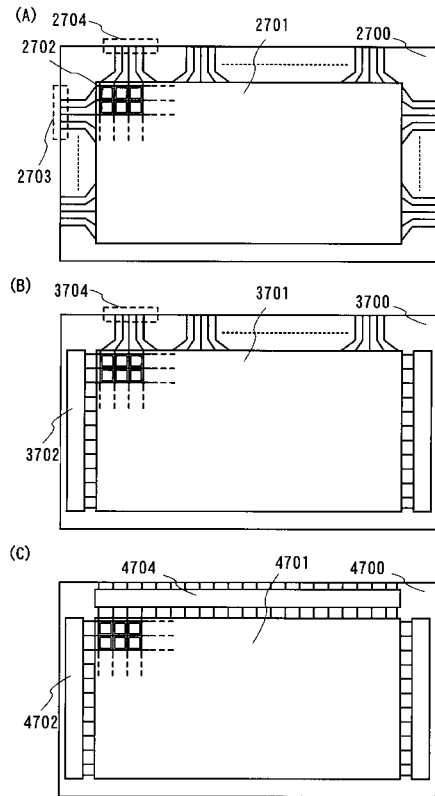
【 図 2 7 】



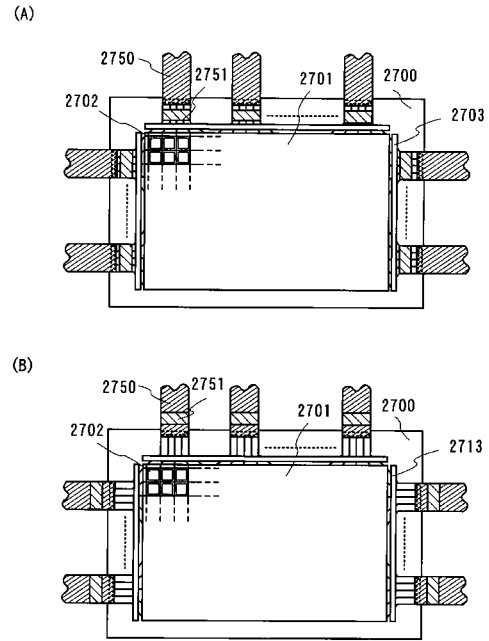
【 図 2 6 】



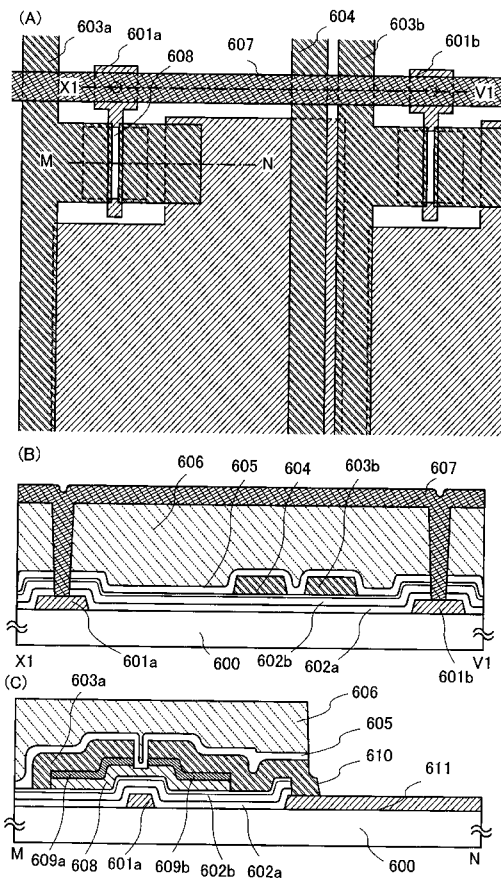
【図 28】



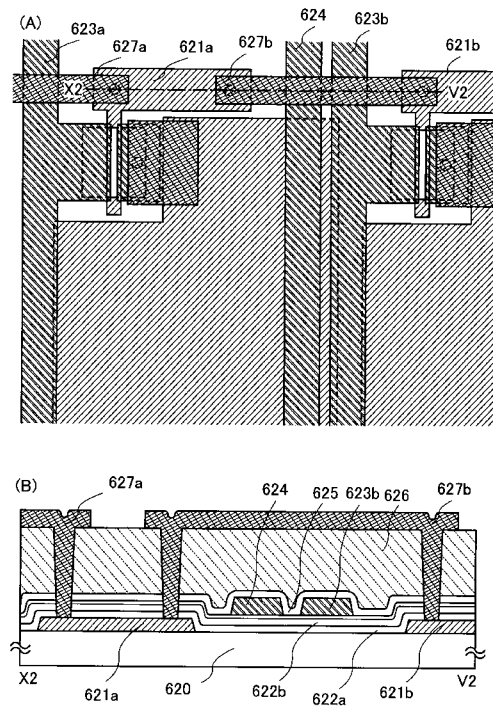
【図 29】



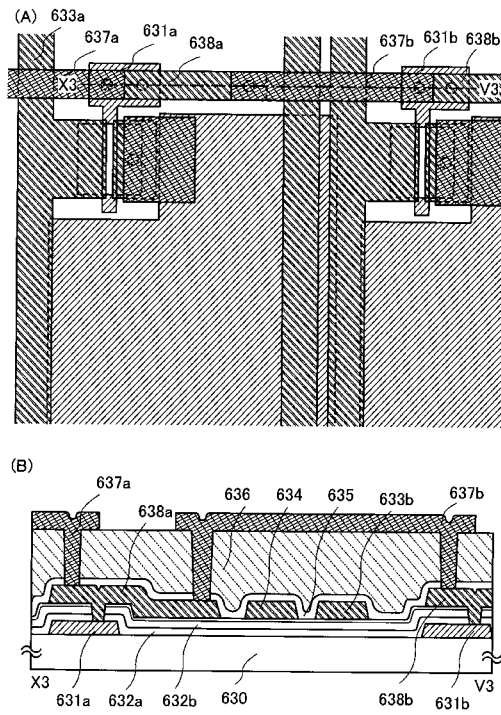
【図 30】



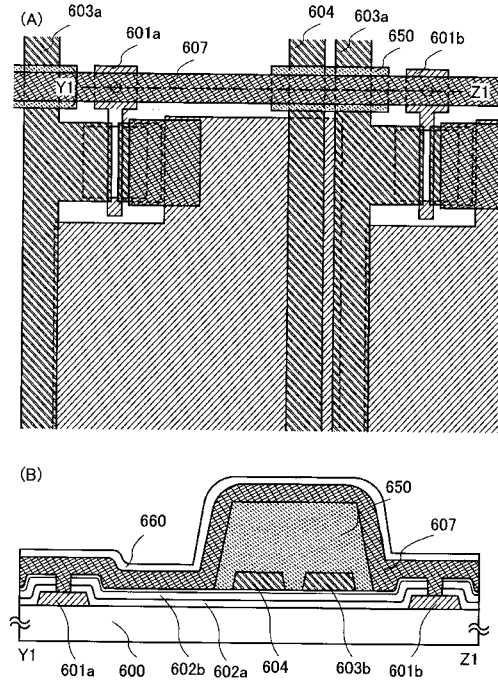
【図 31】



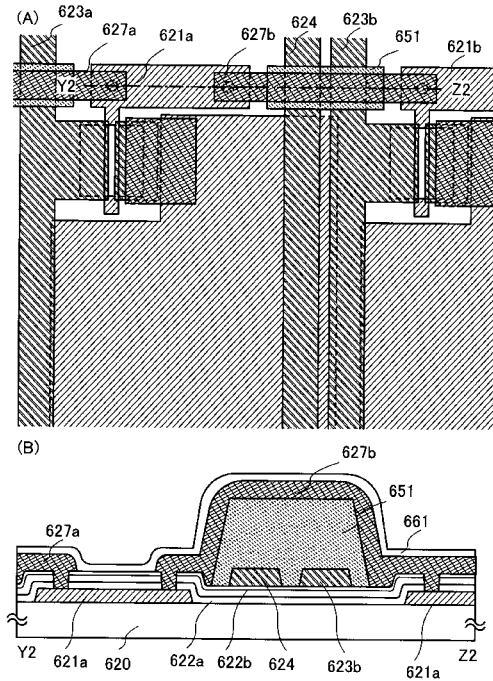
【図 3 2】



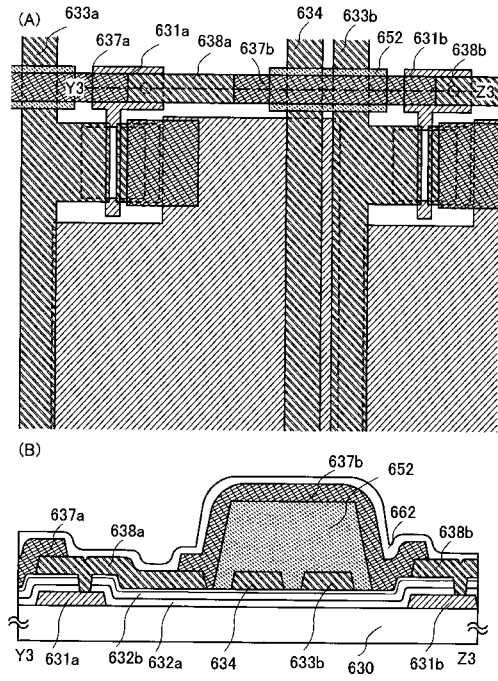
【図 3 3】



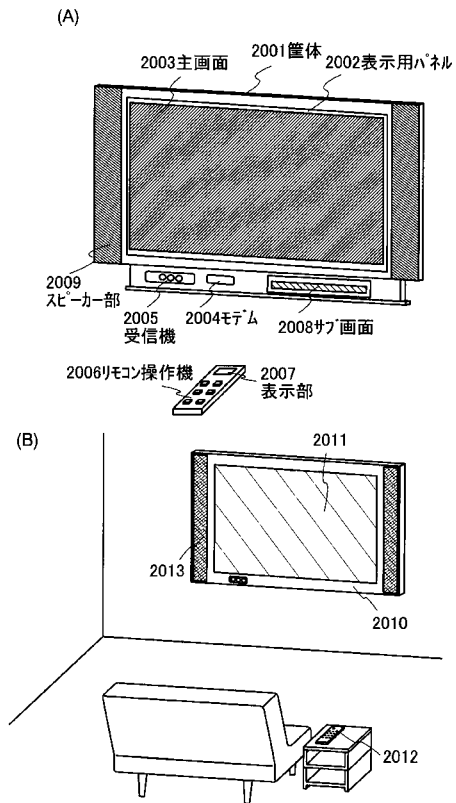
【図 3 4】



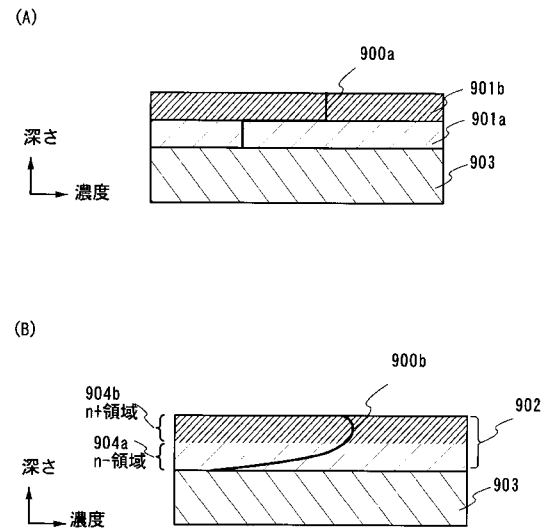
【図 3 5】



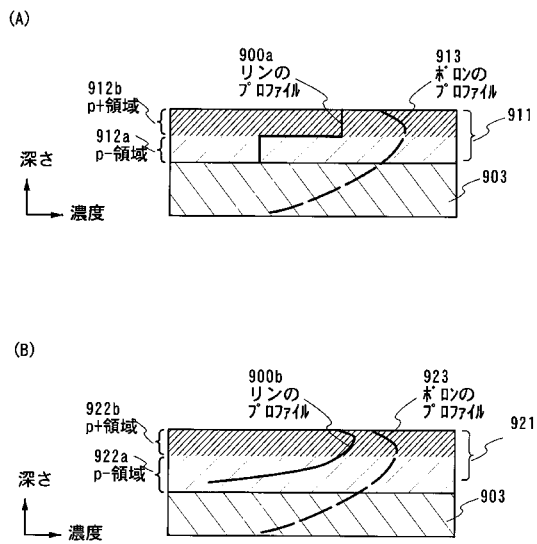
【図 36】



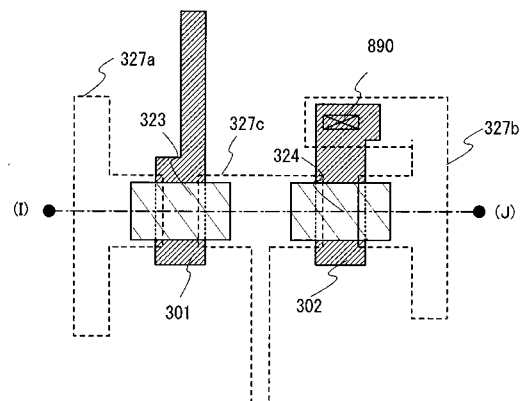
【図 37】



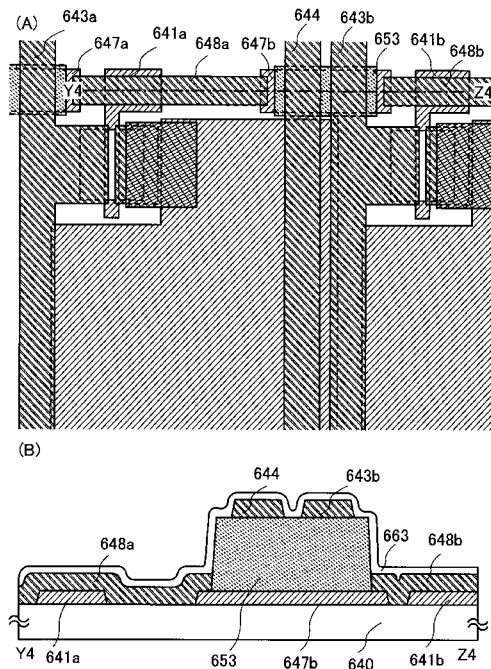
【図 38】



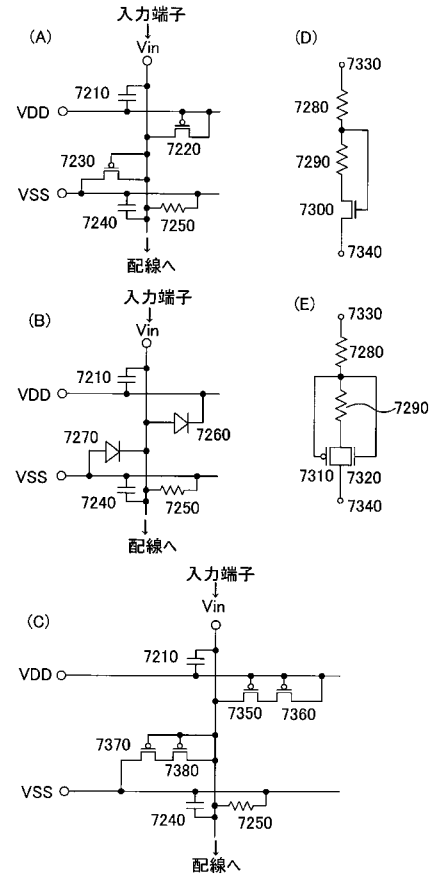
【図 39】



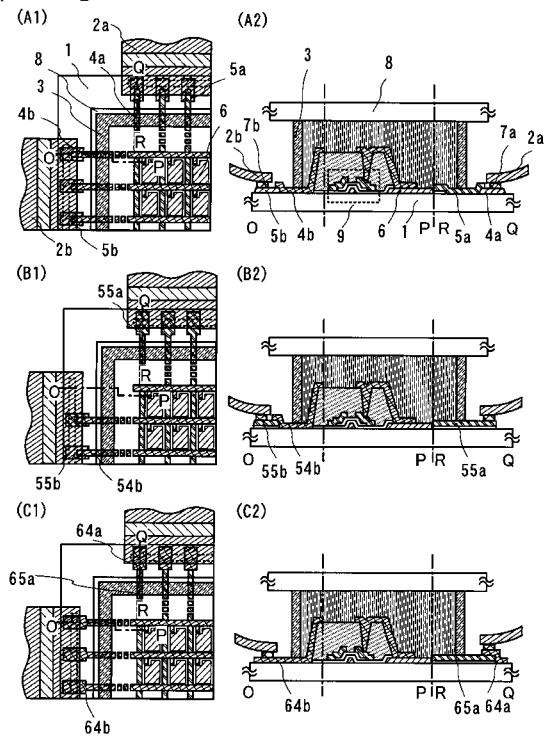
【図 40】



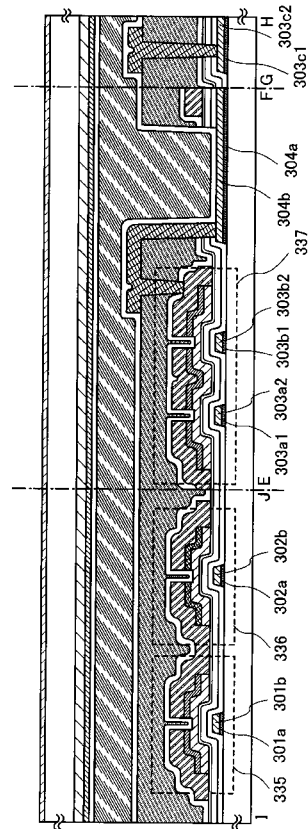
【図 41】



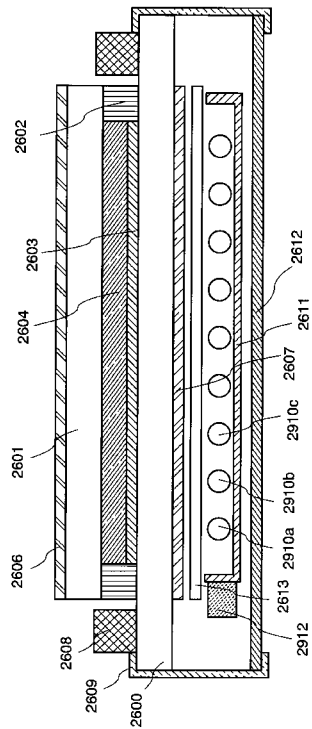
【図 42】



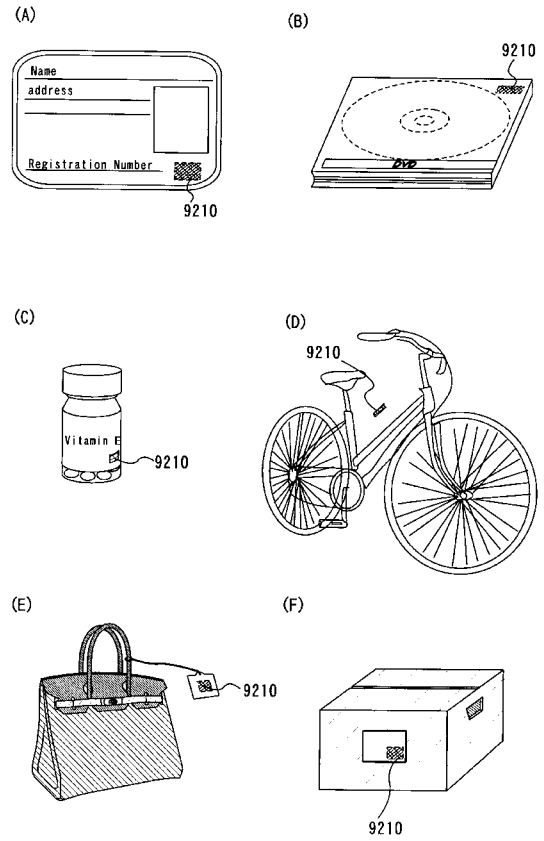
【図 43】



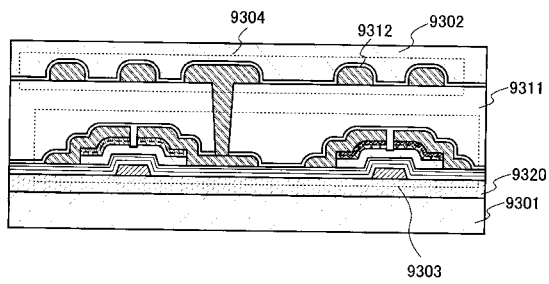
【 図 4 4 】



【 図 4 5 】



【 図 4 6 】



フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

H 0 1 L 21/322 (2006.01)	H 0 1 L 21/322	G
H 0 1 L 29/786 (2006.01)	H 0 1 L 29/78	6 1 2 C
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78	6 1 7 U
	H 0 1 L 29/78	6 1 7 M
	H 0 1 L 29/78	6 2 7 G
	H 0 1 L 29/78	6 1 3 A

F ターム(参考) 2H092 GA11 HA02 JA24 JA26 JA34 JA37 JA41 JB11 JB22 JB31
 MA05 MA07 MA08 MA10 MA13 MA14 MA16 MA17 MA29 PA06
 RA10
 5C094 AA03 AA05 AA13 AA43 AA53 AA55 BA03 BA43 CA19 DA09
 DA13 DB01 DB04 EA04 EA05 FB12 FB14 FB15 GB10 HA08
 JA08
 5F052 AA24 DA01 DA02 DA03 DB02 DB03 DB07 EA12 EA15 EA16
 FA06 JA02 JA04
 5F110 AA03 AA16 BB01 BB04 CC07 CC08 DD01 DD02 DD03 DD13
 DD14 EE01 EE02 EE04 EE07 EE14 EE28 EE34 EE42 EE43
 EE44 EE45 EE48 FF02 FF03 FF04 FF10 FF29 GG02 GG13
 GG24 GG25 GG32 GG33 GG34 GG43 GG45 GG47 GG52 HJ01
 HJ04 HJ06 HJ12 HJ13 HJ23 HK02 HK03 HK04 HK07 HK09
 HK21 HK32 HK33 HK34 HK35 HM15 NN01 NN03 NN12 NN22
 NN23 NN24 NN27 NN34 NN35 NN72 NN73 PP02 PP34 QQ09
 QQ19 QQ23 QQ24 QQ28

专利名称(译)	液晶显示装置及其制造方法，液晶电视装置		
公开(公告)号	JP2006106106A	公开(公告)日	2006-04-20
申请号	JP2004289021	申请日	2004-09-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 城口裕子		
发明人	山崎 舜平 城口 裕子		
IPC分类号	G02F1/1368 G02F1/13 G09F9/30 G09F9/35 H01L21/20 H01L21/322 H01L29/786 H01L21/336		
FI分类号	G02F1/1368 G02F1/13.505 G09F9/30.338 G09F9/35 H01L21/20 H01L21/322.G H01L29/78.612.C H01L29/78.617.U H01L29/78.617.M H01L29/78.627.G H01L29/78.613.A		
F-TERM分类号	2H088/EA02 2H088/HA02 2H088/HA04 2H088/HA06 2H088/HA08 2H088/MA02 2H088/MA10 2H088/MA16 2H092/GA11 2H092/HA02 2H092/JA24 2H092/JA26 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB11 2H092/JB22 2H092/JB31 2H092/MA05 2H092/MA07 2H092/MA08 2H092/MA10 2H092/MA13 2H092/MA14 2H092/MA16 2H092/MA17 2H092/MA29 2H092/PA06 2H092/RA10 5C094/AA03 5C094/AA05 5C094/AA13 5C094/AA43 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA05 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GB10 5C094/HA08 5C094/JA08 5F052/AA24 5F052/DA01 5F052/DA02 5F052/DA03 5F052/DB02 5F052/DB03 5F052/DB07 5F052/EA12 5F052/EA15 5F052/EA16 5F052/FA06 5F052/JA02 5F052/JA04 5F110/AA03 5F110/AA16 5F110/BB01 5F110/BB04 5F110/CC07 5F110/CC08 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/EE01 5F110/EE02 5F110/EE04 5F110/EE07 5F110/EE14 5F110/EE28 5F110/EE34 5F110/EE42 5F110/EE43 5F110/EE44 5F110/EE45 5F110/EE48 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF10 5F110/FF29 5F110/GG02 5F110/GG13 5F110/GG24 5F110/GG25 5F110/GG32 5F110/GG33 5F110/GG34 5F110/GG43 5F110/GG45 5F110/GG47 5F110/GG52 5F110/HJ01 5F110/HJ04 5F110/HJ06 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK07 5F110/HK09 5F110/HK21 5F110/HK32 5F110/HK33 5F110/HK34 5F110/HK35 5F110/HM15 5F110/NN01 5F110/NN03 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN34 5F110/NN35 5F110/NN72 5F110/NN73 5F110/PP02 5F110/PP34 5F110/QQ09 5F110/QQ19 5F110/QQ23 5F110/QQ24 5F110/QQ28 2H192/AA24 2H192/BC44 2H192/CB05 2H192/CB13 2H192/CB32 2H192/CB52 2H192/CB61 2H192/CB71 2H192/CB83 2H192/CC07 2H192/DA15 2H192/EA22 2H192/EA43 2H192/EA72 2H192/FA73 2H192/FB02 2H192/FB22 2H192/GA31 2H192/GA42 2H192/HA82 2H192/HA93 2H192/JA17 5F152/AA03 5F152/AA08 5F152/BB03 5F152/CC02 5F152/CC03 5F152/CC04 5F152/CC05 5F152/CC08 5F152/CD09 5F152/CD13 5F152/CD14 5F152/CD15 5F152/CD17 5F152/CD18 5F152/CD24 5F152/CE05 5F152/CE06 5F152/CE13 5F152/CE14 5F152/CE16 5F152/CE24 5F152/CE26 5F152/CE28 5F152/CE32 5F152/CE33 5F152/CE35 5F152/CE36 5F152/CE38 5F152/CE45 5F152/CF09 5F152/CF13 5F152/CF14 5F152/CF15 5F152/CF18 5F152/CF19 5F152/CF24 5F152/CF26 5F152/CG09 5F152/CG10 5F152/CG13 5F152/CG15 5F152/CG16 5F152/CG17 5F152/DD05 5F152/DD07 5F152/DD10 5F152/EE16 5F152/FF11 5F152/FF21		
其他公开文献	JP4610285B2 JP2006106106A5		
外部链接	Espacenet		
摘要(译)			

本发明的目的是提供一种具有TFT的液晶显示装置的制造方法，该TFT提高了材料的利用效率，在光掩模数少的情况下不易引起阈值的偏移，并且能够高速动作。根据本发明，将催化元素添加到非晶半导体膜中并加热以形成结晶半导体膜，从结晶半导体膜中去除催化元素，然后制造反向交错的薄膜晶体管。。此外，根据本发明，薄膜晶体管的栅电极层和像素电极层在相同的工艺中通过使用相同的材料形成，并且简化了工艺并且减少了材料的损耗。[选型图]图1

