

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-118183

(P2004-118183A)

(43) 公開日 平成16年4月15日(2004.4.15)

(51) Int.Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20

F I

G09G 3/36
G02F 1/133 550
G02F 1/133 575
G09G 3/20 611H
G09G 3/20 623B

テーマコード (参考)

2H093
5C006
5C080

審査請求 未請求 請求項の数 13 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2003-310095 (P2003-310095)
(22) 出願日 平成15年9月2日 (2003.9.2)
(31) 優先権主張番号 特願2002-257209 (P2002-257209)
(32) 優先日 平成14年9月2日 (2002.9.2)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72) 発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 木村 肇
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 塩野入 豊
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

最終頁に続く

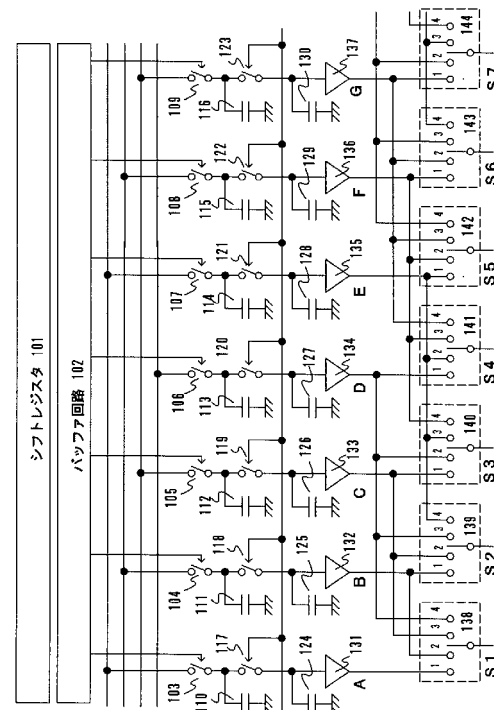
(54) 【発明の名称】 液晶表示装置および液晶表示装置の駆動方法

(57) 【要約】

【課題】 アナログバッファ回路を有する液晶表示装置において、輝度ムラの少ない画面を得ることの出来る液晶表示装置を提供する。

【解決方法】 ソース信号線駆動回路は複数のアナログバッファ回路を有し、アナログバッファ回路とソース信号線は期間毎に接続が変化する構成を取ることによって、アナログバッファ回路の出力バラツキを平均化し、均一な画面を得ることが出来る。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記液晶表示装置は前記アナログバッファ回路と前記ソース信号線の間に切り換え回路を有し、前記ソース信号線は周期的に、前記切り換え回路によって異なるアナログバッファ回路に接続されることを特徴とする液晶表示装置。

【請求項 2】

10

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記液晶表示装置は前記アナログバッファ回路と前記ソース信号線の間に切り換え回路を有し、前記ソース信号線は時間的にランダムに、前記切り換え回路によって異なるアナログバッファ回路に接続されることを特徴とする液晶表示装置。

【請求項 3】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置において、前記液晶表示装置は前記アナログバッファ回路と前記ソース信号線の間に切り換え回路を有し、

20

n (n は $2 \leq n$ を満たす自然数) 個の期間が周期的に繰り返され、

第 r (r は $1 \leq r \leq n$ を満たす自然数) の期間において、第 m (m は $1 \leq m \leq n$ の自然数) のソース信号線は第 $m + r - 1$ のアナログバッファに前記切り換え回路によって接続されることを特徴とした液晶表示装置。

【請求項 4】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置において、前記液晶表示装置は前記アナログバッファ回路と前記ソース信号線の間に切り換え回路を有し、

30

n (n は $2 \leq n$ を満たす自然数) 個の期間が時間的にランダムに繰り返され、

第 r (r は $1 \leq r \leq n$ を満たす自然数) の期間において、第 m (m は $1 \leq m \leq n$ を満たす自然数) のソース信号線は第 $m + r - 1$ のアナログバッファに前記切り換え回路によって接続されることを特徴とした液晶表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、アナログバッファ回路はソースホロワであることを特徴とした液晶表示装置。

40

【請求項 6】

請求項 1 乃至請求項 4 のいずれか 1 項において、アナログバッファ回路はボルテージホロワであることを特徴とした液晶表示装置。

【請求項 7】

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記ソース信号線は周期的に、異なるアナログバッファ回路によって駆動されることを特徴とする液晶表示装置の駆動方法。

【請求項 8】

50

絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記ソース信号線は時間的にランダムに、異なるアナログバッファ回路によって駆動されることを特徴とする液晶表示装置の駆動方法。

【請求項 9】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、

n (n は $2 \leq n$ を満たす自然数) 個の期間が周期的に繰り返され、

10

第 r (r は $1 \leq r \leq n$ を満たす自然数) の期間において、第 m (m は $1 \leq m \leq n$ を満たす自然数) のソース信号線は第 $m + r - 1$ のアナログバッファによって駆動されることを特徴とした液晶表示装置の駆動方法。

【請求項 10】

絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、

n (n は $2 \leq n$ を満たす自然数) 個の期間が時間的にランダムに繰り返され、

第 r (r は $1 \leq r \leq n$ を満たす自然数) の期間において、第 m (m は $1 \leq m \leq n$ を満たす自然数) のソース信号線は第 $m + r - 1$ のアナログバッファによって駆動されることを特徴とした液晶表示装置の駆動方法。

20

【請求項 11】

請求項 7 乃至請求項 10 のいずれか 1 項において、アナログバッファ回路はソースホロワであることを特徴とした液晶表示装置の駆動方法。

【請求項 12】

請求項 7 乃至請求項 10 のいずれか 1 項において、アナログバッファ回路はボルテージホロワであることを特徴とした液晶表示装置の駆動方法。

【請求項 13】

請求項 1 乃至請求項 6 のいずれか 1 項に記載の前記液晶表示装置を用いることを特徴とする電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に、ガラスまたはプラスチックなどの透明基板上に形成された薄膜トランジスタ (TFT) を用いた液晶表示装置およびその駆動方法に関する。さらに、液晶表示装置を用いた電子機器に関する。

【背景技術】

【0002】

40

近年、通信技術の進歩に伴って、携帯電話が普及している。今後は更に動画の伝送やより多くの情報伝達が予想される。一方、パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳に始まった PDA と呼ばれる情報端末も多数生産され、普及しつつある。また、表示装置の発展により、それらの情報携帯機器のほとんどにはフラットパネルディスプレイが装備されている。

【0003】

最近の技術では、それら使用される表示装置として、アクティブマトリクス型表示装置を使用する方向に向かっている。アクティブマトリクス型表示装置は画素 1 つずつに対して TFT を配置し、その TFT によって画面を制御している。このようなアクティブマトリクス型表示装置はパッシブマトリクス型表示装置と比較して、高性能化、高画質化、動

50

画対応などの長所を持っている。それゆえに、液晶表示装置もパッシブからアクティブに主流が移ると考えられる。

【 0 0 0 4 】

また、アクティブマトリクス型の表示装置の中でも、近年、低温ポリシリコンを用いた表示装置の製品化が進められている。低温ポリシリコンでは画素だけでなく、画素部の周囲に駆動回路を一体形成することが可能である為、表示装置の小型化や、高精細化が可能であるため、今後はさらに普及が見込まれる。

【 0 0 0 5 】

以下に、アクティブマトリクス型の液晶表示装置の画素部の動作について説明する。図 3 に、アクティブマトリクス型液晶表示装置の構成の例を示す。1つの画素 3 0 2 はソース信号線 S 1 とゲート信号線 G 1 と容量線 C 1 と画素 T F T 3 0 3 と保持容量 3 0 4 より構成される。ただし、容量線は他の配線などと兼用できれば必ずしも必要ではない。画素 T F T 3 0 3 のゲート電極は、ゲート信号線 G 1 に接続され、画素 T F T 3 0 3 のドレイン領域またはソース領域の 1 方は、ソース信号線 S 1 に接続され、もう一方は、保持容量 3 0 4 及び画素電極 3 0 5 に接続されている。

10

【 0 0 0 6 】

ゲート信号線はライン周期にて順次選択されていく。画素 T F T が N c h の場合はゲート信号線が H i のときにアクティブとなり、画素 T F T がオンとなる。画素 T F T がオンになるとソース信号線の電位が保持容量と液晶に書き込まれる。次のライン期間には隣のゲート信号線がアクティブとなり、同様にして保持容量と液晶にソース信号線の電位を書き込んでいく。

20

【 0 0 0 7 】

次にソース線駆動回路の動作について説明する。図 2 は従来のソース信号線駆動回路の例を示す。図 2 はアナログ方式の点順次駆動のソース信号線駆動回路の例である。この例では、シフトレジスタ 2 0 1、N A N D 回路 2 0 7、バッファ回路 2 0 8、アナログスイッチ 2 0 9 によって、構成されている。まず、シフトレジスタの初段にスイッチ 2 0 6 を介してソーススタートパルス S S P が入力される。スイッチ 2 0 6 はシフトレジスタの走査方向を規定するもので、S L / R が L o のとき図 2 では左から右に、H i のときに右から左に走査が行なわれる。シフトレジスタの各段は D F F 2 0 2 によって構成され、D F F 2 0 2 はクロックドインバータ 2 0 3、2 0 4、インバータ 2 0 5 によって構成され、クロックパルス C L および C L b が入力されるごとにパルスをシフトしていく。

30

【 0 0 0 8 】

シフトレジスタの出力は N A N D 回路 2 0 7 を介して、バッファ回路 2 0 8 に入力される。バッファ回路の出力によってアナログスイッチ 2 0 9 ~ 2 1 2 はオンになり、ビデオ信号をソース信号線 S 1 ~ S 4 にサンプリングしていく。

【 0 0 0 9 】

液晶パネルサイズが中型、小型である場合には、以上に説明したような点順次駆動でパネルを動作させることができるが、大型パネルではソース信号線の配線容量が 1 0 0 p F 程度となり、ソース信号線自体の遅延時間が大きくなる為、点順次駆動ではソース信号線の書き込み時間が不足し、書き込みを行うことが不可能となる。よって、大型パネルではデータを一度ソース信号線駆動回路内部のメモリに蓄え、次の 1 ライン期間を使用して、ソース信号線に書き込みを行う線順次駆動が必要となる。

40

【 0 0 1 0 】

このような線順次駆動を行なう場合には、メモリのあとに、アナログバッファ回路が必要となる。図 4 に線順次に対応したソース信号線駆動回路の例をしめす。アナログスイッチ 4 0 1 ~ 4 0 4 までの動作は図 2 に示した点順次対応のソース信号線駆動回路と同様である。図 2 と比較してアナログスイッチ 4 0 1 ~ 4 0 4 が駆動するのはソース信号線ではなく、アナログメモリとしての容量 4 0 5 ~ 4 0 8 である。1 ライン分のデータが順次アナログメモリに蓄えられると、次の帰線期間中に T R N、T R N b の信号がアクティブになり、アナログスイッチ 4 0 9 ~ 4 1 2 がオンになる。これによって、アナログメモリ 4

50

05 ~ 408 のデータはアナログメモリ容量 413 ~ 416 に転送される。

【0011】

そして、次のサンプリングのため、アナログスイッチ 401 ~ 404 がオンするまえに、アナログスイッチ 409 ~ 412 はオフとなる。アナログメモリ 413 ~ 416 のデータはアナログバッファ回路 417 ~ 420 を介して、ソース信号線 S1 ~ S4 に出力される。アナログメモリ 413 ~ 416 のデータは 1 ライン期間の間保持されるため、アナログバッファ回路 417 ~ 420 は 1 ライン期間の時間をかけてソース線を充電できる。このようにして、大型パネルはアナログメモリ、アナログバッファ回路を有することにより、線順次駆動が可能となる。

【0012】

10

ところが、TFT を用いてアナログバッファ回路を用いるときに、このアナログバッファ回路のばらつきが問題になる。アナログバッファ回路にばらつきが生じると同じ階調の映像信号を入力しても、出力にばらつきが生じ、この結果、画面上では、すだれ状の縦縞が発生し、画質が非常に低下するという問題が発生する。

【発明の開示】

【発明が解決しようとする課題】

【0013】

低温ポリシリコンを用いて、液晶表示装置を製造する場合、ドライバー回路を一体形成することになるが、単結晶シリコンを用いて、ドライバー回路を製造した場合と比較して、トランジスタのばらつきが大きいという欠点がある。これは、結晶化のばらつきや、工程中の静電気によるダメージなどが原因と言われている。このようなトランジスタを用いてドライバー回路を形成する場合、ロジック部よりアナログ動作をする部分、特に、アナログバッファ回路でばらつきが顕著に表れる。

20

【0014】

図 4 に示した従来のソース信号線駆動回路において、個々のアナログバッファ回路の出力電圧と複数のアナログバッファ回路の出力の平均値との差電圧を考える。平均出力値とアナログバッファ回路出力 A との差電圧を ΔV_A 、同様に平均出力値とアナログバッファ回路出力 B、C、D との差電圧を ΔV_B 、 ΔV_C 、 ΔV_D とする。さらに、それぞれの値が ΔV_A を +100 mV、 ΔV_B を -100 mV、 ΔV_C を -50 mV、 ΔV_D を +30 mV とすると、ソース信号線 S2 と S3 の間では差が 50 mV であるが、ソース信号線 S1 と S2 の間では 200 mV あり、人の目によって、階調差が認識される。

30

【課題を解決するための手段】

【0015】

前述した課題を解決する為、本発明では、アナログバッファ回路とソース信号線との間に切り換えスイッチを挟んで、スイッチを切り換え出力を入れ替えている。このような処理をすることによって、アナログバッファ回路の出力のばらつきは時間的に平均化され、表示ムラをめだたなくすることが可能である。

【0016】

以下に本発明の構成を示す。

【0017】

40

本発明は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記ソース信号線は周期的に、異なるアナログバッファ回路に接続されることを特徴としている。

【0018】

本発明は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記ソース信号線は時間的にランダムに、異なるアナログバッファ回路に接続されることを特徴としている。

【0019】

50

本発明は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置において、 n (n は2より大なる自然数)個の期間が周期的に繰り返され、第 r (r は1より大なる自然数)の期間において、第 m (m は1より大なる自然数)のソース信号線は第 $m + r - 1$ のアナログバッファに接続されることを特徴としている。

【0020】

本発明は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置において、 n (n は2より大なる自然数)個の期間が時間的にランダムに繰り返され、第 r (r は1より大なる自然数)の期間において、第 m (m は1より大なる自然数)の信号線は第 $m + r - 1$ のアナログバッファに接続されることを特徴としている。

【0021】

上記本発明の構成において、アナログバッファ回路はソースホロワ、または、ボルテージホロワであることを特徴としている。

【0022】

本発明における液晶表示装置の駆動方法は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記ソース信号線は周期的に、異なるアナログバッファ回路によって駆動されることを特徴としている。

【0023】

本発明における液晶表示装置の駆動方法は、絶縁基板上に複数のソース信号線と複数のゲート信号線と、複数の画素と、前記信号線を駆動するソース信号線駆動回路と有する液晶表示装置の駆動方法において、前記ソース信号線駆動回路は複数のアナログバッファ回路を有し、前記ソース信号線は時間的にランダムに、異なるアナログバッファ回路によって駆動されることを特徴としている。

【0024】

本発明における液晶表示装置の駆動方法は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、 n (n は2より大なる自然数)個の期間が周期的に繰り返され、第 r (r は1より大なる自然数)の期間において、第 m (m は1より大なる自然数)の信号線は第 $m + r - 1$ のアナログバッファによって駆動されることを特徴としている。

【0025】

本発明における液晶表示装置の駆動方法は、絶縁基板上に複数の画素と、複数のソース信号線と、複数のゲート信号線と、ソース信号線駆動回路を配置し、前記ソース信号線駆動回路は前記ソース信号線を駆動するためのアナログバッファ回路を有する液晶表示装置の駆動方法において、 n (n は2より大なる自然数)個の期間が時間的にランダムに繰り返され、第 r (r は1より大なる自然数)の期間において、第 m (m は1より大なる自然数)の信号線は第 $m + r - 1$ のアナログバッファによって駆動されることを特徴としている。

【0026】

上記本発明の液晶表示装置の駆動方法において、アナログバッファ回路はソースホロワ、または、ボルテージホロワであることを特徴としている。

【0027】

以上によって、絶縁基板上に構成したアナログバッファ回路に出力ばらつきがあっても、表示において、画面上に縦縞が発生するのを防止することができる。

【発明の効果】**【0028】**

従来の液晶表示装置では、アナログバッファ回路を出力に用いた場合、そのバラツキによって、縦縞が発生し、画質が低下するという問題があった。

【0029】

本発明は、アナログバッファ回路の出力を時間的に切り換えて、出力電圧のばらつきを平均化することによって、出力ばらつきの低減ができる。

【発明を実施するための最良の形態】**【0030】**

以下、本発明の実施形態について図面を参照して詳細に説明する。

10

【0031】

図1に本発明の液晶表示装置を示す。シフトレジスタ等は従来例で説明したものと同様である。従来と異なるのはアナログバッファ回路131～137とソース信号線S1～S7の間にスイッチ138～144があることである。以下に本実施形態の動作を説明する。スイッチ138～144は4接点のスイッチを例にとり、説明を行なっているが、本発明は4接点に限らず、接点数が異なっても本発明は成り立つものである。

【0032】

本発明ではスイッチ138～144は、接続内容が切り替わる。ここではその周期を1フレームとして説明するが、本発明はそれに限定するものではない。以下、説明をおこなう。まず第1フレームでは、スイッチ138～144は「1」の接続状態にあり、この場合アナログバッファ回路131の出力Aはソース信号線S1に接続されている。同様にアナログバッファ回路132～137の出力B、C、D、E、F、Gはソース信号線S2、S3、S4、S5、S6、S7に接続されている。

20

【0033】

次に、第2フレームでは、スイッチ138～144は「2」の接続状態にあり、アナログバッファ回路132の出力Bはソース信号線S1に接続される。同様にアナログバッファ回路133～137の出力C、D、E、F、Gはそれぞれソース信号線S2、S3、S4、S5、S6に接続される。次に、第3フレームでは、スイッチ138～144は「3」の接続状態にあり、アナログバッファ回路133の出力Cはソース信号線S1に接続される。同様にアナログバッファ回路134～137の出力D、E、F、Gはそれぞれソース信号線S2、S3、S4、S5に接続される。

30

【0034】

次に、第4フレームでは、スイッチ138～144は「4」の接続状態にあり、アナログバッファ回路134の出力Dはソース信号線S1に接続される。同様にアナログバッファ回路135～137の出力E、F、Gはそれぞれソース信号線S2、S3、S4に接続される。

【0035】

次に、第5フレームでは、スイッチ138～144は再び「1」の接続状態にあり、アナログバッファ回路131の出力Aはソース信号線S1に接続される。同様にアナログバッファ回路132～137の出力B、C、D、E、F、Gはそれぞれソース信号線S2、S3、S4、S5、S6、S7に接続される。このように、スイッチ138～144は4フレームの周期で接続変更を繰り返す。

40

【0036】

スイッチが4接点であるため、4フレーム周期で変化しているが、前述した様に、接点数を変えることによって、周期は変更することが可能である。またフレームごとにこだわる必要もない。目視上で平均化が可能な周期であればよい。ソース信号線ごとに対応するアナログバッファ回路の出力を図10に示す。

【0037】

従来例のように、個々のアナログバッファ回路の出力電圧と複数のアナログバッファ回路の出力の平均値との差電圧を考える。出力平均値とアナログバッファ回路出力Aとの差

50

電圧を ΔV_A 、同様に出力平均値とアナログバッファ回路出力 B 、 C 、 D との差電圧を ΔV_B 、 ΔV_C 、 ΔV_D とすると、人間の目にはこれらが平均化されて見える為、ソース信号線 S_1 、 S_2 、 S_3 、 S_4 の出力電位差はいずれも $(\Delta V_A + \Delta V_B + \Delta V_C + \Delta V_D) / 4$ の様になる。

【0038】

従来例と同様に ΔV_A を $+100\text{ mV}$ 、 ΔV_B を -100 mV 、 ΔV_C を -50 mV 、 ΔV_D を $+30\text{ mV}$ とすると、平均化された結果、ソース信号線 $S_1 \sim S_4$ の電圧は -5 mV となり、従来例で問題となったような隣接間で 200 mV の電位差が発生し、縦縞が目立つというような不具合を防止することが可能になる。

【0039】

以上はスイッチを4接点とし、繰り返しの期間を4期間としたが、期間は4に限らず、 n (n は2より n を満たす自然数) 個の期間を設定し、第 r (r は1より r を満たす自然数) の期間において、第 m (m は1より m を満たす自然数) のソース信号線は第 $m + r - 1$ のアナログバッファに接続されるようにすることによって、目的とする効果を得ることができる。また、第 m のソース信号線を第 $m + r - 1$ のアナログバッファで駆動することによって、目的とする効果を得ることができる。

【実施例1】

【0040】

図7に第1の実施例を示す。図7は図1に示したスイッチ123の具体的回路例である。スイッチは $TFT_{701} \sim TFT_{708}$ より構成され、それぞれの TFT のゲート端子に接続された制御線1~4bによって制御される。図8に制御線1~4bのタイミングチャートを示す。図8に示すような制御信号によって、図1における D は第1フレームにおいてソース信号線 S_4 、第2フレームにおいてソース信号線 S_3 、第3フレームにおいてソース信号線 S_2 、第4フレームにおいてソース信号線 S_1 に接続される。図7に示した回路図は $CMOS$ 構成になっているが、 $NMOS$ もしくは $PMOS$ 構成にしてもよい。その場合は制御線数は半分にすることができる。

【実施例2】

【0041】

図5にアナログバッファ回路の例として、オペアンプの回路を示す。このタイプのアナログバッファ回路では、出力電圧のばらつきは差動回路を構成する TFT_{503} 、および 504 の特性ばらつきと、カレントミラー回路を構成する TFT_{501} と 502 のばらつきによって出力のばらつきが決まる。しかし、その組の TFT の隣接ばらつきが抑えられていれば、パネル全体のばらつきは大きくても問題ないので、集積回路ではよく使用される回路である。

【0042】

この例では、差動回路を Nch 、カレントミラー回路を Pch で作成しているが、本発明では、それには限定されない。逆であっても良い。また、回路形式もこのような回路接続には限定されることはなく、オペアンプとしての機能を満たすものであれば使用可能である。

【実施例3】

【0043】

図6にアナログバッファ回路の例として、ソースホロワ回路の例を示す。ソースホロワ回路はバッファ TFT_{601} と定電流源 602 によって構成される。この例ではバッファ TFT を Nch で構成しているが、 Pch であっても構わない。ソースホロワ回路は、 Nch を使用した場合、入力電位に対して、出力電位が TFT の V_{gs} だけ低下する、または Pch を使用した場合、入力電位に対して、出力電位が TFT の V_{gs} だけ上昇するという問題があるが、その反面、構成が簡単で $CMOS$ でなくとも実現が可能であるという利点がある。 TFT 工程削減のため単極性のプロセスを採用する場合は、オペアンプ型のアナログバッファ回路を構成することが難しいため、ソースホロワが使用される。

【実施例4】

【 0 0 4 4 】

図 1 1 は本発明の回路を使用するため、ソース信号線駆動回路に入力するビデオ信号を切り換える回路をソース信号線駆動回路の外側に配置した例である。本発明のソース信号線切り換えをアナログスイッチとソース信号線の間のみでおこなうと、出力バラツキは低減されるが、アナログバッファの出力は 4 本のソース信号線に出力されるため、画像は正規の画像がまったく得られない。よって、アナログバッファ回路に入力される前にあらかじめ、信号を入れ換えておき、アナログバッファ後のスイッチで再度入れ換えを行なうことによって、正常な画像を作り出すことが可能になる。

【 0 0 4 5 】

発明の実施形態と同様にフレームごとに切り換えが行なわれるとした場合を考える。まず第 1 フレームにおいて、ビデオ回路 1 1 5 0 の出力はスイッチ 1 1 5 4 が「 1 」に接続され、ビデオ信号線 1 1 4 5 に接続される。ビデオ信号線 1 1 4 5 の信号はスイッチ 1 1 0 3 とスイッチ 1 1 1 7 を介して、アナログバッファ回路 1 1 3 1 に入力される。第 1 フレームではスイッチ 1 1 3 8 は「 1 」に接続されるためアナログバッファ回路 1 1 3 1 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 5 1、1 1 5 2、1 1 5 3 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。 10

【 0 0 4 6 】

次に第 2 フレームにおいてビデオ回路 1 1 5 0 の出力はスイッチ 1 1 5 4 が「 2 」に接続され、ビデオ信号線 1 1 4 6 に接続される。ビデオ信号線 1 1 4 6 の信号はスイッチ 1 1 0 4 とスイッチ 1 1 1 8 を介して、アナログバッファ回路 1 1 3 2 に入力される。第 2 フレームではスイッチ 1 1 3 8 は「 2 」に接続されるためアナログバッファ回路 1 1 3 2 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 5 1、1 1 5 2、1 1 5 3 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。 20

【 0 0 4 7 】

次に第 3 フレームにおいて、ビデオ回路 1 1 5 0 の出力はスイッチ 1 1 5 4 が「 3 」に接続され、ビデオ信号線 1 1 4 7 に接続される。ビデオ信号線 1 1 4 7 の信号はスイッチ 1 1 0 5 とスイッチ 1 1 1 9 を介して、アナログバッファ回路 1 1 3 3 に入力される。第 3 フレームではスイッチ 1 1 3 8 は「 3 」に接続されるためアナログバッファ回路 1 1 3 3 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 5 1、1 1 5 2、1 1 5 3 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。 30

【 0 0 4 8 】

次に第 4 フレームにおいて、ビデオ回路 1 1 5 0 の出力はスイッチ 1 1 5 4 が「 4 」に接続され、ビデオ信号線 1 1 4 8 に接続される。ビデオ信号線 1 1 4 8 の信号はスイッチ 1 1 0 6 とスイッチ 1 1 2 0 を介して、アナログバッファ回路 1 1 3 4 に入力される。第 4 フレームではスイッチ 1 1 3 8 は「 4 」に接続されるためアナログバッファ回路 1 1 3 4 の出力はソース信号線 S 1 に接続される。同様にして、ビデオ回路 1 1 5 1、1 1 5 2、1 1 5 3 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。

【 0 0 4 9 】

このようにして、いずれのフレームにおいても、ビデオ回路 1 1 5 0 の出力はソース信号線 S 1 に接続される。これによって、画像は正常な状態で、かつ、フレーム毎に、使用するアナログバッファ回路を入れ換えることが可能である。同様にビデオ回路 1 1 5 1、1 1 5 2、1 1 5 3 の出力についてもそれぞれソース信号線 S 2、S 3、S 4 に、いずれのフレームにおいても接続される。 40

【 0 0 5 0 】

このような回路は T F T 基板の外側に別基板（プリント基板、フレキシブル基板）を設けて作成しても良いし、T F T 基板上に L S I チップを貼り付けても良いし、また、T F T を用いて同一基板上に形成してもよい。

【 実施例 5 】

【 0 0 5 1 】

本実施例では切り換え回路をソース信号線駆動回路に内蔵した例である。本実施例では 50

、アナログバッファ回路の前の切り換え回路をビデオ信号線との間に設けた例を図 1 2 を用いて示す。

【 0 0 5 2 】

発明の実施形態と同様にフレームごとに切り換えが行なわれるとした場合を考える。まず第 1 フレームにおいて、ビデオ信号線 1 2 5 2 の出力はスイッチ 1 2 0 3 を通過した後、スイッチ 1 2 1 0 が「 1 」に接続され、アナログメモリ 1 2 1 7 とスイッチ 1 2 2 4 に接続される。スイッチ 1 2 2 4 を経てアナログメモリ 1 2 3 1 とアナログバッファ回路 1 2 3 8 に入力される。第 1 フレームではスイッチ 1 2 4 5 は「 1 」に接続されるためアナログバッファ回路 1 2 3 8 の出力はソース信号線 S 1 に接続される。同様に、ビデオ信号線 1 2 5 3、1 2 5 4、1 2 5 5 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。 10

【 0 0 5 3 】

次に第 2 フレームにおいて、ビデオ信号線 1 2 5 2 の出力はスイッチ 1 2 0 3 を通過した後、スイッチ 1 2 1 0 が「 2 」に接続され、アナログメモリ 1 2 1 8 とスイッチ 1 2 2 5 に接続される。スイッチ 1 2 2 5 を経てアナログメモリ 1 2 3 2 とアナログバッファ回路 1 2 3 9 に入力される。第 2 フレームではスイッチ 1 2 4 5 は「 2 」に接続されるためアナログバッファ回路 1 2 3 9 の出力はソース信号線 S 1 に接続される。同様に、ビデオ信号線 1 2 5 3、1 2 5 4、1 2 5 5 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。

【 0 0 5 4 】

次に第 3 フレームにおいて、ビデオ信号線 1 2 5 2 の出力はスイッチ 1 2 0 3 を通過した後、スイッチ 1 2 1 0 が「 3 」に接続され、アナログメモリ 1 2 1 9 とスイッチ 1 2 2 6 に接続される。スイッチ 1 2 2 6 を経てアナログメモリ 1 2 3 3 とアナログバッファ回路 1 2 4 0 に入力される。第 3 フレームではスイッチ 1 2 4 5 は「 3 」に接続されるためアナログバッファ回路 1 2 4 0 の出力はソース信号線 S 1 に接続される。同様に、ビデオ信号線 1 2 5 3、1 2 5 4、1 2 5 5 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。 20

【 0 0 5 5 】

次に第 4 フレームにおいて、ビデオ信号線 1 2 5 2 の出力はスイッチ 1 2 0 3 を通過した後、スイッチ 1 2 1 0 が「 4 」に接続され、アナログメモリ 1 2 2 0 とスイッチ 1 2 2 7 に接続される。スイッチ 1 2 2 7 を経てアナログメモリ 1 2 3 4 とアナログバッファ回路 1 2 4 1 に入力される。第 4 フレームではスイッチ 1 2 4 5 は「 4 」に接続されるためアナログバッファ回路 1 2 4 1 の出力はソース信号線 S 1 に接続される。同様に、ビデオ信号線 1 2 5 3、1 2 5 4、1 2 5 5 の出力はそれぞれソース信号線 S 2、S 3、S 4 に接続される。 30

【 0 0 5 6 】

このようにして、いずれのフレームにおいても、ビデオ信号線 1 2 5 2 の出力はソース信号線 S 1 に接続される。これによって、画像は正常な状態で、かつ、フレーム毎に、使用するアナログバッファ回路を入れ換えることが可能である。同様にビデオ信号線 1 2 5 3、1 2 5 4、1 2 5 5 の出力についてもそれぞれソース信号線 S 2、S 3、S 4 に、いずれのフレームにおいても接続される。 40

【 実施例 6 】

【 0 0 5 7 】

本発明の実施形態、および実施例 1、実施例 4、実施例 5 ではスイッチの切り換えを周期的に決まった順序で行なっているがこの切り替えは固定したものではなくとも良い。すなわち、実施形態では最初の 4 フレームにおいて、ソース信号線 S 1 がアナログバッファ出力 A、B、C、D に接続され、次の 4 フレームでも A、B、C、D と接続される、それを周期的に繰り返していた。しかし、それとは別に最初の 4 フレームでは A、B、C、D であるが、次の 4 フレームは C、B、D、A というように、出現の順番は固定ではなくランダムであっても良い。この場合、実施例 1 ~ 実施例 5 に示した回路とは自由に組み合わ 50

せることができる。

【0058】

なお、本発明の表示装置は、本実施例のソース信号線駆動回路の構成に限らず、公知の構成のソース信号線駆動回路を自由に用いることができる。

【実施例7】

【0059】

本実施例では、本発明の表示装置のゲート信号線駆動回路の構成例について説明する。

【0060】

ゲート信号線駆動回路は、シフトレジスタ、走査方向切り換え回路等によって構成されている。なお、ここでは図示しなかったが、レベルシフタやバッファ等を適宜設けても良い。 10

【0061】

シフトレジスタには、スタートパルスGSP、クロックパルスGCL等が入力されて、ゲート信号線選択信号を出力している。ゲート信号線駆動回路の構成について、図9を用いて説明する。

【0062】

シフトレジスタ901は、クロックドインバータ902と903、インバータ904、NAND907によって構成されている。シフトレジスタ901には、スタートパルスGSPが入力され、クロックパルスGCLとその極性が反転した信号である反転クロックパルスGCLbによって、クロックドインバータ902及び903が導通状態、非導通状態 20と変化することによって、NAND907から順に、サンプリングパルスを出力する。

【0063】

また、走査方向切り換え回路は、スイッチ905及びスイッチ906によって構成され、シフトレジスタの操作方向を、図面向かって左右に切り換える働きをする。図9では、走査方向切り換え信号U/DがLoの信号に対応する場合、シフトレジスタは、図面向かって左から右に順に、サンプリングパルスを出力する。一方、走査方向切り換え信号U/DがHiの信号に対応する場合、図面向かって右から左に順にサンプリングパルスを出力する。

【0064】

シフトレジスタから出力されたサンプリングパルスは、NOR908に入力され、イネーブル信号ENBと演算される。この演算は、サンプリングパルスのなまりによって、となり合うゲート信号線が同時に選択される状況を防ぐために行われる。NOR908から出力された信号は、バッファ909、910を介して、ゲート信号線G1～Gyに出力される。 30

【0065】

シフトレジスタに入力されるスタートパルスGSP、クロックパルスGCL等は、外部のタイミングコントローラから入力されている。

【0066】

なお、本発明の表示装置は、本実施例のゲート信号線駆動回路の構成に限らず、公知の構成のゲート信号線駆動回路を自由に用いることができる。本実施例は本発明の他の実施例と組み合わせて使用することができる。 40

【実施例8】

【0067】

図15にデジタル入力のソース信号線駆動回路の実施例を示す。シフトレジスタ1501の出力はバッファ回路1502を介して、ラッチ回路1503に入力される。ラッチ回路はバッファ回路の出力がアクティブになったときに、デジタルビデオ信号を取り込み記憶する機能を持っている。シフトレジスタが1ライン期間の間にデジタルビデオ信号を随時取り込んでいき、1ライン分のデジタルデータが記憶される。1ライン分の記憶の終了後、帰線期間中に、ラッチパルスが入力され、ラッチ回路1503のデータがラッチ回路1504に取り込まれる。 50

【 0 0 6 8 】

ラッチ回路 1 5 0 4 のデータは次の帰線期間まで保持されるため、その間に、ラッチ回路 1 5 0 4 のデータは D / A コンバータ 1 5 0 5 によって、アナログに変換される。D / A コンバータ 1 5 0 5 の出力はアナログバッファ回路 1 5 0 6 とスイッチ 1 5 1 3 を介してソース信号線を駆動する。

【 0 0 6 9 】

ここで、スイッチ回路 1 5 1 3 の動作は実施の形態にて説明したのと同等で、第 1 フレームにおいては、ソース信号線 S 1 はアナログバッファ回路 1 5 0 6 に接続され、第 2 フレームにおいては、アナログバッファ回路 1 5 0 7 に接続され、第 3 フレームにおいては、アナログバッファ回路 1 5 0 8 に接続され、第 4 フレームにおいてはアナログバッファ回路 1 5 0 9 に接続される。このようにして、実施の形態と同様に、各ソース信号線はアナログバッファ回路の出力バラツキが平均化されるため、表示上のむらを低減することができ、画質を向上させることができる。本実施例は他の実施例と組み合わせて使用することができる。

10

【 実施例 9 】

【 0 0 7 0 】

図 1 6 に示すのは実施例 8 に示したラッチ回路の具体例である。図 1 6 (A) はクロックインバータを用いたラッチ回路で、前述した信号線駆動回路のシフトレジスタにも使われているものである。図 1 6 (B) はインバータとアナログスイッチを組み合わせたものである。図 1 6 (C) は図 1 6 (B) よりアナログスイッチを 1 つ削除したもので、二つのインバータ回路のうち、出力がアナログスイッチに接続されるほうのインバータの駆動能力をアナログスイッチの駆動能力より小さく設計しておき、アナログスイッチの動作によって、記憶状態を変えられるようにしたものである。ラッチ回路としてはいずれを用いても良い。また、ここに示した以外の回路を用いても良い。本実施例は本発明の他の実施例と組み合わせて使用することができる。

20

【 実施例 1 0 】

【 0 0 7 1 】

図 1 3 は単極性の T F T を用いて、シフトレジスタを構成した例である。図 1 3 は N c h の例であるが、単極性は N c h のみまたは P c h のみのいずれを用いても良い。単極性のプロセスを用いることによって、マスク枚数の低減が可能となる。

30

【 0 0 7 2 】

図 1 3 において、スタートパルスは走査方向切り換えスイッチ 1 3 0 2 に入力され、スイッチ用 T F T 1 3 1 1 を経て、シフトレジスタ 1 3 0 1 に入力される。シフトレジスタはブートストラップを用いたセトリセット型のシフトレジスタである。以下にシフトレジスタ 1 3 0 1 の動作を説明する。

【 0 0 7 3 】

スタートパルスは T F T 1 3 0 3 のゲートと T F T 1 3 0 6 のゲートに入力される。T F T 1 3 0 6 がオンになると T F T 1 3 0 4 のゲートはロウになり T F T 1 3 0 4 はオフになる。また、T F T 1 3 1 0 のゲートもロウになるため T F T 1 3 1 0 もオフとなる。T F T 1 3 0 3 のゲートは電源電位まで上がるため、まず T F T 1 3 0 9 のゲートは電源 - V g s まで上昇する。出力 1 は初期電位がロウであるため、T F T 1 3 0 9 は出力 1 と容量 1 3 0 8 を充電しながらソース電位を上げていく、T F T 1 3 0 9 のゲートが電源 - V g s まで上昇したときに、T F T 1 3 0 9 はまだオンしているので、出力 1 はさらに上昇を続ける。T F T 1 3 0 9 のゲートは放電経路がないので、ソースに合わせて上昇し、電源をこえてもさらに上昇を続ける。

40

【 0 0 7 4 】

T F T 1 3 0 9 のドレイン、及びソースが等電位になったときに、電流が出力に流れるのが停止し、そこで T F T 1 3 0 9 の電位上昇が止まる。このようにして、出力 1 は電源電位に等しいハイ電位を出力できる。この時は C L b の電位はハイとする。C L b がロウに落ちると、容量 1 3 0 8 電荷は T F T 1 3 0 9 を介して C L b にぬけて、出力 1 はロウ

50

に落ちる。出力１のパルスは次の段のシフトレジスタに伝わっていく。以上が図１３の回路の動作である。本実施例は本発明の他の実施例と組み合わせて使用することができる。

【実施例１１】

【００７５】

図１４は本発明の液晶表示装置の上面図である。画素部１４０３、ソース信号線駆動回路１４０１、ゲート信号線駆動回路１４０２、ＦＰＣ端子１４０８を貼り付ける外部入力端子１４０４、外部入力端子と各回路の入力部までを接続する配線１４０７ａ、１４０７ｂなどが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板１４１１とがシール材１４１０を介して貼り合わされている。

【００７６】

ソース信号線駆動回路１４０１と重なるように対向基板側に遮光層１４０５が設けられ、ゲート信号線駆動回路１４０２と重なるように対向基板側に遮光層１４０６が形成されている。また、画素部１４０３上の対向基板側に設けられたカラーフィルタ１４０９は遮光層と、赤色（Ｒ）、緑色（Ｇ）、青色（Ｂ）の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色（Ｒ）の着色層、緑色（Ｇ）の着色層、青色（Ｂ）の着色層の３色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【００７７】

ここでは、カラー化を図るためにカラーフィルタ１４０９を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【００７８】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層１４０５、１４０６を設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

【００７９】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

【００８０】

この様にして、液晶表示装置が完成する。なお、本実施例では、透過型のアクティブマトリクス型液晶表示装置の作製方法を示したが、反射型のアクティブマトリクス型液晶表示装置も同様の手法で作製可能である。本実施例は本発明の他の実施例と組み合わせて使用することができる。

【実施例１２】

【００８１】

以上のようにして作製される液晶表示装置は、液晶モジュールを構成でき、さらに液晶表示装置は各種電子機器の表示部として用いることができる。以下に、本発明を用いて形成された液晶表示装置を表示媒体として組み込んだ電子機器について説明する。

【００８２】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置）などが挙げられる。それらの一例を図１７に示す。

10

20

30

40

50

【 0 0 8 3 】

図 1 7 (A) は表示装置であり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。本発明により作製した発光装置をその表示部 2 0 0 3 に用いることにより作製される。発光素子を有する発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、表示装置は、パソコン用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【 0 0 8 4 】

図 1 7 (B) はデジタルスチルカメラであり、本体 2 1 0 1、表示部 2 1 0 2、受像部 2 1 0 3、操作キー 2 1 0 4、外部接続ポート 2 1 0 5、シャッター 2 1 0 6 等を含む。本発明により作製した発光装置をその表示部 2 1 0 2 に用いることにより作製される。 10

【 0 0 8 5 】

図 1 7 (C) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明により作製した発光装置をその表示部 2 2 0 3 に用いることにより作製される。

【 0 0 8 6 】

図 1 7 (D) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明により作製した発光装置をその表示部 2 3 0 2 に用いることにより作製される。 20

【 0 0 8 7 】

図 1 7 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（DVD 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカー部 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示するが、本発明により作製した発光装置をこれら表示部 A、B 2 4 0 3、2 4 0 4 に用いることにより作製される。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 0 8 8 】

図 1 7 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。本発明により作製した発光装置をその表示部 2 5 0 2 に用いることにより作製される。 30

【 0 0 8 9 】

図 1 7 (G) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9、接眼部 2 6 1 0 等を含む。本発明により作製した発光装置をその表示部 2 6 0 2 に用いることにより作製される。

【 0 0 9 0 】

ここで図 1 7 (H) は携帯電話であり、本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含む。本発明により作製した発光装置をその表示部 2 7 0 3 に用いることにより作製される。なお、表示部 2 7 0 3 は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。 40

【 0 0 9 1 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 4 のどのような組み合わせからなる構成を用いても実現することができる。

【 図面の簡単な説明 】

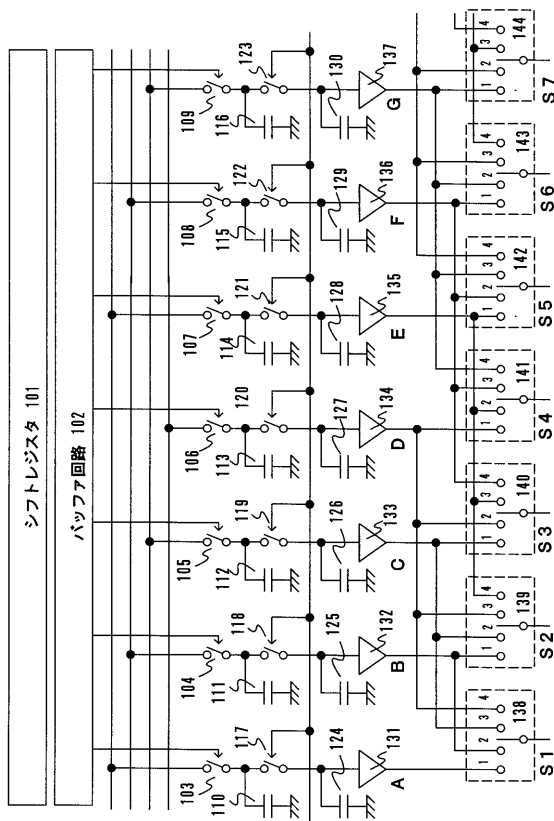
【 0 0 9 2 】

【 図 1 】 本発明の液晶表示装置のソース信号線駆動回路のブロック図。

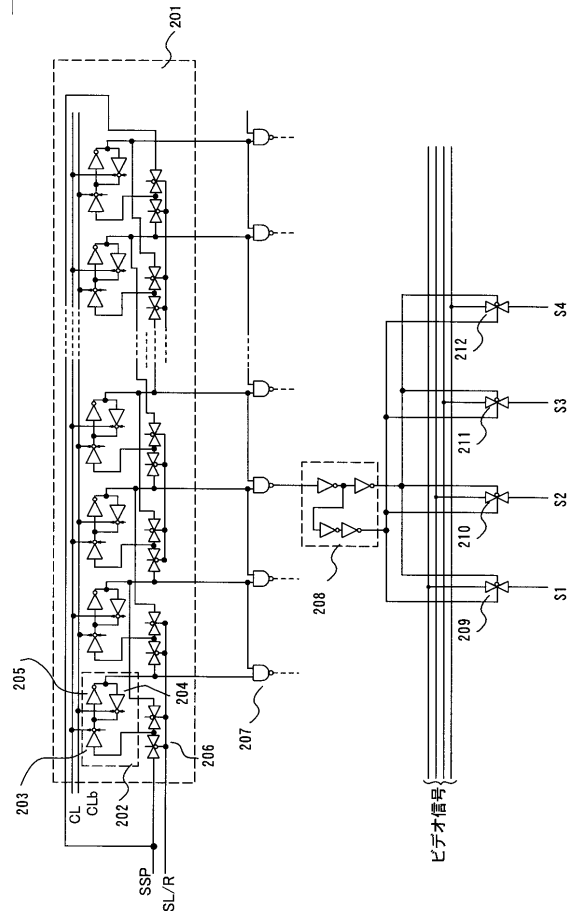
- 【図 2】従来の液晶表示装置のソース信号線駆動回路のブロック図。
 【図 3】液晶表示装置の画素部の構成を示す図。
 【図 4】従来の液晶表示装置のソース信号線駆動回路のブロック図。
 【図 5】オペアンプ型のアナログバッファの回路図。
 【図 6】ソースホロワ型アナログバッファの回路図。
 【図 7】本発明のスイッチの回路図。
 【図 8】本発明のスイッチのタイミングチャートを示す図。
 【図 9】本発明のゲート信号線駆動回路の回路図。
 【図 10】ソース信号線ごとに対応するアナログバッファ回路の出力を示す図。
 【図 11】本発明の液晶表示装置のビデオ信号切り換えを示した図。
 【図 12】本発明の液晶表示装置のビデオ信号切り換えを示した図。
 【図 13】単極性のトランジスタを用いたシフトレジスタの回路図。
 【図 14】本発明の液晶表示装置の外観図。
 【図 15】本発明を用いたデジタルソース信号線駆動回路のブロック図。
 【図 16】デジタルソース信号線駆動回路のラッチ回路の回路図。
 【図 17】本発明の液晶表示装置を用いた電子機器の図。

10

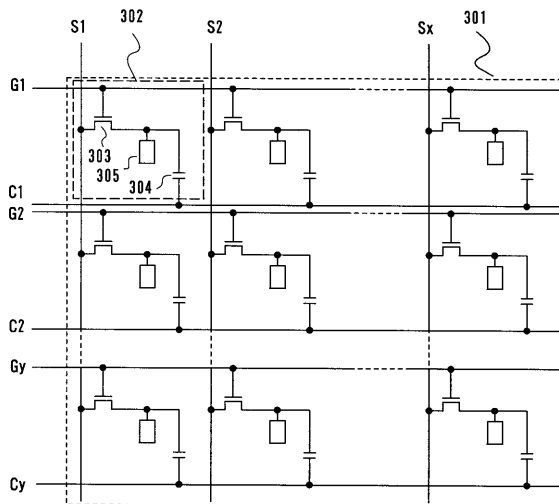
【図 1】



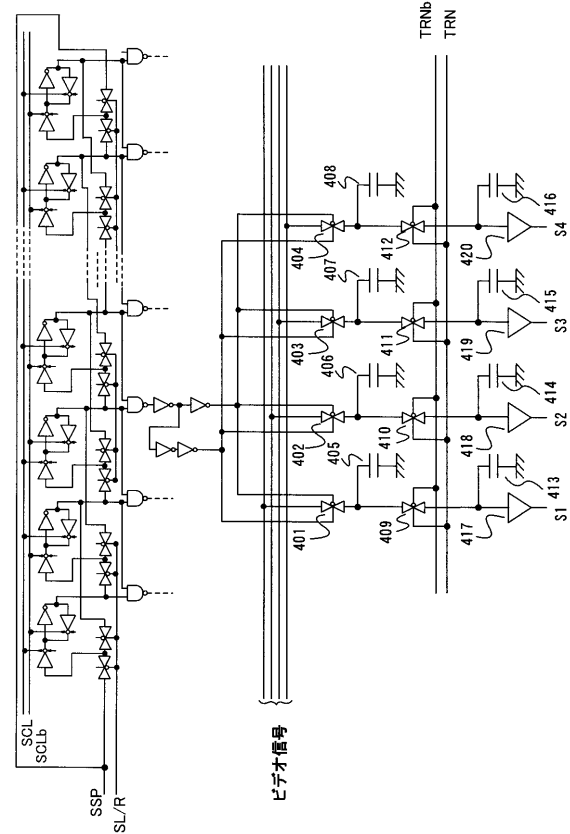
【図 2】



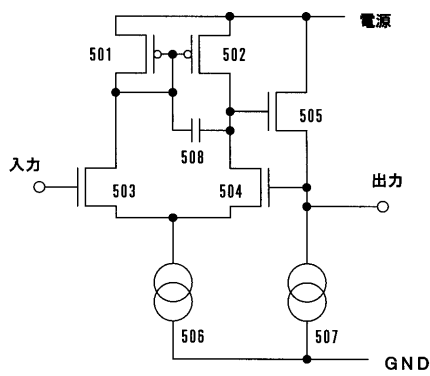
【図 3】



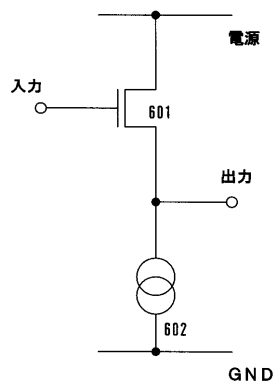
【図 4】



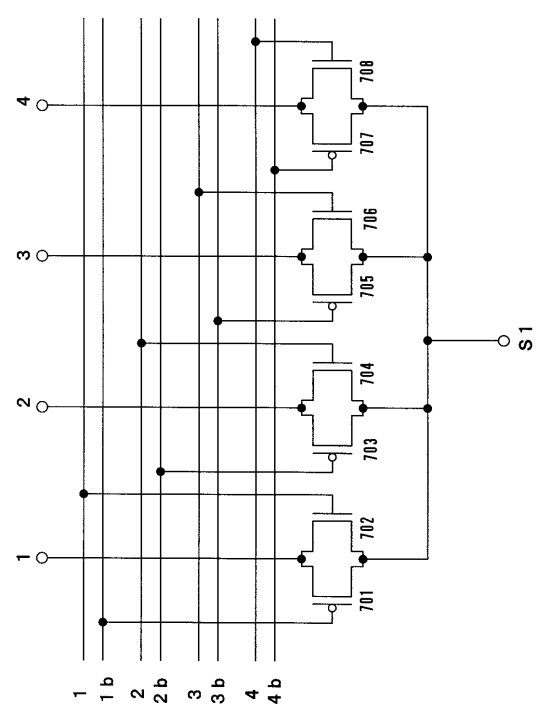
【図 5】



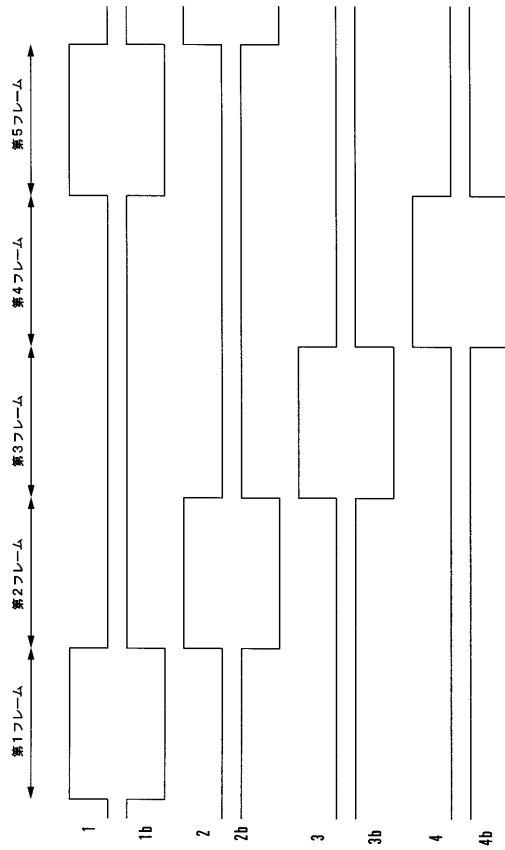
【図 6】



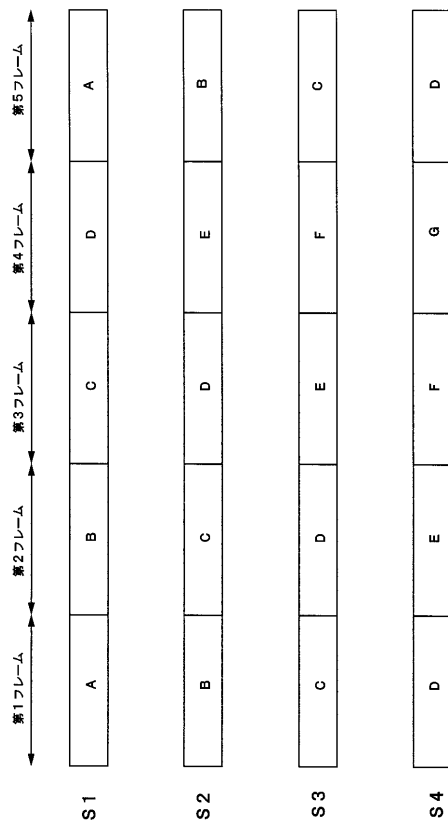
【図 7】



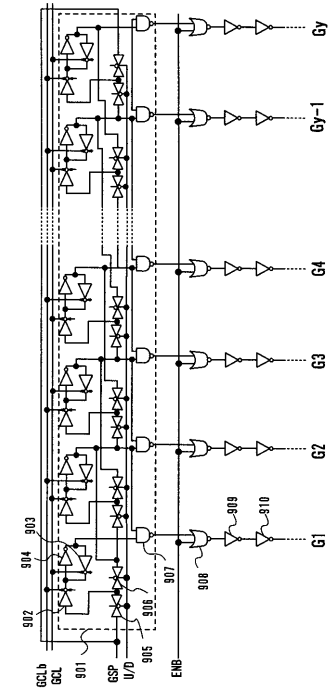
【図 8】



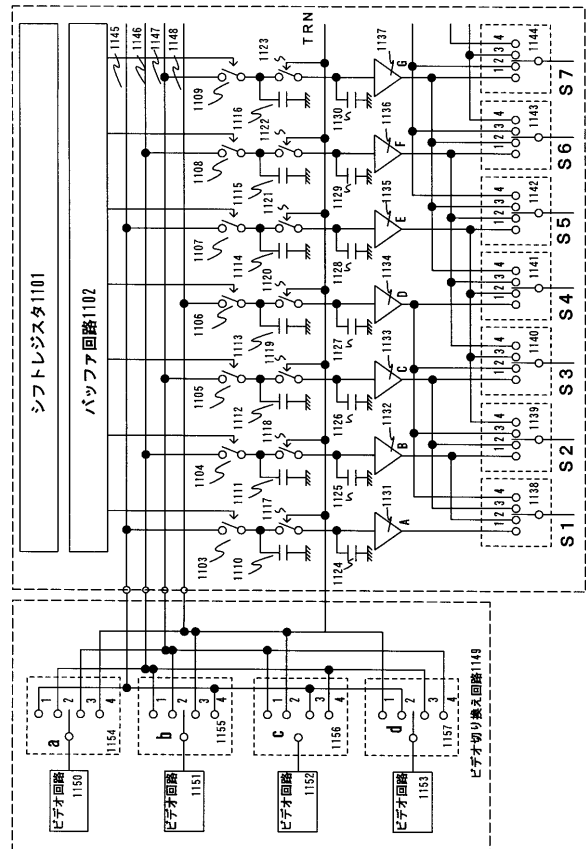
【図 10】



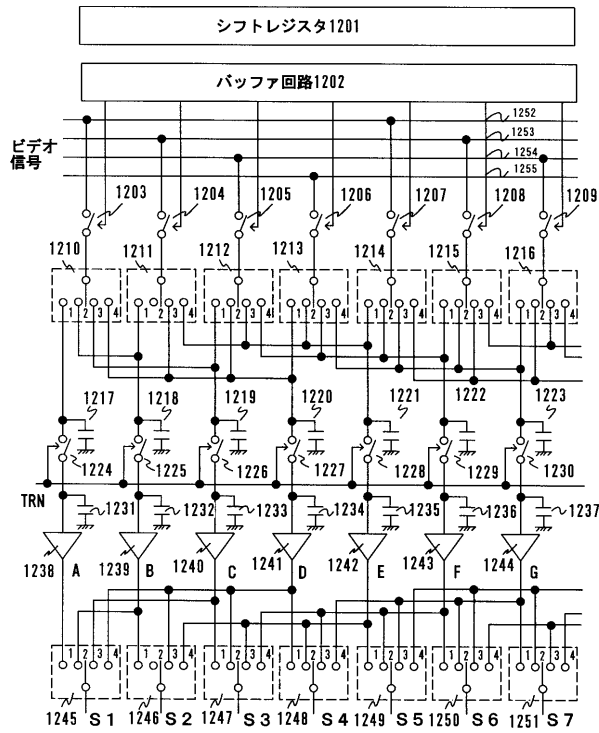
【図 9】



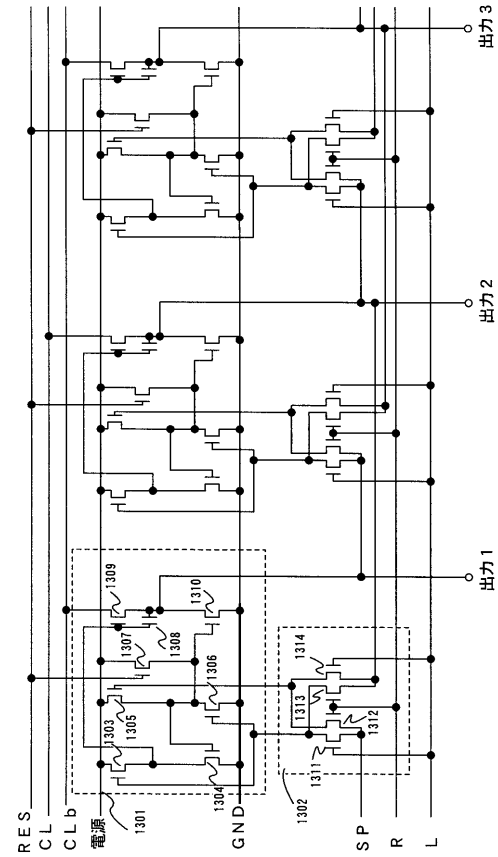
【図 11】



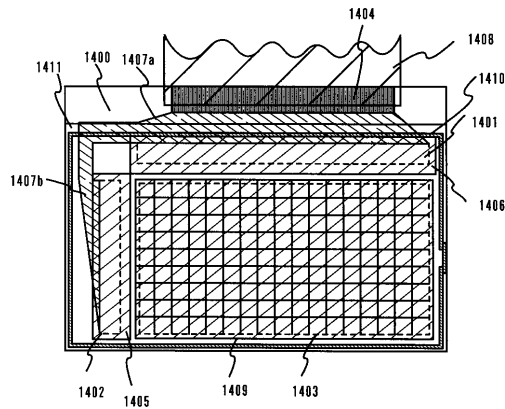
【図 12】



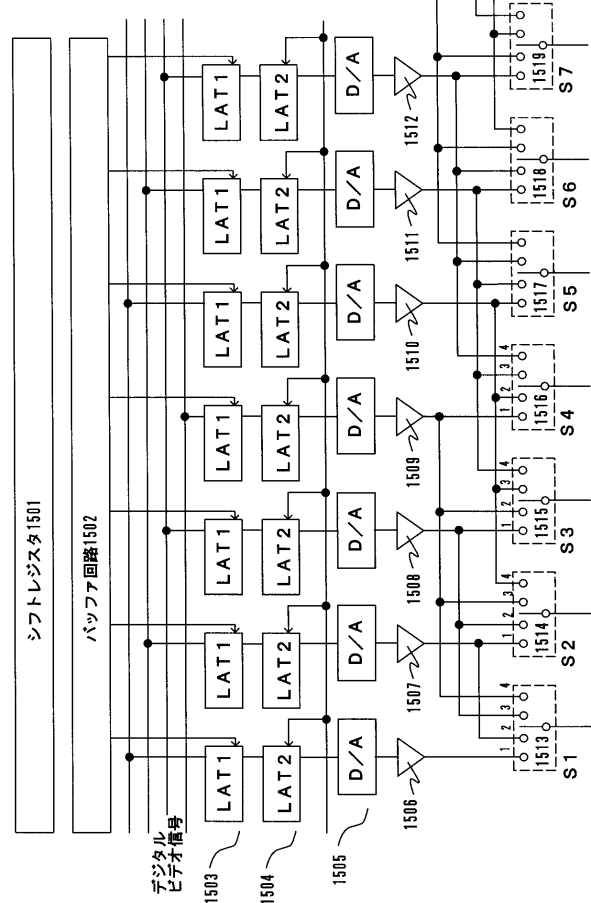
【図 13】



【図 14】

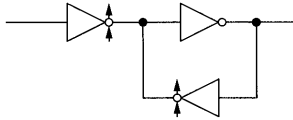


【図 15】

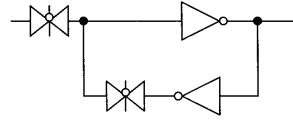


【図 16】

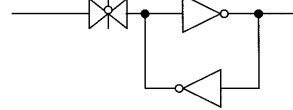
(A)



(B)

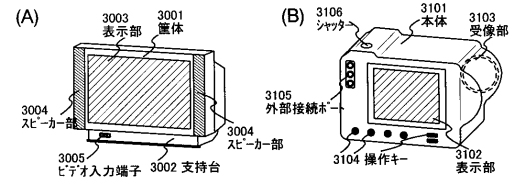


(C)

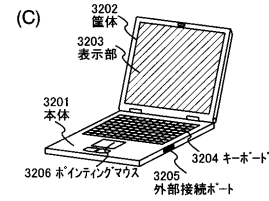


【図 17】

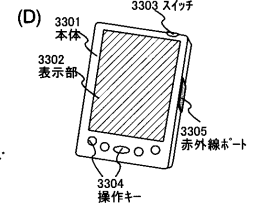
(A)



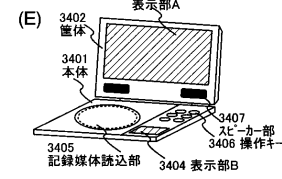
(C)



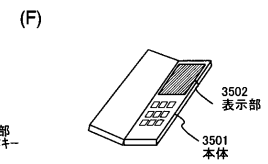
(D)



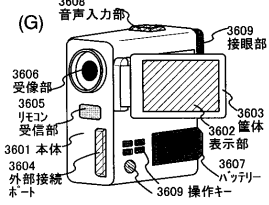
(E)



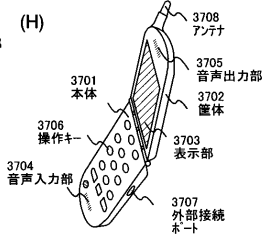
(F)



(G)



(H)



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)

G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 4 2 A

(72)発明者 平山 泰弘
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 李 副烈
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H093 NA16 NA43 NA53 NC13 NC15 NC23 NC34 NC67 NC68 ND05
ND06 NH15
5C006 AF43 AF44 BB16 BC11 BC23 BF24 BF25 BF26 BF27 BF49
FA22 GA02
5C080 AA10 BB05 DD05 FF11 JJ02 JJ03 JJ04 JJ06 KK02 KK07
KK43 KK47

专利名称(译)	液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	JP2004118183A	公开(公告)日	2004-04-15
申请号	JP2003310095	申请日	2003-09-02
[标]申请(专利权)人(译)	株式会社半导体能源研究所 夏普株式会社		
申请(专利权)人(译)	半导体能源研究所有限公司 夏普公司		
[标]发明人	小山潤 木村肇 塩野入豊 平山泰弘 李副烈		
发明人	小山 潤 木村 肇 塩野入 豊 平山 泰弘 李 副烈		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.611.H G09G3/20.623.B G09G3/20.623.D G09G3/20.623.R G09G3/20.642.A		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC13 2H093/NC15 2H093/NC23 2H093/NC34 2H093/NC67 2H093/NC68 2H093/ND05 2H093/ND06 2H093/NH15 5C006/AF43 5C006/AF44 5C006/BB16 5C006/BC11 5C006/BC23 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF49 5C006/FA22 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD05 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C080/KK47 2H193/ZA04 2H193/ZD23 2H193/ZD34 2H193/ZH40 2H193/ZH42 2H193/ZH45		
优先权	2002257209 2002-09-02 JP		
其他公开文献	JP2004118183A5 JP4637467B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够在具有模拟缓冲电路的液晶显示装置中获得亮度不均匀性较小的屏幕的液晶显示装置。源信号线驱动电路具有多个模拟缓冲电路，并且对于模拟缓冲电路和源信号线的每个周期改变连接的配置使得可以平均模拟缓冲电路的输出变化，可以获得均匀的屏幕。点域1

