

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2003 - 514258

(P2003 - 514258A)

(43)公表日 平成15年4月15日(2003.4.15)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-トド* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	5 C 0 0 6
	550		5 C 0 8 0
G 0 9 G 3/20	621	G 0 9 G 3/20	621 F
	624		624 B

審査請求 未請求 予備審査請求 (全 38数) 最終頁に続く

(21)出願番号 特願2001 - 537041(P2001 - 537041)

(86)(22)出願日 平成12年9月19日(2000.9.19)

(85)翻訳文提出日 平成14年5月7日(2002.5.7)

(86)国際出願番号 PCT/US00/25714

(87)国際公開番号 W001/035384

(87)国際公開日 平成13年5月17日(2001.5.17)

(31)優先権主張番号 09/436,064

(32)優先日 平成11年11月8日(1999.11.8)

(33)優先権主張国 米国(US)

(71)出願人 アトメル・コーポレーション
ATMEL CORPORATION
アメリカ合衆国、95131 カリフォルニア州
、サン・ノゼ、オーチャード・パークウェ
イ、2325

(72)発明者 パサク、サロジ
アメリカ合衆国、94022 カリフォルニア州
、ロス・アルトス・ヒルズ、ロブレダ・ロ
ード、12998

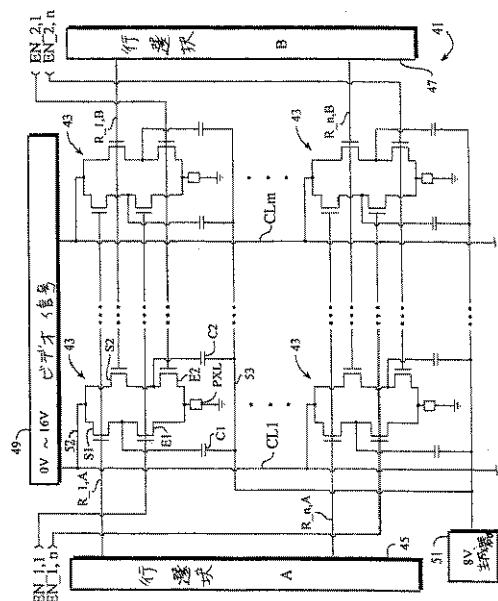
(74)代理人 弁理士 深見 久郎 (外 5 名)

最終頁に続く

(54)【発明の名称】 液晶ディスプレイセルのための駆動回路

(57)【要約】

液晶ディスプレイ内の画素 (4 3) のアレイ (4 1) において用いるための駆動回路は、1組の画像データを表示する一方、第2の組の画像データを受取る。第1の選択信号 (R_1, A) に応答する第1の選択スイッチトランジスタ (S 1) は、第1の画像の第1の保持容量 (C 1) への結合を制御する。第2の選択信号 (R_1, B) に応答する第2の選択スイッチトランジスタ (S 2) は、第2の画像の第2の保持容量 (C 2) への結合を制御する。第1の保持容量 (C 1) は、第1のイネーブル信号 (E N_1, 1) に応答する第1のイネーブルスイッチトランジスタ (E 1) によって、出力ノード (P X L) に選択的に結合される。第2の保持容量 (C 2) は、第2のイネーブル信号 (E N_2, 1) に応答する第2のイネーブルスイッチトランジスタ (E 2) によって、同じ出力ノード (P X L) に選択的に結合される。スイッチトランジスタの適切な操作により、1つの保持容量は出力ノードに結合される一方、他方の保持容量は出力ノードから分離され、新しい画像データを受取る。



【特許請求の範囲】

【請求項1】 液晶ディスプレイに用いるための駆動回路であって、前記駆動回路は前記液晶ディスプレイに画素に規定された領域で結合され、前記画素はピクセルキャパシタンスを有し、前記駆動回路は、

複数の選択スイッチング手段を含み、各前記選択スイッチング手段は独自の選択信号に独立して応答し、各選択スイッチング手段は、第1の入力ノードおよび第2の出力ノードを有し、各前記スイッチング手段は、その独自の選択信号に応答してその第1の入力ノードをその第1の出力ノードに選択的に結合することが可能であり、さらに

複数のイネーブルスイッチング手段を含み、各前記イネーブルスイッチング手段は、前記選択スイッチング手段の独自の1つと1対1の対を形成し、各イネーブルスイッチング手段は第2の入力ノードおよび第2の出力ノードを有し、各前記イネーブルスイッチング手段は、イネーブル信号に応答してその第2の入力ノードをその第2の出力ノードに選択的に結合することが可能であり、各前記1対1の対内の第1の出力ノードおよび第2の入力ノードは、結合点においてともに接続されており、さらに

各前記1対1の対に関連する独自の電圧保持手段を含み、各前記独自の電圧保持手段は関連の1対1の対内の結合点と基準電圧入力との間に結合され、

すべての前記第2の出力ノードは、前記領域と電氣的に通信する、駆動回路。

【請求項2】 各前記イネーブルスイッチング手段は、独自のイネーブル信号に独立して応答する、請求項1に記載の駆動回路。

【請求項3】 複数の前記イネーブルスイッチング手段は、第1のイネーブルスイッチング手段および第2のイネーブルスイッチング手段を含み、前記第1のイネーブルスイッチング手段はNMOSトランジスタであり、前記第2のイネーブルスイッチング手段はPMOSトランジスタであり、前記イネーブル信号は前記NMOSおよびPMOSトランジスタの両方に結合され制御する、請求項1に記載の駆動回路。

【請求項4】 すべての前記第1の入力ノードは、ビデオ信号を受取るようにともに結合される、請求項3に記載の駆動回路。

【請求項5】 少なくとも2つの前記選択スイッチング手段の入力ノードは、異なった入力ビデオ信号に結合される、請求項3に記載の駆動回路。

【請求項6】 すべての前記第1の入力ノードは、ビデオ信号を受取るようにともに結合される、請求項1に記載の駆動回路。

【請求項7】 少なくとも前記2つの選択スイッチング手段の入力ノードは、異なった入力ビデオ信号に結合される、請求項1に記載の駆動回路。

【請求項8】 すべての前記第2の出力ノードは、互いに、および前記領域に対してのみ結合される、請求項1に記載の駆動回路。

【請求項9】 前記ビデオ信号は、予め定められた電圧範囲内で変化し、前記基準電圧入力は、前記予め定められた電圧範囲の実質的に中間の値を有する、請求項1に記載の駆動回路。

【請求項10】 前記領域は、前記イネーブルスイッチング手段の1つによって、前記独自の電圧保持手段の少なくとも1つに常に結合されるよう維持される、請求項1に記載の駆動回路。

【請求項11】 いずれか所与の時間に、前記イネーブルスイッチング手段の1つのみが起動される、請求項1に記載の駆動回路。

【請求項12】 前記電圧保持手段はキャパシタである、請求項1に記載の駆動回路。

【請求項13】 前記選択スイッチング手段およびイネーブルスイッチング手段は、トランジスタである、請求項1に記載の駆動回路。

【請求項14】 前記トランジスタは、BJTトランジスタ、MOSトランジスタ、およびJFETトランジスタの1つである、請求項13に記載の駆動回路。

【請求項15】 同時にすべての前記イネーブルスイッチング手段が開放される、請求項1に記載の駆動回路。

【請求項16】 1度に1つの前記選択スイッチング手段のみが閉鎖される、請求項1に記載の駆動回路。

【請求項17】 いずれか所与の時間に、前記1対1の対のうちの1つのみの選択スイッチング手段およびイネーブルスイッチング手段が閉鎖される、請求

項1に記載の駆動回路。

【請求項18】 液晶ディスプレイに用いるための駆動回路であって、前記駆動回路は、画素を規定する領域で前記液晶ディスプレイに結合され、前記画素はピクセルキャパシタンスを有し、前記駆動回路は、

第1の選択信号に応答する第1の選択手段を含み、前記第1の選択スイッチング手段は第1の入力ノードおよび第1の出力ノードを有し、前記第1のスイッチング手段は、前記第1の選択信号に応答して前記第1の入力ノードを前記第1の出力ノードに、選択的に結合することが可能であり、さらに

第2の選択信号に応答する第2の選択スイッチング手段を含み、前記第2の選択スイッチング手段は、第2の入力ノードおよび第2の出力ノードを有し、前記第2のスイッチング手段は、前記第2の選択信号に応答して、前記第2の入力ノードを前記第2の出力ノードに選択的に結合することが可能であり、さらに

第1のイネーブルスイッチング手段を含み、前記第1のイネーブルスイッチング手段は第3の入力ノードおよび第3の出力ノードを有し、かつ第1の論理状態と第2の論理状態との間で選択的に交代するデジタルイネーブル入力信号に応答し、前記第1のイネーブルスイッチング手段は、前記第1の論理状態における前記イネーブル信号に応答して、前記第3の入力ノードを前記第3の出力ノードに選択的に結合することが可能であり、さらに

第2のイネーブルスイッチング手段を含み、前記第2のイネーブルスイッチング手段は第4の入力ノードおよび第4の出力ノードを有し、かつ前記イネーブル入力信号に応答し、前記第2のイネーブルスイッチング手段は、前記第2の論理状態における前記イネーブル信号に応答して、前記第4の入力ノードを前記第4の出力ノードに結合することが可能であり、さらに

第1の電圧保持手段および第2の電圧保持手段を含み、

前記第1の入力ノードは前記第2の入力ノードに結合されてビデオ信号を受取り、

前記第1の出力ノードは前記第3の入力ノードに結合され、前記第1の電圧保持手段は、前記第1の出力ノードと基準電圧ノードとの間に結合され、

前記第2の出力ノードは前記第4の入力ノードに結合され、前記第2の電圧保

持手段は、前記第2の出力ノードと前記基準電圧ノードとの間に結合され、

前記第3の出力ノードおよび前記第4の出力ノードは前記領域に結合される、
駆動回路。

【請求項19】 前記第3および第4の出力ノードは、互いに、および前記領域に対してのみ結合される、請求項18に記載の駆動回路。

【請求項20】 前記ビデオ信号は、予め定められた電圧範囲内で変化し、前記基準電圧ノードは、前記予め定められた電圧範囲の実質的に中間の値を有する、請求項18に記載の駆動回路。

【請求項21】 前記第1および第2の電圧保持手段はキャパシタである、請求項18に記載の駆動回路。

【請求項22】 前記第1のイネーブルスイッチング手段はNMOSトランジスタであり、前記第2のイネーブルスイッチング手段はPMOSトランジスタである、請求項18に記載の駆動回路。

【請求項23】 1度に1つの前記第1および第2の選択スイッチング手段のみが閉鎖される、請求項18に記載の駆動回路。

【請求項24】 前記第1の選択スイッチング手段および前記第1のイネーブルスイッチング手段は、同時には閉鎖状態になり得ない、請求項18に記載の駆動回路。

【請求項25】 液晶ディスプレイであって、

行および列のアレイのピクセル駆動回路を含み、前記駆動回路は、第1の選択信号に応答して第1のビデオ信号を第1の保持手段に結合し、かつ第2の選択信号に応答して第2のビデオ信号を第2の保持手段に結合することが可能であり、各前記駆動回路はさらに、出力ノードを前記液晶ディスプレイの予め定められた領域に結合され、各前記領域は画素を規定し、さらに

前記第1の選択信号を生成するための第1の行デコーダと、

前記第2の選択信号を生成するための第2の行デコーダと、

前記駆動回路の少なくとも1つからの前記第1および第2の保持手段をそれぞれの出力ノードに選択的に結合するためのイネーブル制御入力とを含む、液晶ディスプレイ。

【請求項26】 各前記駆動回路は、入力ノードを列ラインに結合され、前記第1の選択信号は、前記列ラインから前記第1のビデオ信号を、第1の行のそれぞれの駆動回路内の前記第1の保持手段にローディングすることが可能であり、前記第2の選択信号はさらに、前記列ラインから前記第2のビデオ信号を、第2の行のそれぞれの駆動回路内の前記第2の保持手段にローディングすることが可能である、請求項25に記載の液晶ディスプレイ。

【請求項27】 各前記第1の選択信号は、前記駆動回路内の第1の選択スイッチング手段を制御し、前記第1の選択スイッチング手段は、第1の列ラインを前記第1の保持手段に結合することが可能であり、各前記第2の選択信号はさらに、前記駆動回路内の第2の選択スイッチング手段を制御し、前記第2の選択スイッチング手段は、第2の列ラインを前記第2の保持手段に結合することが可能である、請求項25に記載の液晶ディスプレイ。

【請求項28】 前記第1の行デコーダが前記駆動回路の第1の行を選択する一方で、前記第2の行デコーダが同時に前記駆動回路の第2の行を選択することが可能である、請求項25に記載の液晶ディスプレイ。

【請求項29】 前記第1の行デコーダおよび前記第2の行デコーダは、前記駆動回路の同じ行を同時に選択することが可能である、請求項25に記載の液晶ディスプレイ。

【請求項30】 各前記画素はピクセルキャパシタンスを有する、請求項25に記載の液晶ディスプレイ。

【請求項31】 複数の前記イネーブル制御入力をさらに含み、各前記イネーブル制御入力は、前記駆動回路の行のそれぞれを独立して制御することが可能である、請求項25に記載の液晶ディスプレイ。

【請求項32】 各前記駆動回路はさらに、その第1の保持手段をその出力ノードに選択的に結合するための第1のスイッチング手段を有し、かつその第2の保持手段をその出力ノードに選択的に結合するための第2のスイッチング手段を有する、請求項25に記載の液晶ディスプレイ。

【請求項33】 前記第1のスイッチング手段はNMOS装置であり、前記第2のスイッチング手段はPMOS装置である、請求項32に記載の液晶ディス

プレイ。

【請求項34】 前記第1および第2のスイッチング手段は、別々のイネーブル制御入力に応答する、請求項32に記載の液晶ディスプレイ。

【発明の詳細な説明】**【0001】****【発明の分野】**

この発明はビデオディスプレイに関し、より特定的には、液晶ディスプレイに用いる画素のための回路構造に関する。

【0002】**【背景技術】**

図1を参照すると、典型的な液晶ディスプレイは、画素13すなわちピクセルのアレイからなる。各画素は、列ライン17を保持容量(storage capacitor)19に結合するための選択トランジスタ15からなる。液晶21は保持容量19と平行に配置される。

【0003】

当該技術分野において公知であるように、液晶21に印加される電圧電位がその反射率を規定する。その結果、電圧電位範囲は、液晶21でグレイスケールに変換される。こうして、アレイ11におけるすべての画素13に特定の電圧電位を適切に与えることにより、画像が生成され得る。

【0004】

行選択ボックス25は、特定の行内のすべての画素を起動するが、これはその行内のすべての選択トランジスタ15に結合される行ライン27によって規定される。ビデオ信号ボックス23は、所望の電圧電位を列ライン17に印加する。所望の電圧電位は、典型的には予め定められた電圧範囲内である。選択トランジスタ15の起動は、列ライン17の電圧電位をそれぞれの保持容量19と液晶21との並列組合せに送る。一旦所望の電圧が送られると、選択トランジスタ15は非活性化される。保持容量19と液晶21との組合せられたキャパシタンスは、次の画像がローディングされるまで所望の電圧電位を保持する。

【0005】

これまで、図1の基本的なアーキテクチャのいくつかの展開例が提案されてきた。図2を参照して、シールズの米国特許番号第4,870により詳しく開示される別の液晶アーキテクチャは、各液晶21に印加される平均のRMS電圧電位

を向上させることを試みる。図1のものと同様の図2のすべての構成要素は同様の参照符号で識別され、上に説明されている。

【0006】

図2における各画素13は、その現在の内容を表示する一方、同時に新しいデータ画像を受けることが可能である。これは、保持容量19と液晶21との間に挿入される付加的なスイッチである負荷トランジスタ29によって行なわれる。動作においては、選択トランジスタ15および負荷トランジスタ29は、電荷を第1に列ライン17から保持容量19へ、次いで保持容量19から液晶21へ転送するバケットブリゲードとして機能する。すなわち、選択トランジスタ15は動作の第1の段階の間に、第1に電圧電位を列ライン17から保持容量19へ転送する。動作のこの段階の間、負荷トランジスタ29はオフに保たれ、それにより保持容量19を液晶21から分離する。一旦新しいデータが保持容量19にローディングされ、表示される準備ができたときに、選択トランジスタ15がオフになり動作の第2の段階が開始する。このときに、負荷トランジスタ29はオンになり、保持容量19を液晶21に結合する。保持容量19の電荷は、保持容量19と液晶21との並列組合せをわたって再分散する。電荷の分散により液晶21をわたる新しい電圧電位が確立されると、負荷トランジスタ29がオフになって動作の第2の段階が終了する。負荷トランジスタ29がオフになり、かつ液晶21がその現在の電圧電位を保持している一方、選択トランジスタ15が起動されて新しいデータを列ライン17から保持容量19に送ることができる。

【0007】

シールズは、アレイ11に印加される平均RMS電圧値を向上させるためには、液晶21に印加される基準電圧 V_{tp} を制御し、かつ同時にアレイ11内のすべての画素13を更新することが必要であると説明する。基準電圧 V_{tp} はすべての液晶21の基準プレートに結合される。基準電圧 V_{tp} を適切に一方の電圧パワーレールから他方にシフトすることにより、アレイ11をわたって印加される平均電圧の大きさを増大させることができる。

【0008】

このために、負荷トランジスタ29はすべて、共通の同期信号31によって制

御される。負荷トランジスタ29がオフになり、液晶21がその現在の電圧電位を保っている一方、保持容量19は新しいデータを受取る。一旦すべてのアレイ11が新しいデータを受取ると、同期ライン31が起動され、アレイ11におけるすべての画素13のすべての負荷トランジスタ29が揃ってオンになる。こうして、液晶21のすべてのアレイ11は同時に更新される。

【0009】

図3を参照すると、図2のものに類似する、別のアレイアーキテクチャが示される。図2のものと同様の図3のすべての構成要素は同じ参照番号によって識別され、上に説明されている。図3のアーキテクチャはより詳しくウィリアムズ(Williams)他の米国特許番号第5,666,130号に開示され、図2のものと同じ譲受人に譲渡されている。図3の構造は、図2のものと同様の態様でピクセル13のアレイ11全体を同時に更新する。

【0010】

しかしながら、図2の構造とは異なって、図3の構造は1つの画像を表示しながら別のものをストアすることはできない。ウィリアムズ他は、用いられるスクリーン、すなわち液晶の、特定のタイプにピクセルの駆動回路を最適化しなければならないと説明する。ウィリアムズ他は、駆動回路を数種類のスクリーンに対して用い得るよう、用いられる液晶の種類から独立してピクセルの駆動回路を最適化できることが有利であると記載する。

【0011】

これを達成するために、ウィリアムズ他の構造は、画素13のアレイ11が、保持容量19を液晶自体から分離したままで、それぞれの保持容量19内に画像を受信しかつストアすることを可能にする。この態様で、各画素13のドライバ回路は、画素、すなわち電圧電位を、用いられる液晶21の種類に関わらず、それぞれの保持容量19にストアするよう最適化される。一旦画像がアレイの保持容量19にストアされると、保持容量19はどのようなスクリーンの種類およびその内容にも結合される、すなわち、画像電圧はスクリーンの液晶21に転送される。最適化された駆動回路が異なった種類の液晶でも同様に機能することを確実にするために、ウィリアムズ他は、液晶21および保持容量19は新しい画像

がローディングされる前に公知の基準接地条件にあるべきことを実証する。こうして、現在の画像は第1に消去されなければならない、すなわち、アレイ11は接地されなければならない、その後新しい画像を受取ることができる。

【0012】

図3に示される画素13は図2のものと同様であるが、負荷トランジスタ29と液晶21との間に接地トランジスタ31が追加されている。接地トランジスタ31は再開信号ReInitに応答するが、これは保持容量19および液晶21を新しい画像の受信に備えて接地する。

【0013】

保持容量19および液晶21が接地された後で、接地トランジスタ15は非活性化されて、画素13は新しい電圧データを受取る準備ができる。行選択ボックス25は、行の選択トランジスタ15を起動することにより、一行の画素13を活性化させる。選択トランジスタ15は次いで新しい電圧情報をビデオ信号ボックス23および列ライン17から保持容量19に転送する。一旦新しいデータが保持容量19に入れられると、負荷トランジスタ29は保持容量19を液晶21に結合する。接地トランジスタ31はこの時間の間オフ状態に保たれる。液晶21が予め定められた期間の間画像を表示した後で、接地トランジスタ31はオンになる一方、負荷トランジスタ29は起動されたままになる。これは、保持容量19および液晶21を、次の画像のローディングに備えて、公知の接地状態に戻す。

【0014】

ウィリアムズ他は、高冗長性をアレイ11の駆動回路に組入れることにより、彼らのアレイはより強固になり得ると記載する。図4を参照して、ウィリアムズ他は従って2つの駆動回路を液晶21ごとに並列に結合する。図3のものと同様の図4のすべての構成要素には同じ参照符号が付与され、上に説明されている。ウィリアムズ他の駆動回路は、同時に共通の行ライン27に応答する2つの選択トランジスタ15aおよび15bと、同時に共通のロードライン33に応答する2つの負荷トランジスタ29aおよび29bと、同じReInitライン35に応答する2つの接地トランジスタ31aおよび31bとを含む。しかしながら、

各選択トランジスタ15 aおよび15 bは、それぞれの保持容量19 aおよび19 bに充電する。ウィリアムズ他はこうして、保持容量19 aおよび19 bの両方が揃って働く、画素13ごとの2つの保持容量19 aおよび19 bを示す。もし要素15 a、19 a、29 aおよび31 aによって識別される駆動回路の半分に障害が起これば、冗長ドライバ回路、すなわち15 a、19 b、29 bおよび31 bにより、画素13は続けて機能し得るであろう。

【0015】

この発明の目的は、液晶ディスプレイに用いるためのものであって、1つの画像を表示しながら別のものを受信することができ、電圧電位を液晶ディスプレイに転送するとき最小限の劣化しか起こさない、画素を提供することである。

【0016】

この発明のさらなる目的は、より用途の広い構造を備えた液晶ディスプレイを提供することである。

【0017】

この発明のさらなる別の目的は、アレイ内の画像情報を行ごとに更新すること、およびアレイ内のすべての行を揃って同時に更新すること、の両方をサポートする、液晶アレイを提供することである。

【0018】

【発明の要約】

上述の目的は、独立して制御されるピクセルセル構造によって達成される。液晶ディスプレイにおいて用いるためのピクセルセルは、その現在の内容を表示する一方、同時に新しい1組、または多数の組のデータで上書きされることができ、特徴を有する。これを達成するために、各ピクセルは多数の保持容量への独立したアクセスを有する。ピクセルセルが第1の保持容量の内容を表示している間に、第2の保持容量の内容が更新され得る。ピクセルセルは次いでその第1の保持容量からその第2の保持容量にスイッチする。これが次いで第2の保持容量の内容を表示する一方、第1の保持容量の内容は更新されることができ、以下同様である。

【0019】

構造上、ピクセルは行と列とのアレイに構成される。2つの保持容量を備えたピクセルの場合、実現される実施例に依存して、各行は1つまたは2つのビットラインによって規定される。各行は、第1および第2のワードライン対および第1および第2のイネーブルライン対によって規定される。各ワードライン対における第1および第2のワードラインの各々は、独立して制御され、かつ選択的にビットラインの内容をそれぞれのピクセルセル内の第1および第2の保持容量の1つに転送する。同様に、第1および第2のイネーブルラインの各々は、第1および第2の保持容量のそれぞれの内容を選択的にピクセルセルの出力反射パネル、すなわちそれぞれの液晶に転送する。

【0020】

各ピクセルセルの第1および第2の保持容量は、それらの下部プレートを共通の予め定められた電圧に結合される。各第1および第2の保持容量のトッププレートは、それぞれのワード選択パス装置およびイネーブル選択パス装置に結合される。ワード選択パス装置は、ワードライン対内のそれぞれのワードラインにตอบสนองし、ビットラインの内容を対応の保持容量に選択的に転送する。イネーブル選択パス装置はイネーブルライン対内のそれぞれのイネーブルラインにตอบสนองし、その対応の保持容量の内容をピクセルセルの出力反射パネルに転送する。各対における個々のワードラインおよびイネーブルラインは独立しているために、液晶はそれぞれのピクセルにおける保持容量のうちの1つに、常に結合される。

【0021】

制御におけるこの多様性のために、基本的な回路構造を変更することなくこの発明の機能を展開することができる。第1の好ましい実施例においては、この発明のピクセルセルは、第1の保持容量からの1組のデータを表示する一方で、第2の保持容量が第2の組のデータを受け取ることができる。第2の好ましい実施例においては、個々のワードラインおよびイネーブルラインを適切に操作することにより、個々のピクセルが液晶をピクセルセルの2つの保持容量から分離し得る。こうして、一旦データの第1の組が液晶に転送されると、ピクセルセル内の両方の保持容量が液晶から切断され得る。これにより、第1の組のデータが表示されている一方で、2つの保持容量は第2および第3の組のデータを受取るこ

できる。その結果、ピクセルセルのアレイは現在の画像を表示する一方、次の2つの画像をバッファすることができる。この態様で、各ピクセルの内容が変更され得る速度を上げることができる。こうして、表示されている現在の画像に影響を与えることなく、次の画像の書込みを開始することが可能になる。

【0022】

【発明を実行するためのベストモード】

図5を参照すると、この発明に従った液晶ディスプレイは、画素43のアレイ41と、第1の行セクタ45と、第2の行セクタ47と、基準電圧生成器51と、好ましくは単一のビデオ信号生成器49とを含む。画素43はn行およびm列に構成される。第1の行セクタ45は、 $R_{1,A}$ から $R_{n,A}$ の範囲にわたる第1の組の行選択ラインによって、n行のいずれかを独立して制御する。同様に、第2の行セクタ47は、 $R_{1,B}$ から $R_{n,B}$ の範囲にわたる第2の組の行選択ラインによって、同じn行を独立して制御する。

【0023】

ビデオ信号生成器49は、m個のビデオ信号を CL_1 から CL_m の範囲にわたるm個の列ラインに出力する。ビデオ信号は好ましくは、0Vから、好ましくは1.6Vである V_{max} の範囲内である。画素43の各列は、対応の列ライン、すなわち CL_1 によって選択される。選択された列内のすべての画素43は、入力ノード52を対応の、共通の列ライン、すなわち CL_1 に結合される。しかしながら、列ライン CL_1 上のビデオ信号は、同じ列内のすべての画素43によって受入れられるわけではない。そうではなく、第1の行セクタ45または第2の行セクタ47の1つからの行選択ラインによって活性化された画素43のみがビデオ信号データをそれぞれの列ライン、 $CL_1 - CL_m$ にラッチする。

【0024】

アレイ41内の各行は、複数の独立した行セクタ45および47のいずれか1つによって選択され得る。好ましくは、2つのセクタ45、47が同時に同じ行を選択することはない。しかしながら、複数の行セクタ45、47によって、連続してならばいずれの行も選択され得る。たとえば、第1の実施例においては第1の行セクタ45は、行選択ライン $R_{1,A}$ を活性化することにより

アレイ41内の第1の行を選択し、それによりビデオ信号生成器49から画像情報を画素43にローディングする。この間には、他のセクタ、すなわち第2の行セクタ47のいずれも、第1の行にはアクセスしない。一旦第1の行セクタ45が第1の行の使用を停止すると、別の行セクタ、すなわち、第2の行セクタ47がその適切な行選択ライン、すなわちR__1, Bを活性化させることにより第1の行の制御を得る。

【0025】

各画素43は、液晶PXLおよび関連の駆動回路を含む。駆動回路は、ストアされたビデオ信号をストア手段C1およびC2から液晶PXLに選択的に転送する。ストアされたビデオ信号は対応の列ラインCL1 - CLmから読出される。好ましい実施例においては、画素43は多数のビデオ信号をストアする一方で、同時に別のものを表示し得る。これを達成するために、画素43内の各駆動回路は、多数の電圧保持装置を含む。実現化のベストモードにおいては、多数の電圧保持装置は、第1の保持容量C1および第2の保持容量C2として実現される。これにより、画素43が1つの保持容量、すなわちC1の内容を表示する一方、新しい画像情報を別の保持容量、すなわちC2にストアすることが可能になる。付加的な保持容量を組入れることにより、同様に付加的な画像情報をストアすることが可能であることに留意されたい。

【0026】

各画素43の入力ノード52は、それぞれの対応の選択トランジスタS1およびS2によって保持容量C1およびC2の1つに選択的に結合される。各選択トランジスタS1およびS2は対応の行選択ラインR__1, AおよびR__1, Bによって制御され、これらは対応の行セクタ45および47によって制御される。同様に、画素の保持容量C1およびC2は、それぞれ対応のイネーブルトランジスタE1およびE2によってその液晶PXLに選択的に結合される。各イネーブルトランジスタE1およびE2は独立したイネーブル信号EN__1, 1およびEN__2, 1によって制御される。イネーブル信号EN__1, 1は、画素43の行内のすべての第1の保持容量C1の、各画素のそれぞれの液晶PXLへの結合を制御する。同様に、イネーブル信号EN__1, 2は、画素43の行内のすべて

の第2の保持容量C2の、各画素のそれぞれの液晶PXLへの結合を制御する。こうして、各行はイネーブル信号EN_{1,1}/EN_{2,1}の組に応答し、これらは各画素43内の別々のイネーブルトランジスタを独立して制御する。

【0027】

図5の好ましい実施例においては、アレイ41はEN_{1,1}/EN_{2,1}からEN_{1,n}/EN_{2,n}の範囲にわたるそのようなイネーブル信号対のn組に応答する。しかしながらこの好ましい実施例においては、アレイ41内のすべての第1のイネーブルトランジスタE1は共通の第1のイネーブル信号によって制御され、すべての第2のイネーブルトランジスタE2は第2の共通のイネーブル信号によって制御される。この態様で、アレイ41の各セル43内の第1の保持容量C1および第2の保持容量C2の内容は、それぞれの液晶PXLに揃って転送される。

【0028】

さらに、この好ましい実施例においては、いずれか所与の時間において1つの行セクタ45または47のみがアレイ41を制御する。たとえば、第1の行セクタ45はアレイ41の唯一の制御を獲得し、第1の画像をビデオ信号生成器49から、1度に1つの列ずつ、アレイ41の全体に連続的にローディングさせる。第1の行セクタ45が第1の画像のローディングを完了すると、次いでこれはアレイ41の制御を別の行セクタ、すなわち47に渡す。一旦第2の行セクタ47がアレイ41の制御を得ると、これは第2の画像をアレイ41のすべての行に転送し得る。第2の行セクタ47がアレイ41の制御を有している一方で、アレイ41内の各画素43の第1のイネーブルトランジスタS1は活性状態であり、第1の保持容量C1を液晶PXLに結合する一方、第2のイネーブルトランジスタS2は非活性状態である。

【0029】

当該技術分野において公知であるように、液晶PXLに印加される電圧電位はその反射率を変化させる。アレイの液晶PXLに適切に電圧電位を付与することにより、画像が生成される。この実施例においては、ビデオ信号生成器49は適切な電圧電位を、列ラインCL1-CLmに沿って所望の保持容量C1またはC

2に供給する。好ましい実施例におけるビデオ信号が0Vから16Vの V_{max} の間で変化するために、これはもし下部プレートが接地されていれば保持容量C1およびC2に高電圧ストレスをもたらすおそれがある。したがって、この好ましい実施例は保持容量C1およびC2の下部プレートを基準電圧生成器51に接続し、これは0V~ V_{max} の中間の電圧電位を供給する。基準電圧生成器51は好ましくは、ビデオ信号生成器49の両極端の電圧の揺れの半分の電圧電位を供給する。ここでは、これは基準電圧生成器51がアレイ41内のすべての保持容量の下部プレートに $V_{max}/2$ 、または8Vを供給することを意味する。したがって、選択トランジスタS1およびS2は最低で0Vまたは最大で16Vを保持容量C1およびC2のトッププレートに転送し得るにも関わらず、保持容量C1およびC2をわたる電圧降下は8V電圧の揺れ内に留まる。その結果、保持容量C1およびC2はそうでなければ要求とされるものよりも小さくかつ高速になり得る。

【0030】

図6を参照すると、この発明の第2の実施例が示される。図5のものと同様のすべての図6における構成要素には、同様の参照符号が付与され上に説明されている。図6において、アレイ41内のすべての画素43は共通のイネーブル信号ENBLを共有し、これは保持容量C1およびC2の1つを液晶PXLに選択的に結合する。これを達成するために、各画素43内のイネーブルトランジスタEおよびE__Bは、イネーブル信号ENBLの論理状態とは反対に応答する。第1のイネーブルトランジスタEはNMOSトランジスタであり、第1の保持容量C1を液晶PXLに結合することにより、信号ENBLの論理ハイに応答し、C1をPXLから分離することにより、信号ENBLの論理ローに応答する。逆に、第2のイネーブルトランジスタE__BはPMOSトランジスタであり、C2をPXLから分離することにより、ENBLの論理ハイに応答し、第2の保持容量C2をPXLに結合することによりENBLの論理ローに応答する。こうして、液晶PXLはイネーブル信号ENBLによって決定されるC1またはC2のいずれか1つに常に結合される。

【0031】

図6の実施例は、図5の実施例の特別な展開例である。図6の第2の実施例においては、行セクタ45および47の1つのみが1度にアレイ41を制御し得る。たとえば、もし行セクタ45がアレイ41へのアクセスを有していれば、第1の行セクタ45が新しい画像をアレイ41のすべてへ1度に1つの行ずつローディングするのが終了するまで、第2の行セクタ47は待機しなければならない。上で説明したように、第1の行セクタ45は、1行の画素内の第1の選択トランジスタS1を同時に起動させることにより、1行の画素43の第1の保持容量C1にアクセスする。第1の行セクタ45が画像データをアレイ41にローディングしている間に、イネーブル信号ENBLは好ましくは論理ローであり、すべての画素の第1の保持容量C1をそれぞれの液晶PXLから分離する。イネーブル信号ENBL上のローもまた、各画素の第2の保持容量C2をそれぞれの液晶PXLに結合する効果を有する。こうして、各画素43はその第2の保持容量C2の内容を表示する一方で、新しい画像データをその第1の保持容量C1に受ける。

【0032】

一旦第1の行セクタ45が、新しい画像のアレイ41へのローディングを完了し、新しい画像が表示される準備ができると、イネーブル信号ENBLは論理ローから論理ハイに切換えられる。これは第1のイネーブルスイッチEを活性化させ、第2のイネーブルスイッチE_Bを非活性化させる。第1の保持容量C1上の新しくローディングされた画像情報は、それによりそれぞれの液晶PXLに表示のために結合される。同時に、第2の保持容量C2は液晶PXLから切断される。この時点で、第2の保持容量C2は新しいデータを受取る準備ができており、第2の行セクタ47は41の制御を得る。

【0033】

図7を参照すると、この発明の第3の実施例が示される。図5と同様の図7のすべての構成要素は同様に符号が付与され、上に説明されている。図7の実施例は複数のビデオ信号生成器49A/49Bを示し、好ましくは各行セクタ45および47ごとにそれぞれ1つの信号生成器49A/49Bを含む。各信号生成器49Aおよび49Bは、それぞれそれ自体の列ラインの組であるCL1, A-

C L m , A および C L 1 , B - C L m , B を有し、それにより各々はアレイ 4 1 内の画素 4 3 のいずれの列に対しても独立したアクセスを有する。こうして、各画素 4 3 は、それぞれ列ライン C L 1 , A / C 1 , B ごとに、別々の入力ノード 5 2 A / 5 2 B を含む。イネーブル信号の別々の組 E N__1 , 1 / E N__2 , 1 は独立して、図 5 の第 1 の実施例のものと同様の態様で、画素 4 3 の各行のイネーブルトランジスタ E 1 および E 2 を制御する。

【0034】

図 7 において、多数の行セクタ 4 5 および 4 7 が、同時に、図 5 の第 1 の実施例の場合と同様に、アレイ 4 1 へのアクセスを有する。しかしながら、図 5 の構造とは異なって、図 7 の構造は、複数の行セクタ 4 5、4 7 が同時に画素 4 3 の同じ行へアクセスすることを許す一方、それらの保持容量 C 1 および C 2 への独立したアドレッシングを維持する。たとえば、液晶 P X L がその現在の画像データを保持するのに十分なキャパシタンスを有し、かつ両方の保持容量 C 1 および C 2 に書込むことが所望であれば、両方のイネーブル信号 E N__1 , 1 および E N__2 , 1 が論理ローに設定される。これはイネーブルトランジスタ E 1 および E 2 の両方を非活性化させ、C 1 および C 2 の両方をそれぞれの液晶 P X L から切断する。もし画素 4 3 が第 3 の保持容量を含んでいれば、液晶 P X L が第 3 の保持容量に結合されている一方で、第 1 の保持容量 C 1 および第 2 の保持容量 C 2 は新しいデータを受けることができることを理解されたい。

【0035】

C 1 が液晶 P X L から分離されている一方、第 1 の行セクタ 4 5 は行ライン R__1 , A を活性化させ、それにより第 1 の選択レジスタ S 1 を活性化させる。これは、第 1 のビデオ信号生成器 4 9 A からの第 1 の列ライン C L 1 , A を第 1 の保持容量 C 1 に結合させる。同様に、C 2 が液晶 P X L から分離されている一方、第 2 の行セクタ 4 7 は行ライン R__1 , B を活性化させ、それにより第 2 の選択トランジスタ S 2 を活性化させる。これは第 2 のビデオ信号生成器 4 9 B からの第 2 の列ライン C L 1 , B を第 2 の保持容量 C 2 に結合させる。保持容量 C 1 および C 2 の両方が別々の行ライン C L 1 , A および C L 1 , B のそれぞれに結合されるために、それらは両方新しいデータを同時に受取ることができる。

【図面の簡単な説明】

【図1】 典型的な液晶アレイ内の典型的な画素の構造の先行技術の図である。

【図2】 現在の画像が表示される一方、次の画像がローディングされることを可能にする、代替的な液晶アレイの先行技術の図である。

【図3】 画素の駆動回路と画素の液晶ディスプレイとを別々に最適化するための、さらなる別の液晶アレイを示す先行技術の図である。

【図4】 冗長性を液晶アレイに組入れた、図3の構造の付加的な実施例の図である。

【図5】 この発明の第1の実施例に従った、画素および液晶アレイの図である。

【図6】 この発明に従った、液晶アレイの第2の実施例の図である。

【図7】 この発明の第3の実施例に従った、液晶アレイの図である。

【図1】

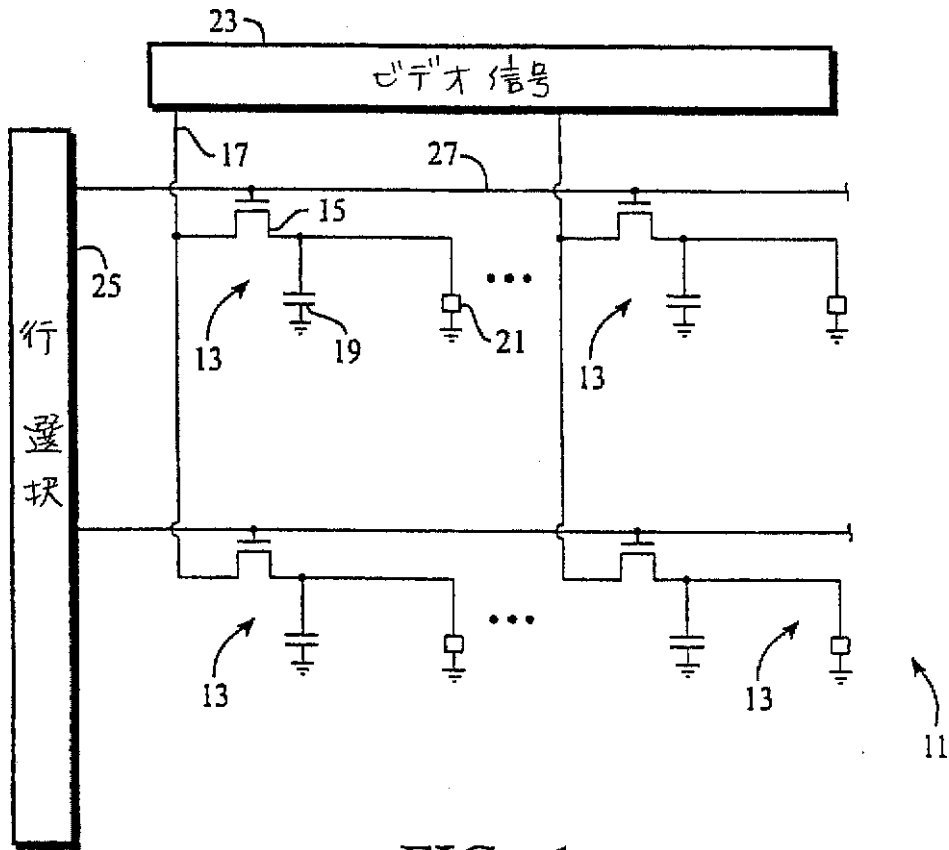


FIG. 1 (Prior Art)

【図2】

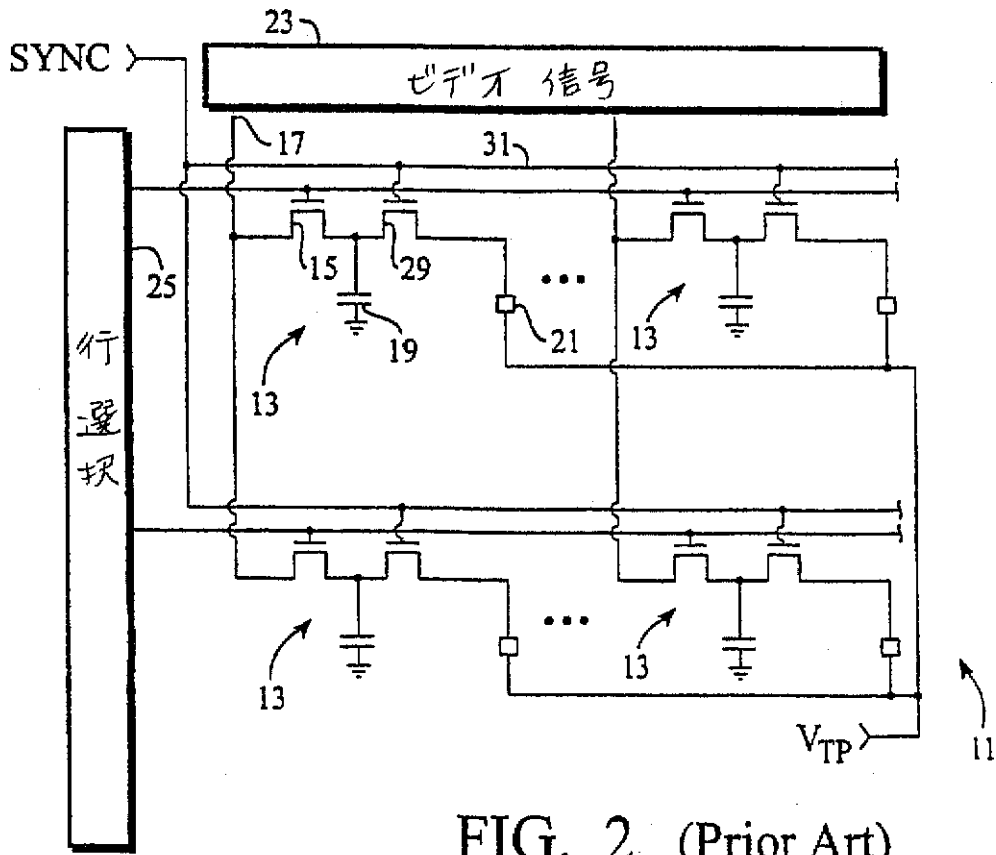


FIG. 2 (Prior Art)

【図4】

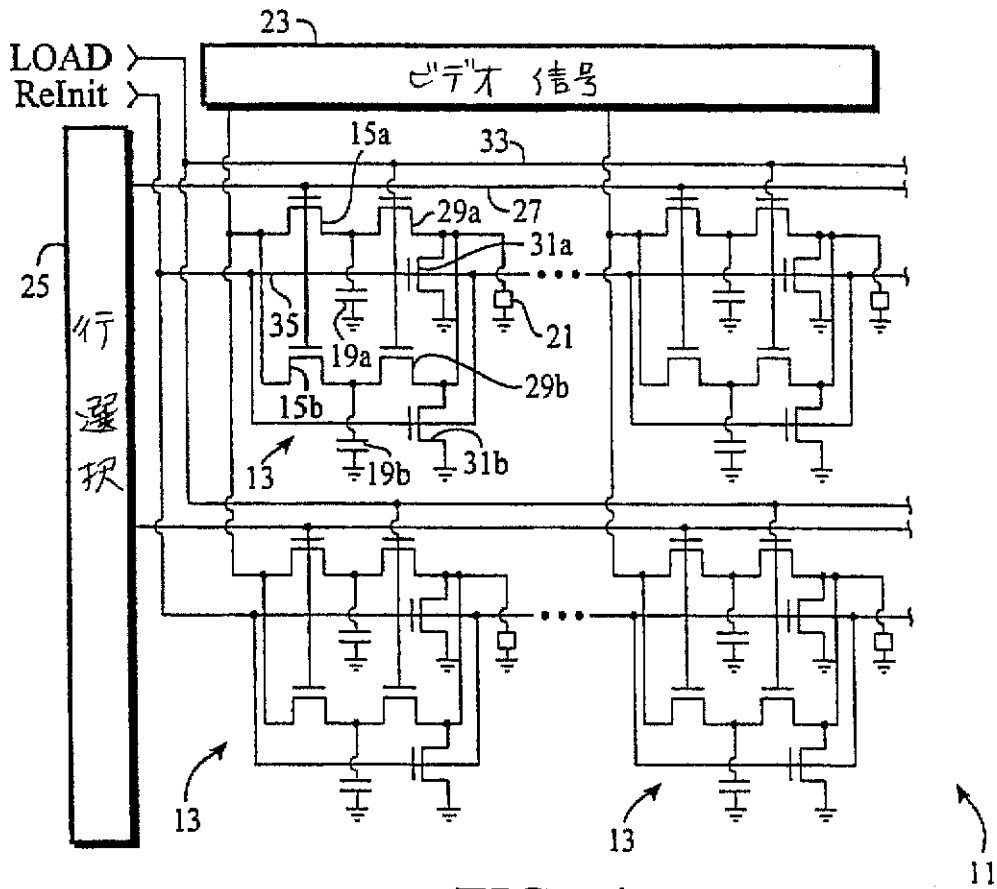


FIG. 4 (Prior Art)

【図5】

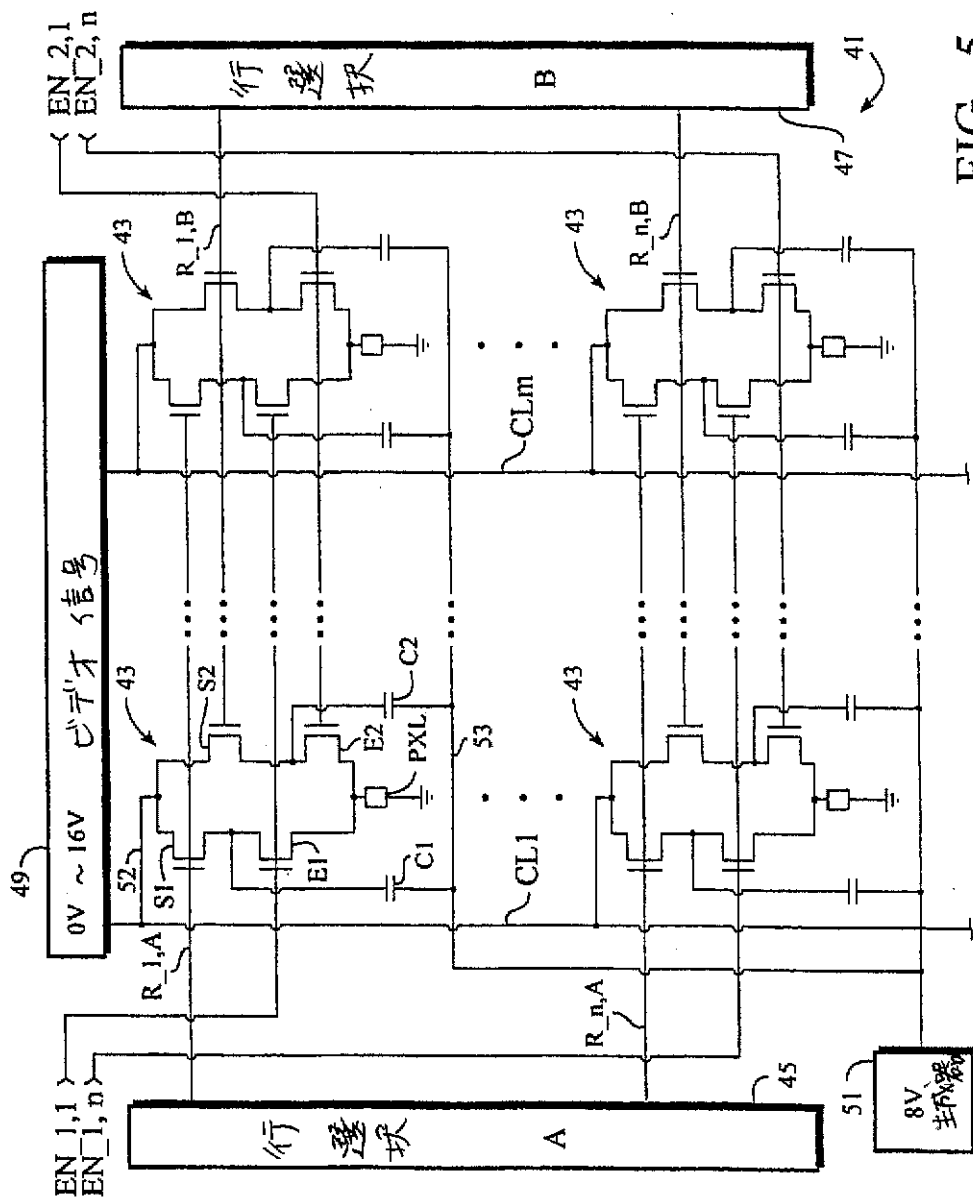


FIG. 5

【図6】

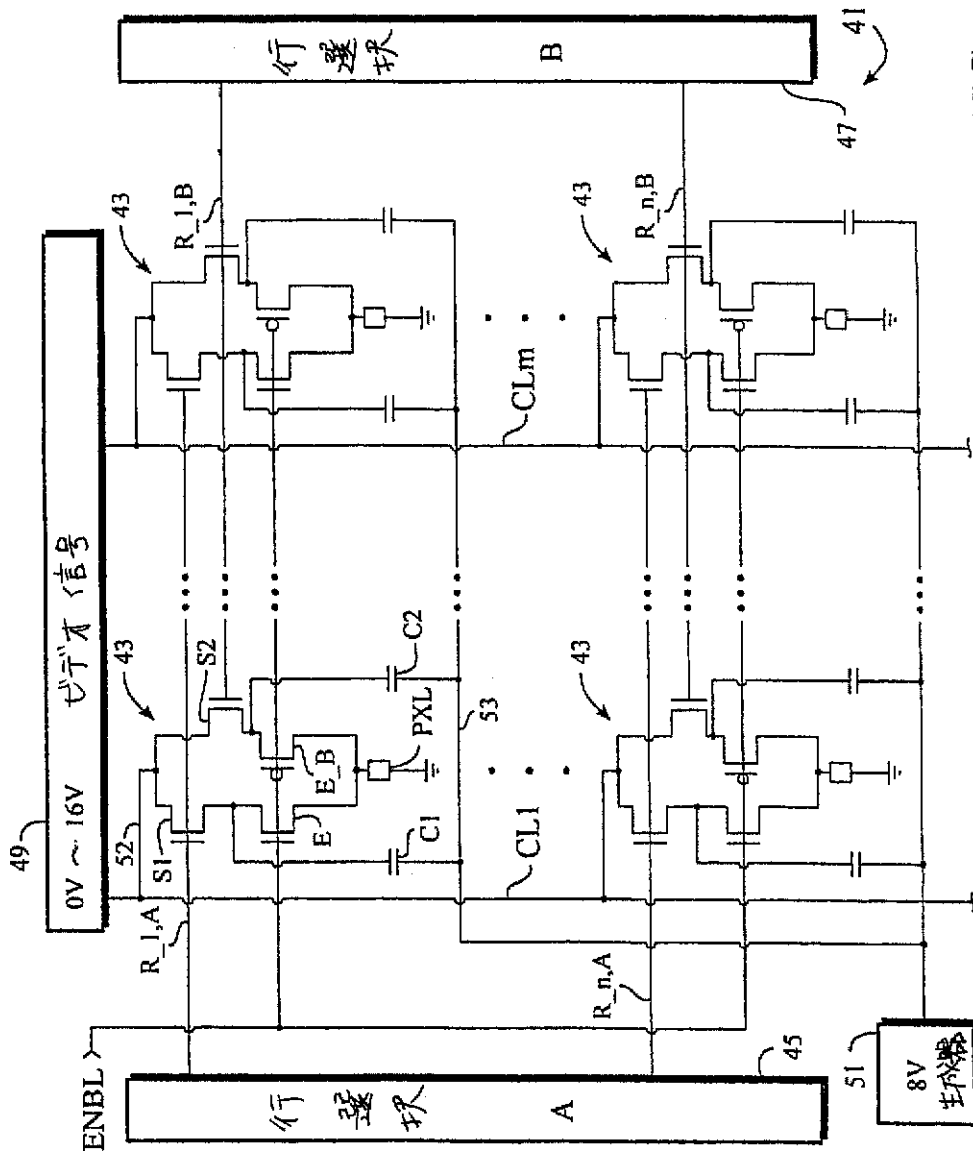


FIG. 6

【図7】

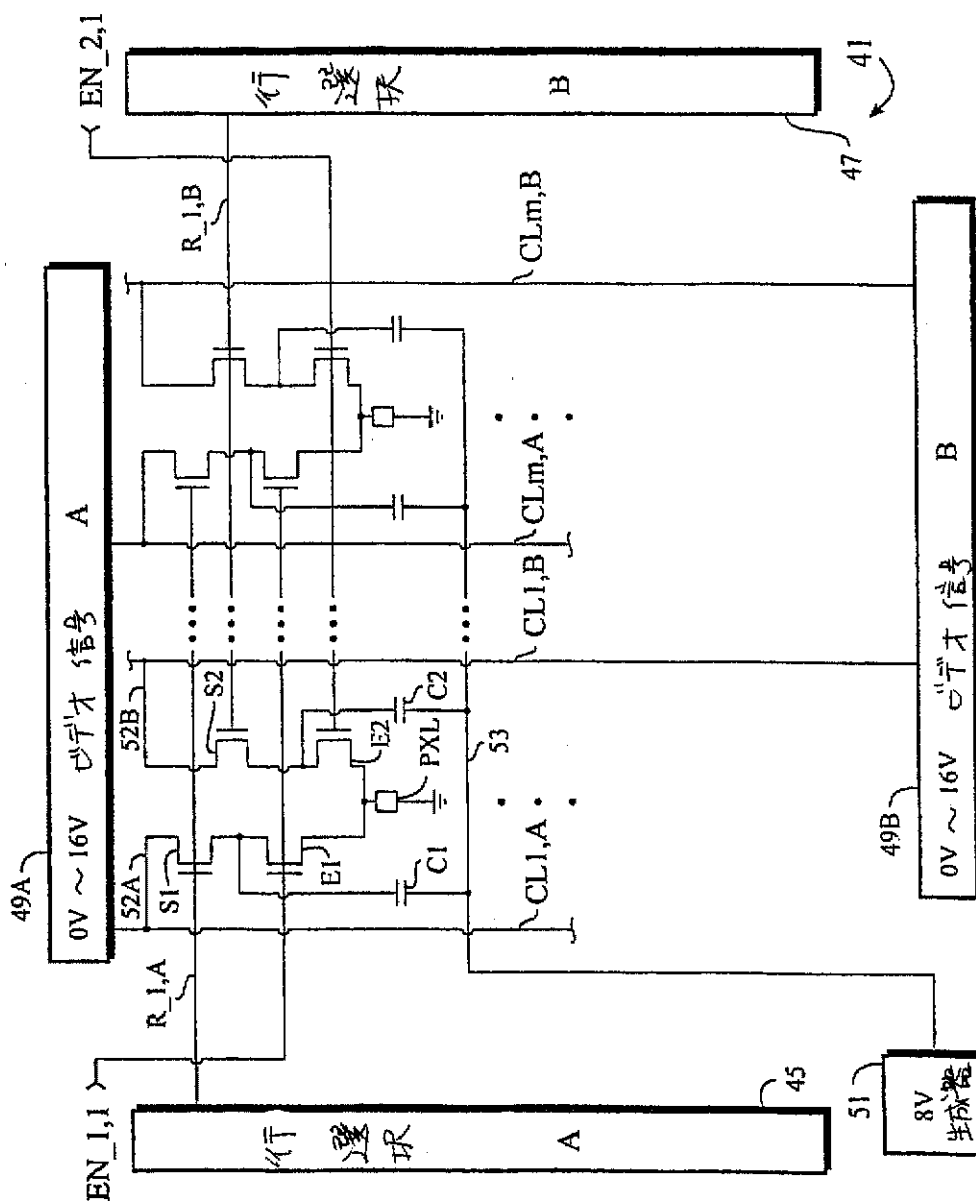


FIG. 7

【図8】

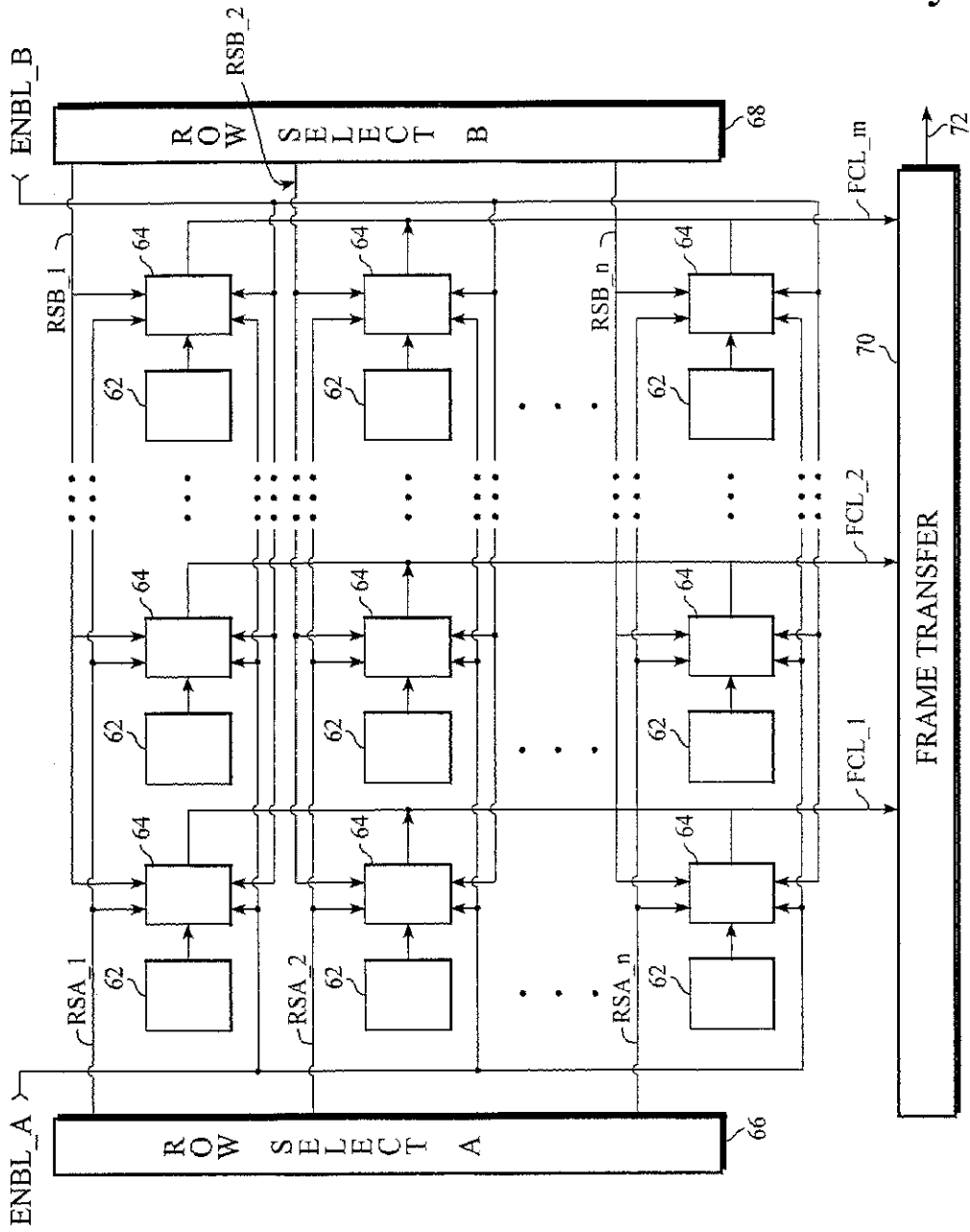


Fig. 8

【図 9】

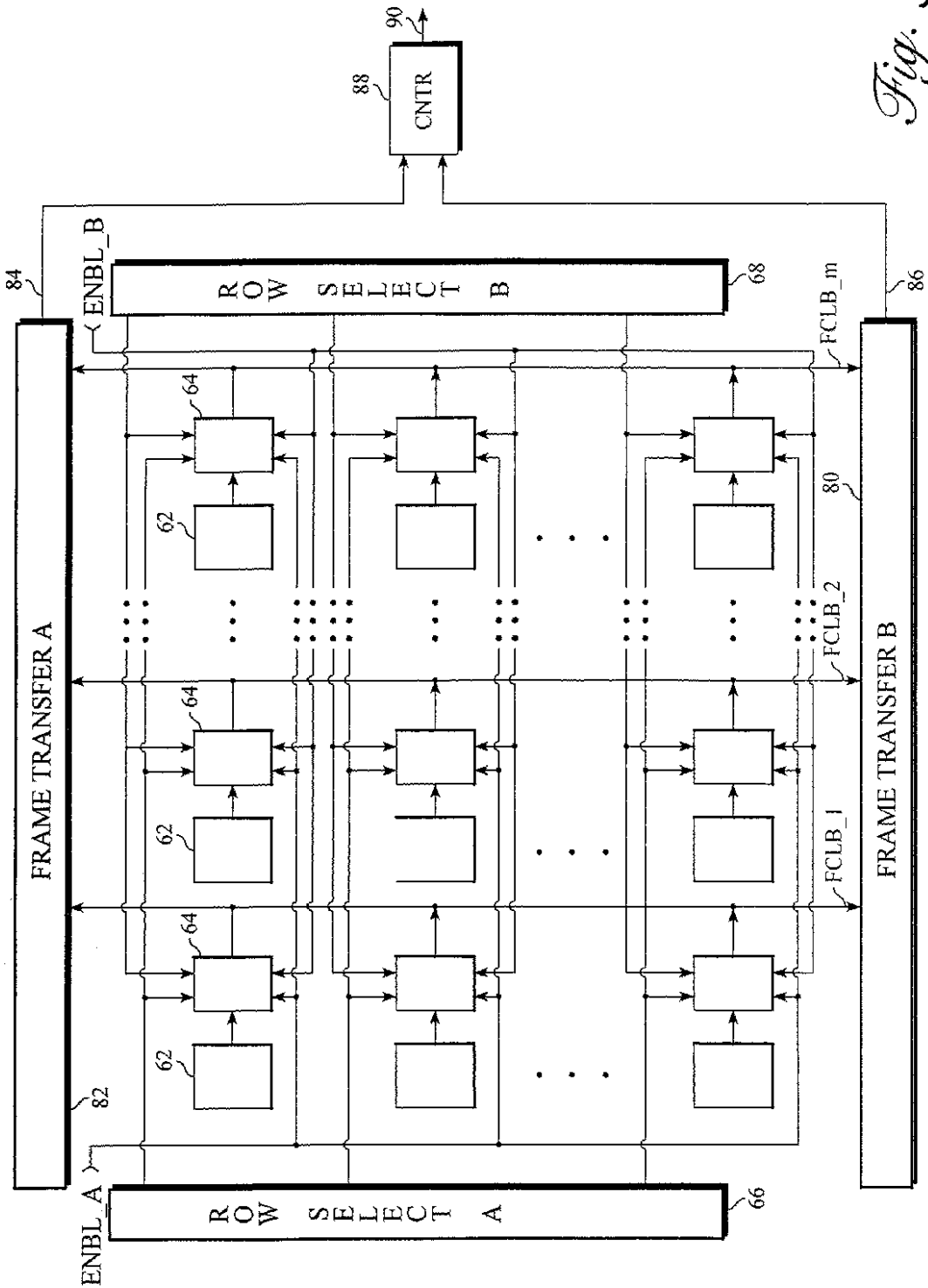


Fig. 9

【図10】

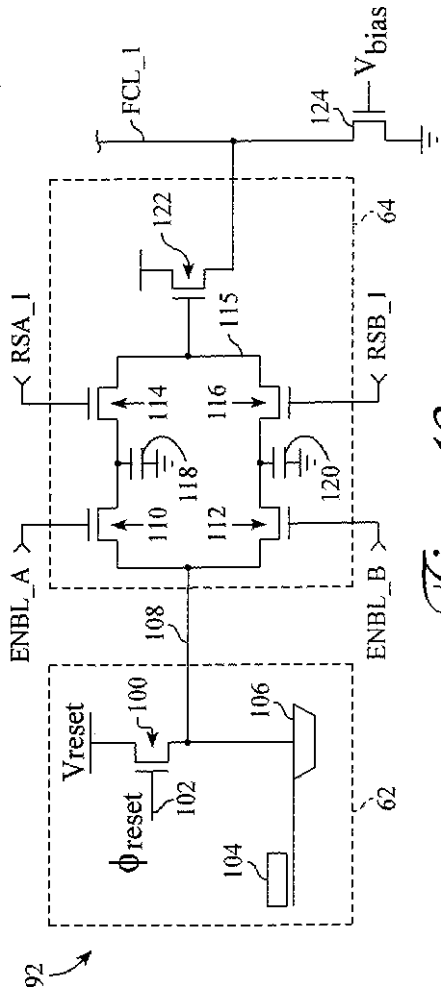


Fig. 10

【図11】

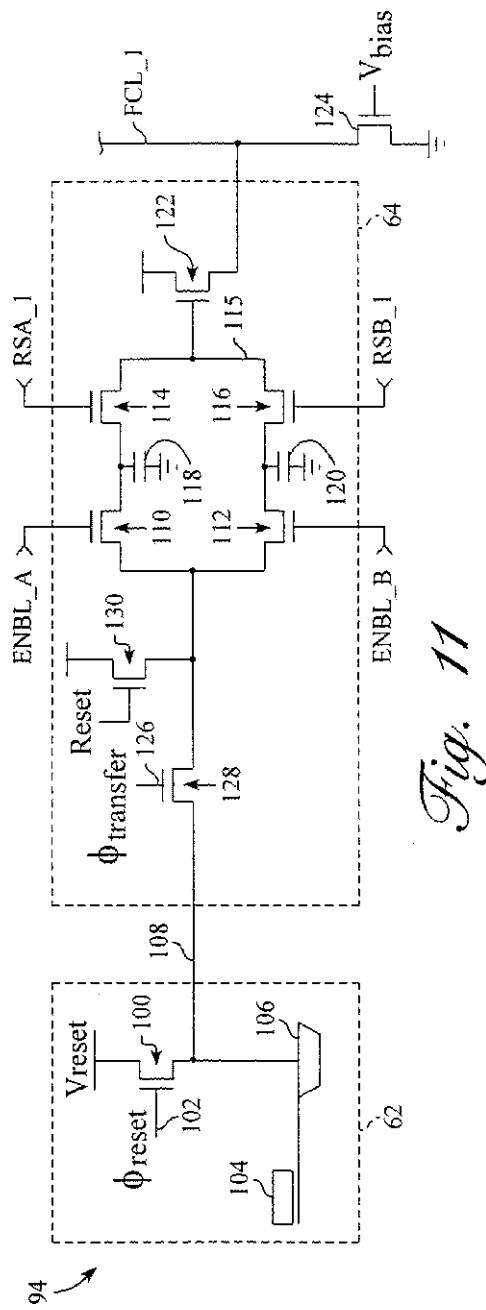


Fig. 11

【図12】

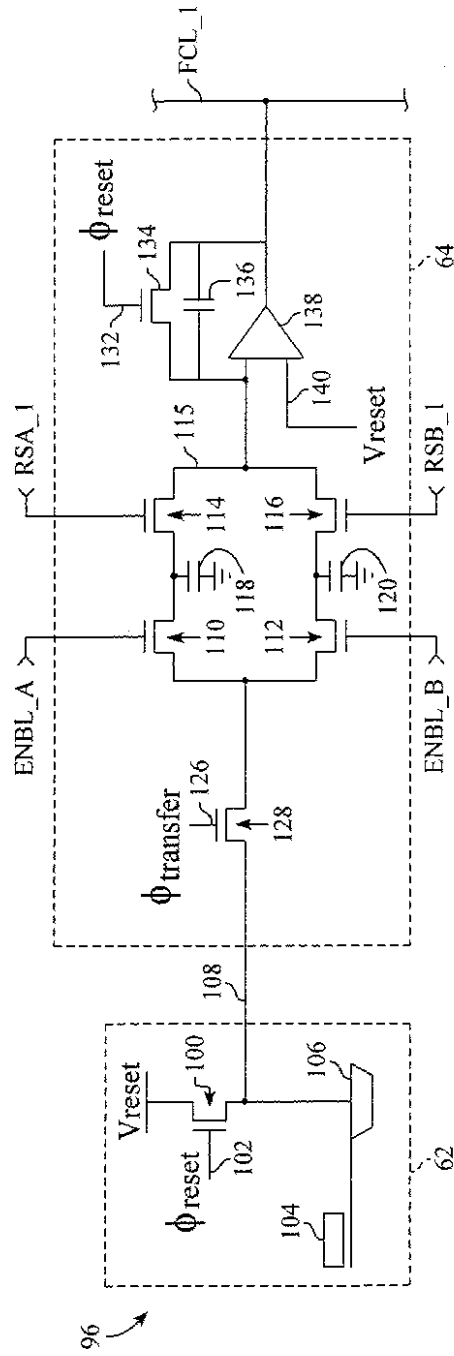


Fig. 12

【**手続補正書**】特許協力条約第34条補正の翻訳文提出書

【**提出日**】平成13年11月7日(2001.11.7)

【**手続補正1**】

【**補正対象書類名**】明細書

【**補正対象項目名**】特許請求の範囲

【**補正方法**】変更

【**補正の内容**】

【**特許請求の範囲**】

【**請求項1**】 複数の画素(43)を有する液晶ディスプレイに用いるための駆動回路であって、前記駆動回路は前記画素の1つで前記液晶ディスプレイに結合され、かつビデオ信号を受けるための手段(52)を有し、前記画素はピクセルキャパシタンスを有し、前記駆動回路は、

複数の選択スイッチング手段(S1、S2)を含み、各前記選択スイッチング手段は異なった選択信号(R1__A、R__1B)に独立して応答し、各選択スイッチング手段は、第1の入力ノードおよび第2の出力ノードを有し、各前記スイッチング手段は、その異なった選択信号に応答してその第1の入力ノードをその第1の出力ノードに選択的に結合することが可能であり、さらに

複数のイネーブルスイッチング手段(E1、E2)を含み、各前記イネーブルスイッチング手段は、前記選択スイッチング手段の異なった1つと1対1の対を形成し、各イネーブルスイッチング手段は第2の入力ノードおよび第2の出力ノードを有し、各前記イネーブルスイッチング手段は、イネーブル信号に応答してその第2の入力ノードをその第2の出力ノードに選択的に結合することが可能であり、各前記1対1の対内の第1の出力ノードおよび第2の入力ノードは、結合点においてともに接続され、さらに

各前記1対1の対に関連する異なった電圧保持手段(C1、C2)を含み、各前記異なった電圧保持手段は関連の1対1の対内の結合点と基準電圧入力との間に結合され、

すべての前記第2の出力ノードは、前記画素と電氣的に通信する、駆動回路。

【**請求項2**】 各前記イネーブルスイッチング手段は、異なったイネーブル

信号に独立して応答する、請求項1に記載の駆動回路。

【請求項3】 複数の前記イネーブルスイッチング手段は、第1のイネーブルスイッチおよび第2のイネーブルスイッチを含み、前記第1のイネーブルスイッチはNMOSトランジスタであり、前記第2のイネーブルスイッチはPMOSトランジスタであり、前記イネーブル信号は前記NMOSおよびPMOSトランジスタの両方に結合され制御する、請求項1に記載の駆動回路。

【請求項4】 すべての前記第1の入力ノードは、ビデオ信号を受取るようにともに結合される、請求項3に記載の駆動回路。

【請求項5】 少なくとも2つの前記選択スイッチング手段の入力ノードは、異なった入力ビデオ信号に結合される、請求項3に記載の駆動回路。

【請求項6】 すべての前記第1の入力ノードは、ビデオ信号を受取るようにともに結合される、請求項1に記載の駆動回路。

【請求項7】 少なくとも前記2つの選択スイッチング手段の入力ノードは、異なった入力ビデオ信号に結合される、請求項1に記載の駆動回路。

【請求項8】 すべての前記第2の出力ノードは、互いに、および前記画素に対してのみ結合される、請求項1に記載の駆動回路。

【請求項9】 前記ビデオ信号は、予め定められた電圧範囲内で変化し、前記基準電圧入力は、前記予め定められた電圧範囲の実質的に中間の値を有する、請求項1に記載の駆動回路。

【請求項10】 前記画素は、前記イネーブルスイッチング手段の1つによって、前記異なった電圧保持手段の少なくとも1つに常に結合されるよう維持される、請求項1に記載の駆動回路。

【請求項11】 いずれか所与の時間に、前記イネーブルスイッチング手段の1つのみが起動される、請求項1に記載の駆動回路。

【請求項12】 前記電圧保持手段はキャパシタである、請求項1に記載の駆動回路。

【請求項13】 前記選択スイッチング手段およびイネーブルスイッチング手段は、トランジスタである、請求項1に記載の駆動回路。

【請求項14】 前記トランジスタは、BJTトランジスタ、MOSトラン

ジスタ、およびJFETトランジスタの1つである、請求項13に記載の駆動回路。

【請求項15】 前記選択スイッチング手段およびイネーブルスイッチング手段は、活性化された場合に結合接続を確立し、非活性化された場合に結合接続を断続する、請求項1に記載の駆動回路。

【請求項16】 一度に前記選択スイッチング手段の1つのみが非活性化される、請求項15に記載の駆動回路。

【請求項17】 いずれか所与の時間に、前記1対1の対のうちの1つのみがその選択スイッチング手段およびイネーブルスイッチング手段を非活性化させることができる、請求項15に記載の駆動回路。

【請求項18】 同時に、すべての前記イネーブルスイッチング手段が活性化され得る、請求項15に記載の駆動回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

リー(Lee)他の米国特許番号第5,903,250号は、アクティブマトリクス液晶ディスプレイを開示し、これはいくつかの列を駆動するための列入力多重化駆動機構(column input multiplexing driving scheme)を備える。駆動回路はいくつかのサンプルおよびホールド回路を含み、各々が、サンプリングスイッチ、保持容量、およびホールドスイッチを含む2つ以上の分岐を有する。

この発明の目的は、液晶ディスプレイに用いるためのものであって、1つの画像を表示しながら別のものを受信することができ、電圧電位を液晶ディスプレイに転送するときに最小限の劣化しか起こさない、画素を提供することである。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 00/25714
A. CLASSIFICATION OF SUBJECT MATTER G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC?		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G,G02F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5686932 A (TOMITA) 11 November 1997, column 2, line 65 - column 4, line 30, claims 1,5, figs. 1,5.	1, 18, 21, 25
A	US 5504601 A (WATANABE et al.) 02 April 1996, claim 1, fig. 1-9.	1, 3, 18, 21, 25
A	EP 0617398 A1 (NEC CORPORATION) 28 September 1994, claim 1.	1, 18, 21, 25
A	US 5903250 A (LEE et al.)	1, 18, 25
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 06 December 2000		Date of mailing of the international search report 20 February 2001 (20.02.01)
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer MIHATSEK

INTERNATIONAL SEARCH REPORT

International Application No.

- 2 -

PCT/US 00/25714

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	11 May 1999, claims 1-9, fig. 1. ---	
A	WO 99/52012 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 14 October 1999, claims 1-2, fig. 1. ---	1, 18, 25
A	US 5767926 A (KIM et al.) 15 June 1998, claims 1, figs. 1, 3. -----	1, 18, 25

フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト' (参考)
G 0 9 G	3/20	G 0 9 G	3/20
(72)発明者	パイン, ジェイムス・イー		6 2 4 Z
	アメリカ合衆国、95005 カリフォルニア		
	州 ボールダー・クリーク、クロウズ・ネ		
	スト・ドライブ、214		
Fターム(参考)	2H093 NA16 NC02 NC09 NC18 NC34		
	NC35 ND37		
	5C006 AA01 AF42 BB16 BC03 BC06		
	BC12 BC20 BF24 BF32 BF34		
	EB05 FA11 FA21		
	5C080 AA10 BB05 DD03 DD08 FF11		
	JJ02 JJ03		

专利名称(译)	用于液晶显示单元的驱动电路		
公开(公告)号	JP2003514258A	公开(公告)日	2003-04-15
申请号	JP2001537041	申请日	2000-09-19
[标]申请(专利权)人(译)	爱特梅尔公司		
申请(专利权)人(译)	Atmel公司		
[标]发明人	パサクサロジ パインジエイムスイー		
发明人	パサク,サロジ パイン,ジエイムスイー		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3659 G09G2300/0814 G09G2300/0842 G09G2300/0852		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.550 G09G3/20.621.F G09G3/20.624.B G09G3/20.624.Z		
F-TERM分类号	2H093/NA16 2H093/NC02 2H093/NC09 2H093/NC18 2H093/NC34 2H093/NC35 2H093/ND37 5C006/AA01 5C006/AF42 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF24 5C006/BF32 5C006/BF34 5C006/EB05 5C006/FA11 5C006/FA21 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD08 5C080/FF11 5C080/JJ02 5C080/JJ03		
优先权	09/436064 1999-11-08 US		
外部链接	Espacenet		

摘要(译)

用于液晶显示器的像素 (43) 的阵列 (41) 中的驱动电路在接收第二组图像数据的同时显示一组图像数据。响应于第一选择信号 (R₁, A) 的第一选择开关晶体管 (S1) 控制第一图像到第一存储电容器 (C1) 的耦合。响应于第二选择信号 (R₁, B) 的第二选择开关晶体管 (S2) 控制第二图像到第二存储电容器 (C2) 的耦合。响应于第一使能信号 (EN₁, 1), 第一使能开关晶体管 (E1) 将第一存储电容器 (C1) 选择性地耦合至输出节点 (PXL)。响应于第二使能信号 (EN₂, 1), 第二使能开关晶体管 (E2) 将第二存储电容器 (C2) 选择性地耦合到相同的输出节点 (PXL)。通过开关晶体管的适当操作, 一个存储电容器耦合到输出节点, 而另一个存储电容器与输出节点分离并接收新的图像数据。

