

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

## 特開2003 - 202592

### (P2003 - 202592A)

(43)公開日 平成15年7月18日(2003.7.18)

| (51) Int. Cl <sup>7</sup> | 識別記号 | F I            | テ-マ-ド* ( 参考 ) |
|---------------------------|------|----------------|---------------|
| G 0 2 F 1/1368            |      | G 0 2 F 1/1368 | 2 H 0 9 2     |
| G 0 9 F 9/30              | 338  | G 0 9 F 9/30   | 5 C 0 9 4     |
| 9/35                      |      | 9/35           |               |

審査請求 未請求 請求項の数 5 O L ( 全 13数 )

(21)出願番号 特願2002 - 149(P2002 - 149)  
 (22)出願日 平成14年1月4日(2002.1.4)

(71)出願人 302036002  
 富士通ディスプレイテクノロジー株式会社  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 (72)発明者 甲斐 勉  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 富士通株式会社内  
 (74)代理人 100108187  
 弁理士 横山 淳一

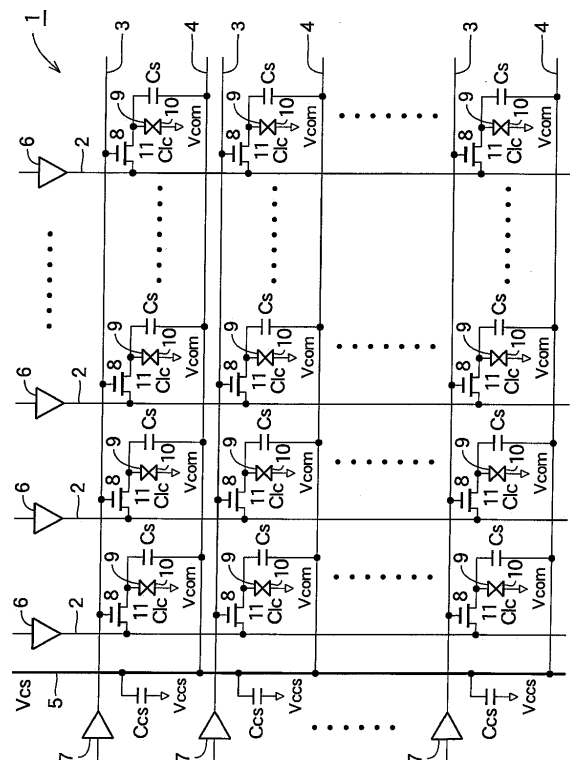
最終頁に続く

#### (54) 【発明の名称】 液晶表示パネル

#### (57) 【要約】

【課題】画素毎に補助容量を備えたアクティブマトリクス駆動方式の液晶表示パネルにおいて、行毎に設けられた補助容量線に所定電位を供給するための共通補助容量線に、寄生容量等を介して補助容量線に混入したノイズを吸収して補助容量線の電圧を安定化させるため容量を付加することで、補助容量線の電圧変動を低減させ、表示ムラやクロストークの発生を防止する。

【解決手段】画素毎に設けられた補助容量 C s の共通側を形成するために行毎に設けられた補助容量線（水平 C s ライン）4 に対して所定電位（補助容量線電圧 V c s ）を供給するための共通補助容量線（垂直 C s ライン）5 に、電圧安定化用の容量 C c s を付加する。この容量 C c s は共通補助容量線（垂直 C s ライン）5 を利用して形成する。この容量 C c s は M O S 構造で形成してもよい。



## 【特許請求の範囲】

【請求項1】基板上にマトリクス状に配置された画素領域と、

前記画素領域に形成された蓄積容量と、

複数の前記蓄積容量に接続された蓄積容量線と、

複数の前記蓄積容量線に所定の電位を供給するための共通蓄積容量線と、

前記共通蓄積容量線に接続された補助容量とを有することを特徴とする液晶表示パネル。

【請求項2】請求項1記載の液晶表示パネルにおいて、前記補助容量は、前記共通蓄積容量線を利用して形成されていることを特徴とする液晶表示パネル。

【請求項3】請求項1又は2に記載の液晶表示パネルにおいて、

前記蓄積容量及び前記補助容量は、MOS構造で形成されていることを特徴とする液晶表示パネル。

【請求項4】請求項3記載の液晶表示パネルにおいて、前記蓄積容量はn-MOS構造で形成され、前記補助容量はp-MOS構造で形成されていることを特徴とする液晶表示パネル。

【請求項5】請求項3記載の液晶表示パネルにおいて、前記蓄積容量はp-MOS構造で形成され、前記補助容量はn-MOS構造で形成されていることを特徴とする液晶表示パネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、各画素に蓄積容量を備えたアクティブマトリクス駆動方式の液晶表示パネルに関する。

## 【0002】

【従来の技術】図9は従来の液晶表示パネルの等価回路図、図10は従来の液晶表示パネルの1表示画素分の等価回路図である。従来の液晶表示パネル101は、図示しない一方の透明ガラス基板に、複数のデータバスライン(信号線)102が平行に形成され、それらに対して絶縁膜を介して複数のゲートバスライン(走査線)103が交差して形成されている。ゲートバスライン103と平行に各蓄積容量線(行毎の蓄積容量線)104が配置され、これらの蓄積容量線104の端部側であってデータバスライン102と平行に共通蓄積容量線105が配置されている。

【0003】各蓄積容量線104はそれぞれ共通蓄積容量線105に電氣的に接続されている。図示しない蓄積容量線駆動回路から供給される所定の電位は、共通蓄積容量線105を介して各蓄積容量線104へ供給されるようになっている。

【0004】各データバスライン102と各ゲートバスライン103とで画定される領域に各画素が形成される。図示しない一方の透明ガラス基板上であって各画素が形成された表示領域の周辺領域に、各データバスライ

ン102を駆動する各データドライバ(信号線駆動回路)106および各ゲートバスライン103を駆動する各ゲートドライバ(走査線駆動回路)107が設けられている。

【0005】図10に示すように、データバスライン102とゲートバスライン103との交点近傍に薄膜トランジスタ(以下TFTと記す)108が形成されている。TFT108のドレイン電極Dはデータバスライン102に接続され、TFT108のゲート電極Gはゲートバスライン103に接続され、TFT108のソース電極Sは画素電極109に接続されている。画素電極109と対向電極110の間には液晶層111が挟持され、液晶容量C<sub>lc</sub>が形成されている。また、画素電極109に並列に蓄積容量C<sub>s</sub>が接続されている。この蓄積容量C<sub>s</sub>は、画素電極109と蓄積容量線104との間に形成されている。対向電極110は、図示しない他方の透明ガラス基板に形成されている。そして、この対向電極110には対向電極電圧V<sub>com</sub>が供給される。

【0006】従来のアクティブマトリクス駆動方式の液晶表示パネルは、複数のゲートバスライン103の一つを選択し、選択されたゲートバスライン103に接続されたTFT108がオン状態になるよう走査信号が与えられた状態で、各データバスライン(信号線)102に信号電圧をそれぞれ供給することで、選択された行の各液晶容量C<sub>lc</sub>に各画素の信号電圧を供給する。液晶容量C<sub>lc</sub>はその容量が小さいために信号電圧の保持特性が不充分である。そこで、液晶容量C<sub>lc</sub>に並列に蓄積容量C<sub>s</sub>を接続して、1垂直期間内に亘って画素電極に書き込まれた電圧が変動しないようにしている。これにより、1垂直期間内に輝度が変化しないようにして、いわゆるフリッカ等が発生するのを防止している。

【0007】また、ゲートバスライン103がオン(TFTのゲートしきい値電圧以上の電圧)からオフ(TFTのゲートしきい値電圧以下の電圧)に変化した際に、TFT108のゲート-ソース間の寄生容量(C<sub>gs</sub>)やゲートバスライン103と画素電極109との間の寄生容量(C<sub>gp</sub>)によって、画素電極(液晶容量)109にチャージされた電位が変動し、パネル内部の輝度ムラやフリッカ等の原因となることがある。これに対しても蓄積容量C<sub>s</sub>を設けることでその影響を低減させることができる。

## 【0008】

【発明が解決しようとする課題】図11は従来の液晶表示パネルの課題を示す図であり、図11(a)は蓄積容量線104とデータバスライン102との交差部分に形成された寄生容量C<sub>k</sub>とその寄生容量C<sub>k</sub>を介して蓄積容量線104にノイズが混入する状態を示す説明用の等価回路図、図11(b)はデータバスライン102の信号電圧変化の一例を示す図である。図12は蓄積容量線の電圧変動が最大となる表示パターン of の具体例を示す図

である。

【0009】図11に示すように、蓄積容量線104はデータバスライン102と直交するように配設されているため、蓄積容量線104とデータバスライン102との交差部分に寄生容量 $C_k$ が形成される。このためデータバスライン102の電圧変化が寄生容量 $C_k$ を介して蓄積容量線104へ伝達される。この結果、蓄積容量線104にノイズが混入することになり、蓄積容量線104の電圧が変動する。蓄積容量線104の電圧が変動することで画素電極109の電圧が変動し、表示ムラが生ずる。

【0010】また図11には示していないが、TFT108を介して画素電極109に供給される信号電圧の変化によっても、上記と同様に蓄積容量線104の電圧が変動し、表示ムラが生ずることがある。

【0011】特に、図12に示すように、各画素毎に「明」と「暗」とが交互に繰り返される（いわゆる市松模様）を表示する際に、蓄積容量線104の電圧変動が大きくなり、表示ムラやクロストークが顕著になる。

【0012】図11(a)に示すように、各データドライバ（信号線駆動回路）106が正極性の信号と負極性の信号を交互に供給する構成において、図12に示した市松模様の表示を行なう場合には、図11(b)に示すように、各データバスライン102の電圧変化方向が全て同じとなるので、各寄生容量 $C_k$ を介して蓄積容量線104に混入するノイズが全て同位相となり、蓄積容量線104の電圧変動が最大となる。

【0013】本発明はこのような課題を解決するためになされたもので、蓄積容量線の電圧変動を低減させ、表示品質の劣化を防止することのできる液晶表示パネルを提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的は、基板上にマトリクス状に配置された画素領域と、前記画素領域に形成された蓄積容量と、複数の前記蓄積容量に接続された蓄積容量線と、複数の前記蓄積容量線に所定の電位を供給するための共通蓄積容量線と、前記共通蓄積容量線に接続された補助容量とを有することを特徴とする液晶表示パネルによって達成される。

【0015】上記本発明の液晶表示パネルにおいて、前記補助容量は、前記共通蓄積容量線を利用して形成されていることを特徴とする。上記本発明の液晶表示パネルにおいて、前記蓄積容量及び前記補助容量は、MOS構造で形成されていることを特徴とする。

【0016】上記本発明の液晶表示パネルにおいて、前記蓄積容量はn-MOS構造で形成され、前記補助容量はp-MOS構造で形成されていることを特徴とする。上記本発明の液晶表示パネルにおいて、前記蓄積容量はp-MOS構造で形成され、前記補助容量はn-MOS構造で形成されていることを特徴とする。

【0017】本発明による液晶表示パネルは、蓄積容量線に所定の電位を供給するための共通蓄積容量線に電圧安定化用の補助容量を追加したので、データバスラインと蓄積容量線との交差部分での寄生容量を介して蓄積容量線に混入したノイズを電圧安定化用の補助容量によって吸収することができる。また、画素電極に供給される信号電圧の変化に伴って蓄積容量線の電圧が変動した際にも、その電圧変動を電圧安定化用の補助容量によって吸収することができる。これにより、蓄積容量線の電圧変動が抑制されるので、表示ムラや横方向クロストークの発生を防止でき、良好な表示品質を得ることができる。

【0018】なお、画素の蓄積容量をMOS構造で形成する場合には、共通蓄積容量線に追加する電圧安定化用の補助容量もMOS構造にすることで、電圧安定化用の補助容量をより大ききなものとしてでき、蓄積容量線の電圧変動を効果的に抑制できる。また、画素の蓄積容量をn-MOS構造とした場合は電圧安定化用の補助容量をp-MOS構造とし、画素の蓄積容量をp-MOS構造とした場合は電圧安定化用の容量をn-MOS構造とすることで、共通蓄積容量線に供給する電圧をゲートバスラインのオフ電圧またはオン電圧とすることができる。これにより、新たな電圧を供給する必要がなくなり、回路構成および液晶表示パネルの構造が簡略化できる。

【0019】

【発明の実施の形態】本発明の一実施の形態による液晶表示パネルについて図1乃至図8を用いて説明する。図1は本実施の形態による液晶表示パネルの等価回路図である。本実施の形態による液晶表示パネル1は、図示しない一方の透明ガラス基板上に、平行に並ぶ複数のデータバスライン（信号線）2と、それらに不図示の絶縁膜を介して交差する複数のゲートバスライン（走査線）3とが形成されている。ゲートバスライン3と平行に複数の蓄積容量線（行毎の蓄積容量線：水平蓄積容量線）4が形成され、さらに各蓄積容量線4の一端部側にデータバスライン2と平行に共通蓄積容量線5が形成されている。各蓄積容量線（行毎の蓄積容量線）4はそれぞれ共通蓄積容量線5と電気的に接続されている。そして、図示しない蓄積容量線駆動回路から供給される所定の電位（蓄積容量線電圧 $V_{cs}$ ）を、共通蓄積容量線（垂直蓄積容量線）5を介して各蓄積容量線（行毎の蓄積容量線：水平蓄積容量線）4に供給するようになっている。

【0020】各データバスライン2と各ゲートバスライン3とで画定される各領域に各画素がそれぞれ形成されている。図示しない一方の透明ガラス基板上であって各画素が形成された表示領域の周辺領域に、各データバスライン2を駆動する各データドライバ（信号線駆動回路）6および各ゲートバスライン3を駆動する各ゲートドライバ（走査線駆動回路）7が設けられている。

【0021】そして、データバスライン2とゲートバスライン3との交点位置近傍に薄膜トランジスタ(TFT)8が形成されている。TFT8のドレイン電極(D)はデータバスライン2に接続され、TFT8のゲート電極(G)はゲートバスライン3に接続され、TFT8のソース電極(S)は画素電極9に接続されている。画素電極9と対向電極10の間には液晶層11が挟持され、これにより液晶容量C<sub>l</sub>cが形成されている。また、画素電極9に並列に蓄積容量C<sub>s</sub>が接続されている。この蓄積容量C<sub>s</sub>は、画素電極9と蓄積容量線4との間に形成されている。対向電極10は、図示しない他方の透明ガラス基板上に形成されている。この対向電極10には対向電極電圧V<sub>c</sub>omが供給されるようになっている。

【0022】さらに、本実施の形態による液晶表示パネル1は、共通蓄積容量線(垂直蓄積容量線)5に電圧安定化用の補助容量C<sub>c</sub>sが接続されている。この電圧安定化用の補助容量C<sub>c</sub>sは、各行の水平蓄積容量線毎に対応して設けられている。この電圧安定化用の補助容量C<sub>c</sub>sの他端(共通側)には所定の電位(電圧安定化用補助容量の共通側電極電圧:V<sub>c</sub>cs)が供給される。上記の所定の電位(電圧安定化用補助容量の共通側電極電圧:V<sub>c</sub>cs)としては、グランド電位や蓄積容量線電圧V<sub>c</sub>sよりも例えば3V程度高い電位を用いることができる。電圧安定化用の補助容量C<sub>c</sub>sの容量値は、1行分の蓄積容量C<sub>s</sub>の合計容量値以上にするのが望ましい。なお、電圧安定化用の補助容量C<sub>c</sub>sの容量値を大きくすると電圧安定化用の補助容量C<sub>c</sub>sを形成するために広い領域が必要になるので、電圧安定化用の補助容量C<sub>c</sub>sの容量値は1行分の蓄積容量C<sub>s</sub>の合計容量値よりも少なくしてもよい。

【0023】本実施の形態による液晶表示パネル1は、共通蓄積容量線5に電圧安定化用の補助容量C<sub>c</sub>sを接続する構成としたので、各蓄積容量線4に混入したノイズを吸収でき、各蓄積容量線4の電圧を安定化できる。各蓄積容量線4の電圧を安定化することで、画素電極9の電圧変動を小さくでき、結果として表示領域における横方向のクロストークの発生を防止できる。

【0024】図2は本実施の形態による他の液晶表示パネルの等価回路図である。図2に示す液晶表示パネル21は低温ポリシリコン製造プロセスにより作成されたもので、図中の点線で囲まれた部分のうち対向電極10を除く構成が、図示しない一方の透明ガラス基板上に形成されている。この液晶表示パネル21は、図示しない一方の透明ガラス基板に、絶縁膜を介して交差状に形成された複数のデータバスライン2a~2nの組及び複数のゲートバスライン3a~3iの組とを有している。また、ゲートバスライン3a~3iと平行に各蓄積容量線(行毎の蓄積容量線:水平蓄積容量線)4a~4iが形成され、さらに各蓄積容量線4a~4iの左右両端部側

にデータバスライン2a~2nと平行に共通蓄積容量線5L,5Rがそれぞれ形成されている。

【0025】各蓄積容量線(行毎の蓄積容量線:水平蓄積容量線)4は各共通蓄積容量線5L,5Rにそれぞれ電気的に接続されている。そして、図示しない蓄積容量線駆動回路から供給される所定の電位(蓄積容量線電圧V<sub>c</sub>s)が、左右の共通蓄積容量線(垂直蓄積容量線)5L,5Rを介して各蓄積容量線(行毎の蓄積容量線:水平蓄積容量線)4a~4iへ供給されるようになっている。各共通蓄積容量線(垂直蓄積容量線)5L,5Rには、電圧安定化用の補助容量C<sub>c</sub>sL,C<sub>c</sub>sRがそれぞれ接続されている。これらの電圧安定化用の補助容量C<sub>c</sub>sL,C<sub>c</sub>sRは、各蓄積容量線4a~4iに行毎に対応して設けられている。

【0026】各データバスライン2a~2nと各ゲートバスライン3a~3iとで画定される各領域に各画素が形成されている。図示しない一方の透明ガラス基板上であって各画素が形成された表示領域の周辺の例えば上側の領域に、データバスライン2a~2nの総数と同数のアナログスイッチ回路(SW)22a~22nが設けられている。また、上記表示領域の周辺の左右の領域に一方のシフトレジスタ23L,23R及びゲートバスライン3a~3iの総数と同数のゲートバスラインバッファ回路24La~24Li,24Ra~24Riがそれぞれ設けられている。

【0027】液晶表示パネル21の外周部に設けられたデータ駆動回路領域には、第1および第2のデータドライバ(信号線駆動回路)6a,6bが形成され、各データドライバ6a,6bから出力される階調電圧を供給するデータバスライン2a~2nの選択を制御するデータバスライン選択制御回路(図示しない)が形成されている。

【0028】第1のデータドライバ6aから出力された階調電圧は、奇数番目のアナログスイッチ回路22a,...,22n-1の入力端子へそれぞれ供給される。第2のデータドライバ6bから出力された階調電圧は、偶数番目のアナログスイッチ回路22b,...,22nの入力端子へそれぞれ供給される。第1のアナログスイッチ回路22aの出力端子は第1のデータバスライン2aに接続され、以下同様に第2,...,第n-1,第n番目のアナログスイッチ回路22b,...,22n-1,22nの出力端子は、第2,...,第n-1,第n番目のデータバスライン2b,...,2n-1,2nにそれぞれ接続される。第1のデータバスライン選択制御信号RC1は、第1および第2のアナログスイッチ回路22a,22bのスイッチング制御端子にそれぞれ供給される。以下同様に第m番目(m=n/2)のデータバスライン選択制御信号RCmは、第n-1番目および第n番目のアナログスイッチ回路22n-1,22nのスイッチング制御端

子にそれぞれ供給される。

【0029】したがって、第1のデータバスライン選択制御信号RC1が供給されると、第1および第2のアナログスイッチ回路22a、22bがそれぞれ導通状態となり、第1のデータドライバ6aから出力された階調電圧は第1番目のデータバスライン2aへ供給され、第2のデータドライバ6bから出力された階調電圧は第2番目のデータバスライン2bへ供給される。以下同様に第m番目のデータバスライン選択制御信号RCmが供給されると、第n-1番目および第n番目のアナログスイッチ回路22n-1、22nがそれぞれ導通状態となり、第1のデータドライバ6aから出力された階調電圧は第n-1番目のデータバスライン2n-1へ供給され、第2のデータドライバ6bから出力された階調電圧は第n番目のデータバスライン2nへ供給される。

【0030】このように、各データドライバ6a、6bと各データバスライン2a~2nとの間にアナログスイッチ回路22a~22nを設け、各データバスライン2a~2nに対する階調電圧の供給を時分割方式で行なう構成にすることで、液晶表示パネル21と液晶表示パネル21の外部に設けられたデータ駆動回路基板等との間の信号線数を低減することができる。なお、図2では2本のデータバスラインに対して同時に階調電圧を供給する構成を示したが、3以上のデータバスラインに対して同時に階調電圧を供給する構成としてもよい。

【0031】各シフトレジスタ24L、24Rは、垂直走査制御信号SCに基づいて垂直走査信号(ゲート駆動信号)を生成する。一方のシフトレジスタ24Lから出力された各垂直走査信号(ゲート駆動信号)は、各ゲートバッファ回路24La~24Liを介して各ゲートバスライン3a~3iにそれぞれ供給される。他方のシフトレジスタ24Rから出力された各垂直走査信号(ゲート駆動信号)は、各ゲートバッファ回路24Ra~24Riを介して各ゲートバスライン3a~3iにそれぞれ供給される。1本のゲートバスライン3に対してその左右両端側から走査信号を供給することで、水平方向(横方向)の画素数が多くゲートバスライン長が長くなる大型の液晶表示パネルにおいても走査信号の鈍りを低減させることができる。

【0032】また、各データバスライン2と各ゲートバスライン3とで画定される各領域には、各画素がそれぞれ形成されているが、各画素部の構成は図1に示した液晶表示装置1と同じであり、薄膜トランジスタ(TFT)8と液晶容量C1cと蓄積容量Csとを備えている。

【0033】図2に示した液晶表示パネル21には、各共通蓄積容量線(垂直蓄積容量線)5L、5Rに複数の電圧安定化用の補助容量CcsL、CcsRがそれぞれ接続されている。これらの電圧安定化用の補助容量CcsL、CcsRは、各行の水平蓄積容量線毎に対応して

設けられている。これらの電圧安定化用の補助容量CcsL、CcsRの他端(共通側)には所定の電位(電圧安定化用補助容量の共通側電極電圧:Vccs)が供給されるようになっている。上記の所定の電位(電圧安定化用補助容量の共通側電極電圧:Vccs)としては、グランド電位や蓄積容量線電圧Vcsよりも例えば3V程度高い電位を用いることができる。

【0034】図2に示した液晶表示パネル21は、左右の共通蓄積容量線5L、5Rに電圧安定化用の補助容量CcsL、CcsRをそれぞれ接続する構造としたので、電圧安定化用の補助容量CcsL、CcsRの容量値は、1行分の蓄積容量Csの合計容量値の1/2以上にするのが望ましい。なお、電圧安定化用の補助容量CcsL、CcsRの容量値を大きくすると電圧安定化用の補助容量CcsL、CcsRを形成するために広い領域が必要になるので、電圧安定化用の補助容量CcsL、CcsRの容量値は1行分の蓄積容量Csの合計容量値の1/2より少なくしてもよい。

【0035】図2に示した本実施の形態による他の液晶表示パネル21は、各共通蓄積容量線5L、5Rに電圧安定化用の補助容量CcsL、CcsRをそれぞれ接続する構成としたので、各蓄積容量線4a~4iに混入したノイズを吸収でき、各蓄積容量線4a~4iの電圧を安定化できる。各蓄積容量線4a~4iの電圧を安定化することで、画素電極9の電圧変動を小さくでき、結果として横方向のクロストークの発生を防止できる。

【0036】図3は本実施の形態による液晶表示パネルの第1実施例の要部構造を示す配線配置構成図、図4(a)は画素領域部分(図3のA-A線)の断面図、図4(b)は共通蓄積容量線を利用して形成した容量部(図3のB-B線)の断面図である。

【0037】図3に示すように第1実施例による液晶表示パネル31は、透明ガラス基板上に平行に並ぶ複数のゲートバスライン33が形成され、それらと不図示の絶縁膜を介して交差して複数のデータバスライン32が形成されている。また、ゲートバスライン33に平行に複数の蓄積容量線(水平Csバスライン)34が配置され、さらに、データバスライン32に平行に共通蓄積容量線(垂直Csバスライン)35が配置されている。

【0038】ゲートバスライン33とデータバスライン32との交点近傍位置にTFT36が配置されている。ゲートバスライン33とデータバスライン32とで区画された領域に画素電極(透明電極)37が配置されている。TFT36のドレイン電極はデータバスライン32に接続され、TFT36のソース電極はデータ層38に接続され、このデータ層38を介して画素電極(透明電極)37へ接続されている。データ層38は蓄積容量線(水平Csバスライン)34に対向する位置まで延設されており、図4(a)に示すように、第1層間膜39を介して蓄積容量線(水平Csバスライン)34とデータ

層38とが対向配置されることで、各画素毎の蓄積容量Csが形成されている。図3において、蓄積容量Csが形成された領域を一点鎖線で示す。なお、一点鎖線で示した蓄積容量Csが形成された領域は、特定の1画素についてのみ図示している。

【0039】図3において、第1層間膜39（図4（a）参照）に開口されたコンタクトホール40を介してポリシリコン層44のソース領域とTFT36のソース電極とが接続されている。また、第2層間膜42（図4（a）参照）に開口されたコンタクトホール41を介してデータ層38と画素電極（透明電極）37とが接続されている。さらに、データバスライン32下層まで延設されたポリシリコン層44は、第1層間膜39に開口されたコンタクトホール92を介してデータバスライン32に接続されている。

【0040】図4（a）に示すように画素領域部分は次のように形成される。まず、透明ガラス基板43上にポリシリコン層44を形成する。次に、ポリシリコン層44の上に酸化膜45を形成する。次に、酸化膜45上のゲートバスライン（ゲート層）33および蓄積容量線（水平Csバスライン）34を形成する。ついで、ゲートバスライン（ゲート層）33および蓄積容量線（水平Csバスライン）34の上に第1層間膜39を形成する。次に、ポリシリコン層44上の第1層間膜39を開口し、コンタクトホール40を形成する。次に、第1層間膜39の上にデータ層38及びTFT36のソース電極を形成する。データ層38はTFT36のソース電極から蓄積容量線（水平Csバスライン）34までの領域に形成する。第1層間膜39を介して蓄積容量線（水平Csバスライン）34とデータ層38とが対向配置されることで蓄積容量Csが形成される。ついで、データ層38および第1層間膜39の上に第2層間膜42を形成し、データ層38上の第2層間膜42を開口してコンタクトホール41を形成する。次に、第2層間膜42の上に画素電極（透明電極）37を形成する。

【0041】そして、図示しない対向電極を備えた図示しない透明ガラス基板を透明ガラス基板43に対向配置し、図示しない対向電極を備えた図示しない透明ガラス基板と画素電極（透明電極）37および第2層間膜42との間に液晶を封入することで液晶表示部が形成される。

【0042】図3に示すように、各蓄積容量線（水平Csバスライン）34に所定の電位（Cs電位）を供給するための共通蓄積容量線（垂直Csバスライン）35を利用して、電圧安定化用の補助容量Ccsが各蓄積容量線（水平Csバスライン）34毎に形成される。

【0043】図4（b）に示すように、透明ガラス基板43の上に補助容量Ccsの一方の電極となるCcs配線（ゲート層）46を形成し、このCcs配線（ゲート層）46の上に酸化膜45を形成し、さらに酸化膜45

の上に共通蓄積容量線（垂直Csバスライン）35を形成することで、酸化膜45を介してCcs配線（ゲート層）46と共通蓄積容量線（垂直Csバスライン）35とが対向配置された補助容量Ccsが形成されている。共通蓄積容量線（垂直Csバスライン）35の上に、第1層間膜39が形成されている。第1層間膜39の上に、補助容量Ccsの一方の電極となるCcs配線（ゲート層）46に所定の電位を供給するための垂直Ccs配線（データ層）47が形成されている。垂直Ccs配線47は、コンタクトホール90を介してCcs配線46に接続されている。垂直Ccs配線47は、図3に示すように、共通蓄積容量線（垂直Csバスライン）35の側方に共通蓄積容量線（垂直Csバスライン）35と平行に配置されている。垂直Ccs配線47および共通蓄積容量線（垂直Csバスライン）35の上に、第2層間膜42が形成されている。

【0044】図4（b）に示すように、第1実施例による液晶表示パネル31は、透明ガラス基板43上にゲート層にて補助容量Ccsの共通側のCcs配線46を形成し、第1層間膜39を挟んで共通蓄積容量線（垂直Csバスライン）35の配線を形成することで、共通蓄積容量線（垂直Csバスライン）35に付加した補助容量Ccsを作成することができる。よって、液晶表示パネルを製作するための工程数を増すことなく、共通蓄積容量線（垂直Csバスライン）35に補助容量Ccsを付加することができる。

【0045】なお、補助容量Ccsの容量値をより大きくするには、垂直方向に配線した共通蓄積容量線（垂直Csバスライン）35の幅を太くしたり、第1層間膜39の膜厚を薄くすることで対応することができる。また、補助容量Ccsの共通側は所定の電位に固定するだけでよいので、例えばゲートバッファの電源や液晶を挟んだ対向電極（コモン電極）と同じ電圧を用いるようにしてもよい。

【0046】図5は本実施の形態による液晶表示パネルの第2実施例の要部構造を示す配線配置構成図、図6（a）は画素領域部分（図5のC-C線）の断面図、図6（b）は共通蓄積容量線を利用して形成した容量部（図5のD-D線）の断面図である。

【0047】図5に示すように第2実施例による液晶表示パネル51は、透明ガラス基板上に平行に並ぶ複数のゲートバスライン53が形成され、それらと不図示の絶縁膜を介して交差して複数のデータバスライン52が形成されている。また、ゲートバスライン53に平行に複数の蓄積容量線（水平Csバスライン）54が配置され、さらに、データバスライン52に平行に共通蓄積容量線（垂直Csバスライン）55が配置されている。

【0048】ゲートバスライン53とデータバスライン52との交点近傍位置にTFT56が配置されている。TFT56のドレイン電極はデータバスライン52に接

続され、TFT56のソース電極はデータ層58に接続され、このデータ層58を介して画素電極(透明電極)57へ接続されている。ゲートバスライン53とデータバスライン52とで区画された領域に画素電極(透明電極)57が配置されている。データ層58は蓄積容量線(水平Csバスライン)54の近傍まで延設されている。

【0049】図6において、第1層間膜59(図6(a)参照)に開口されたコンタクトホール60を介してポリシリコン層64aのソース領域とTFT56のソース電極とが接続されている。また、第2層間膜62(図6(a)参照)に開口されたコンタクトホール61を介してデータ層58と画素電極(透明電極)57とが接続されている。さらに、データバスライン52下層まで延設されたポリシリコン層64は、第1層間膜59に開口されたコンタクトホール92を介してデータバスライン52に接続されている。

【0050】図6(a)に示すように画素領域部分は次のように形成される。まず、透明ガラス基板63上にTFT56の動作半導体層となるポリシリコン層64aおよび蓄積容量Csの一方の電極となるポリシリコン層64bを形成する。次に、ポリシリコン層64a,64bの上に酸化膜65a,65bを形成し、酸化膜65aの上にゲートバスライン(ゲート層)53を形成してTFT56を形成し、同時に、酸化膜65bの上に蓄積容量線(水平Csバスライン)54を形成する。酸化膜65bを介してポリシリコン層64bと蓄積容量線(水平Csバスライン)54とが対向配置されることで蓄積容量Csが形成される。図5において、蓄積容量Csが形成された領域を一点鎖線で示す。なお、一点鎖線で示した蓄積容量Csが形成された領域は、特定の1画素についてのみ図示している。

【0051】ついで、図6(a)に示すように、ゲートバスライン53および蓄積容量線54の上に第1層間膜59を形成する。次に、ポリシリコン層64a上の第1層間膜59を開口し、コンタクトホール60を形成する。次に、第1層間膜59の上にデータ層58を形成する。データ層58はTFT56のソース電極から蓄積容量線(水平Csバスライン)54の近傍までの領域に形成する。ついで、データ層58および第1層間膜59の上に第2層間膜62を形成し、データ層58上の第2層間膜62を開口してコンタクトホール61を形成する。次に、第2層間膜62の上に画素電極(透明電極)57を形成する。

【0052】そして、図示しない対向電極を備えた図示しない透明ガラス基板を透明ガラス基板63に対向配置し、図示しない対向電極を備えた図示しない透明ガラス基板と画素電極(透明電極)57および第2層間膜62との間に液晶を封入することで液晶表示部が形成される。

【0053】図5に示すように、各蓄積容量線(水平Csバスライン)54に所定の電位(Cs電位)を供給するための共通蓄積容量線(垂直Csバスライン)55を利用して、電圧安定化用の補助容量Ccsが各蓄積容量線(水平Csバスライン)54毎に形成される。

【0054】図6(b)に示すように、透明ガラス基板63の上に補助容量Ccsの一方の電極(共通電極)となるCcs配線(ポリシリコン層)66を形成し、このCcs配線(ポリシリコン層)66の上に酸化膜65cを形成し、さらに酸化膜65cの上に共通蓄積容量線(垂直Csバスライン)(ゲート層)55を形成することで、酸化膜65cを介してCcs配線(ポリシリコン層)66と共通蓄積容量線(垂直Csバスライン)55とが対向配置された補助容量Ccsが形成されている。共通蓄積容量線(垂直Csバスライン)55の上に、第1層間膜59が形成されている。第1層間膜59の上に、補助容量Ccsの一方の電極(共通電極)となるCcs配線(データ層)66に所定の電位を供給するための垂直Ccs配線(データ層)が形成されている。垂直Ccs配線67は、コンタクトホール90を介してCcs配線66に接続されている。垂直Ccs配線(データ層)67は、図5に示すように、共通蓄積容量線(垂直Csバスライン)55の側方に共通蓄積容量線(垂直Csバスライン)55と平行に配置している。垂直Ccs配線67および共通蓄積容量線55の上に、第2層間膜62が形成されている。

【0055】図5および図6(a),図6(b)に示したように、第2実施例による液晶表示パネル51は、画素の蓄積容量Csおよび共通蓄積容量線(垂直Csバスライン)55に付加した補助容量CcsをMOS容量にて作成したものである。ポリシリコン層64b,66にてMOS容量を作成することで、第1実施例で示したようにゲート層-層間膜-データ層にて作成した容量よりもMOS容量の方が単位面積当りの容量を大きくできる。

【0056】なお、MOS容量の場合はポリシリコン層とゲート層との間に所定電圧以上(3ボルト程度)の電位差が必要となるため、n-MOS構造の容量を作成したときには画素電極の最大電圧よりも高い電圧を印加する必要がある。さらに、共通蓄積容量線(垂直Csバスライン)55に付加したMOS容量(Ccs)をn-MOS容量で作成した際には、蓄積容量線(Csバスライン)に供給する電圧(Vcs)よりもさらに高い電圧が必要となる。現構成はポリシリコンプロセスにての実施例であるが、片チャンネル(n-MOSまたはp-MOS)の場合はこのような構成となる。また、アモルファスシリコンの場合はn-MOSのみのプロセスが一般的であり同様なことがいえる。

【0057】図7は本実施の形態による液晶表示パネルの第3実施例の要部構造を示す配置配線図である。図7

に示す液晶表示パネル71は、画素の蓄積容量 $C_s$ を $n$ - $CH$ ( $n$ チャネル)のMOS容量で形成し、共通蓄積容量線(垂直 $C_s$ バスライン)67に付加する補助容量 $C_{cs}$ を $p$ - $CH$ ( $p$ チャネル)のMOS容量で形成したものである。図7に示す液晶表示パネル71の配置配線構造は、図5に示した液晶表示パネル51の配置配線構造とほとんど変わらないが、蓄積容量 $C_s$ の一方の電極となるポリシリコン層72が $n$ - $CH$ ( $n$ チャネル)のポリシリコンで形成され、共通蓄積容量線(垂直 $C_s$ バスライン)67に付加する補助容量 $C_{cs}$ の一方の電極となるポリシリコン層73が $p$ - $CH$ ( $p$ チャネル)のポリシリコンで形成される。

【0058】蓄積容量 $C_s$ を $n$ -MOS構造とし、蓄積容量 $C_s$ に所定の電圧を供給するための共通蓄積容量線(垂直 $C_s$ バスライン)67に付加する補助容量 $C_{cs}$ を $p$ -MOS構造とすることで、蓄積容量 $C_s$ の他方の電極を形成する蓄積容量線(水平 $C_s$ バスライン)64に供給する蓄積容量線電圧 $V_{cs}$ は、画素電極の最大電圧+3ボルト程度とすることができ、共通蓄積容量線(垂直 $C_s$ バスライン)67に付加する補助容量 $C_{cs}$ の共通側に印加する電圧 $V_{ccs}$ は、蓄積容量線電圧 $V_{cs}$ -3ボルト程度とすることができ、したがって、補助容量 $C_{cs}$ の共通側に印加する電圧 $V_{ccs}$ としてゲートのオフ電圧などを利用できるため、ゲートバッファの電源配線を共用でき、配線領域を小さくできるメリットがある。

【0059】図8は本実施の形態による液晶表示パネルの第3実施例の要部構造を示す配置配線図である。図8に示す液晶表示パネル81は、画素の蓄積容量 $C_s$ を $p$ - $CH$ ( $p$ チャネル)のMOS容量で形成し、共通蓄積容量線(垂直 $C_s$ バスライン)67に付加する補助容量 $C_{cs}$ を $n$ - $CH$ ( $n$ チャネル)のMOS容量で形成したものである。図8に示す液晶表示パネル81の配置配線構造は、図5に示した液晶表示パネル51の配置配線構造とほとんど変わらないが、蓄積容量 $C_s$ の一方の電極となるポリシリコン層82が $p$ - $CH$ ( $p$ チャネル)のポリシリコンで形成され、共通蓄積容量線(垂直 $C_s$ バスライン)67に付加する補助容量 $C_{cs}$ の一方の電極となるポリシリコン層83が $n$ - $CH$ ( $n$ チャネル)のポリシリコンで形成される。

【0060】蓄積容量 $C_s$ を $p$ -MOS構造とし、蓄積容量 $C_s$ に所定の電圧を供給するための共通蓄積容量線(垂直 $C_s$ バスライン)67に付加する補助容量 $C_{cs}$ を $n$ -MOS構造とすることで、第3実施例と同じメリットが得られる。

【0061】蓄積容量 $C_s$ を $n$ -MOS構造とするか $p$ -MOS構造とするか、また、付加する補助容量 $C_{cs}$ を $p$ -MOS構造とするか $n$ -MOS構造とするかの選択は、電源配線などのレイアウト構成により適宜決めることができる。

\*【0062】そして、第1~第4の実施の形態による液晶表示パネル31, 51, 71, 81を用いて液晶表示装置を構成することで、例えば図14に示したように表示ムラやクロストークが顕著になりやすいパターンを表示する場合でも、蓄積容量線(水平 $C_s$ バスライン)の電圧変動を抑制し、表示ムラやクロストークが発生しない高品質の画像を表示することができる。

【0063】本発明は、上記実施の形態に限らず種々の変形が可能である。例えば、上記実施の形態では、TF8, 36, 56の動作半導体層としてポリシリコン層44, 64aを用いているが、本発明はこれに限らず、TF8, 36, 56の動作半導体層としてアモルファスシリコン層を用いてもよい。

【0064】

【発明の効果】以上説明したように本発明による液晶表示パネルは、各画素毎に蓄積容量を備えたアクティブマトリクス駆動方式の液晶表示パネルにおいて、各行毎に設けられた蓄積容量線に対して所定の電位を供給するための共通蓄積容量線に電圧安定化用の補助容量を追加したので、データバスラインと蓄積容量線との交差部分に生ずる寄生容量を介して蓄積容量線に混入したノイズを電圧安定化用の補助容量によって吸収することができる。また、画素電極に供給される信号電圧の変化に伴って蓄積容量線の電圧が変動した際にも、その電圧変動を電圧安定化用の補助容量によって吸収することができる。これにより、蓄積容量線の電圧変動が抑制されるので、表示ムラや横方向クロストークの発生を防止でき、良好な表示品質を得ることができる。

【0065】なお、画素の蓄積容量をMOS構造で形成する場合には、共通蓄積容量線に追加する電圧安定化用の補助容量もMOS構造にすることで、電圧安定化用の補助容量をより大ききなものとしてすることができ、蓄積容量線の電圧変動を効果的に抑制できる。また、画素の蓄積容量を $n$ -MOS構造とした場合は電圧安定化用の補助容量を $p$ -MOS構造とし、画素の蓄積容量を $p$ -MOS構造とした場合は電圧安定化用の補助容量を $n$ -MOS構造とすることで、共通蓄積容量線に供給する電圧をゲートバスラインのオフ電圧またはオン電圧とすることができる。これにより、新たな電圧を供給する必要がなくなり、回路構成および液晶表示パネルの構造が簡略化できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態による液晶表示パネルの等価回路図である。

【図2】本発明の一実施の形態による他の液晶表示パネルの等価回路図である。

【図3】本発明の一実施の形態による液晶表示パネルの第1実施例の要部構造を示す配線配置構成図である。

【図4】図4(a)は画素領域部分(図3のA-A線)の断面図、図4(b)は共通蓄積容量線を利用して形成

した容量部(図3のB-B線)の断面図である。

【図5】本発明の一実施の形態による液晶表示パネルの第2実施例の要部構造を示す配線配置構成図である。

【図6】図6(a)は画素領域部分(図5のC-C線)の断面図、図6(b)は共通蓄積容量線を利用して形成した容量部(図5のD-D線)の断面図である。

【図7】本発明の一実施の形態による液晶表示パネルの第3実施例の要部構造を示す配置配線図である。

【図8】本発明の一実施の形態による液晶表示パネルの第3実施例の要部構造を示す配置配線図である。

【図9】従来の液晶表示パネルの等価回路図である。

【図10】従来の液晶表示パネルの表示画素の等価回路図である。

【図11】従来の液晶表示パネルの課題を示す図であり、図11(a)は蓄積容量線とデータバスライン(信号線)との交差部分に形成された寄生容量Ckとその寄生容量Ckを介して蓄積容量線にノイズが混入する状態を示す説明用の等価回路図、図11(b)はデータバスライン(信号線)の信号電圧変化の一例を示す図である。

【図12】従来の液晶表示パネルの課題を示す図であり、蓄積容量線の電圧変動が最大となる表示パターンを具体例を示す図である。

【符号の説明】

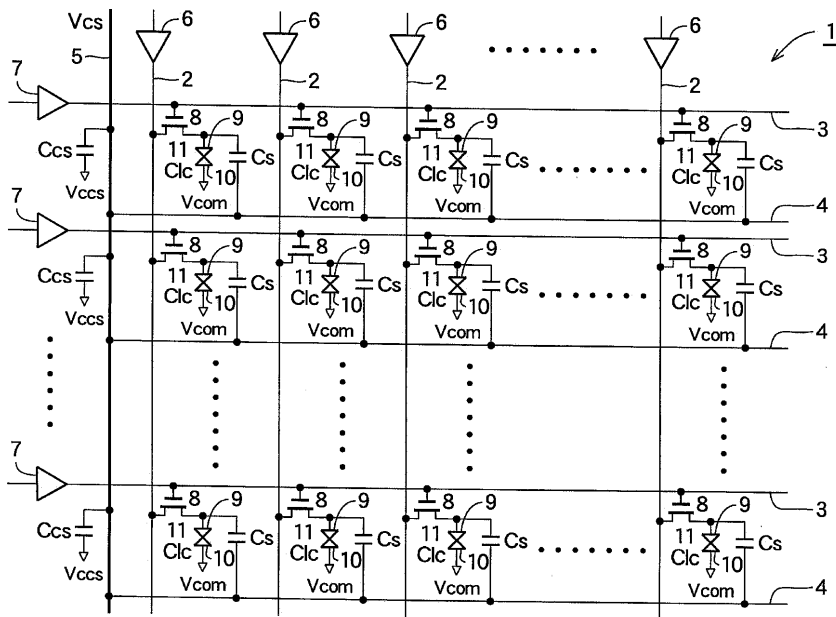
- 1, 21, 31, 51, 71, 81 液晶表示パネル
- 2, 2a~2n, 32, 52 データバスライン(信号線)
- 3, 3a~3i, 33, 53 ゲートバスライン(走査線)
- 4, 4a~4i, 34, 54 蓄積容量線(水平Csバスライン)
- 5, 5L, 5R, 35, 55 共通蓄積容量線(垂直Csバスライン)
- 6 データドライバ(信号線駆動回路)
- 7 ゲートドライバ(走査線駆動回路)
- 8, 36, 56 TFT(薄膜トランジスタ)
- 9, 37, 57 画素電極(透明電極)

- \*10 対向電極
- 11 液晶層
- 22a~22n アナログスイッチ回路
- 23L, 23R シフトレジスタ
- 24La~24Li, 24Ra~24Ri ゲートバスラインバッファ回路
- 38, 58 データ層
- 39, 59 第1層間膜
- 40, 41, 60, 61, 90, 92 コンタクトホール
- 42, 62 第2層間膜
- 43, 63 透明ガラス基板
- 44, 64a, 64b ポリシリコン層
- 45, 65a, 65b, 65c 酸化膜
- 46 Ccs配線(ゲート層)
- 47 垂直Ccs配線
- 66 Ccs配線(ポリシリコン層)
- 67 垂直Ccs配線(データ層)
- 72 蓄積容量Csの一方の電極となるポリシリコン層(n-CH)
- 73 補助容量Ccsの一方の電極となるポリシリコン層(p-CH)
- 82 蓄積容量Csの一方の電極となるポリシリコン層(p-CH)
- 83 補助容量Ccsの一方の電極となるポリシリコン層(n-CH)
- Ccs, CcsL, CcsR 共通蓄積容量線に付加した電圧安定化用の補助容量
- Clc 液晶容量
- Cs 蓄積容量
- RC1~RCm データバスライン選択制御信号
- SC 垂直走査信号
- Vccs 電圧安定化用の補助容量の共通側電極電圧
- Vcom 対向電極電圧
- Vcs 蓄積容量線電圧

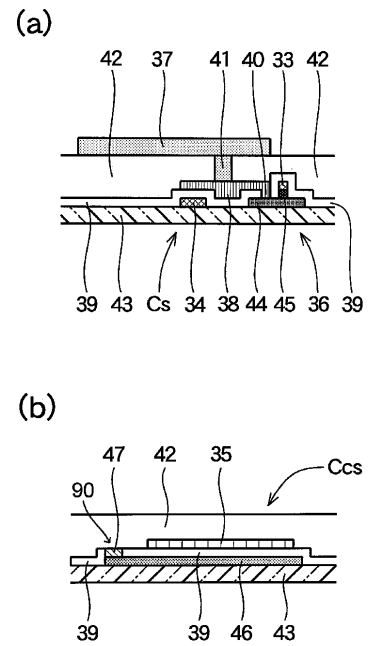
【図12】

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 暗 | 明 | 暗 | 明 | 暗 | 明 | 暗 | 明 |
| 明 | 暗 | 明 | 暗 | 明 | 暗 | 明 | 暗 |
| 暗 | 明 | 暗 | 明 | 暗 | 明 | 暗 | 明 |
| 明 | 暗 | 明 | 暗 | 明 | 暗 | 明 | 暗 |
| 暗 | 明 | 暗 | 明 | 暗 | 明 | 暗 | 明 |
| 明 | 暗 | 明 | 暗 | 明 | 暗 | 明 | 暗 |
| 暗 | 明 | 暗 | 明 | 暗 | 明 | 暗 | 明 |
| 明 | 暗 | 明 | 暗 | 明 | 暗 | 明 | 暗 |

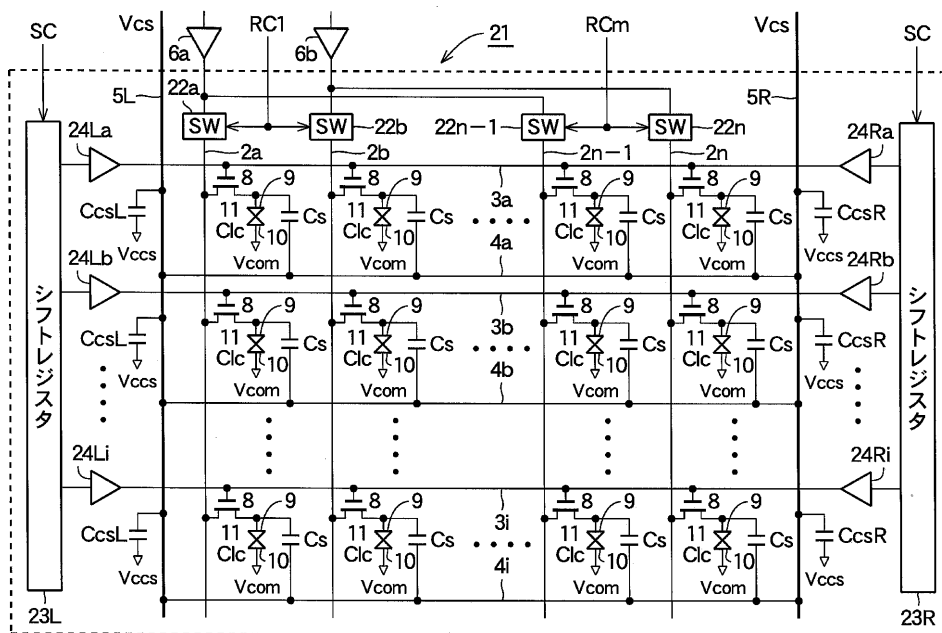
【図1】



【図4】



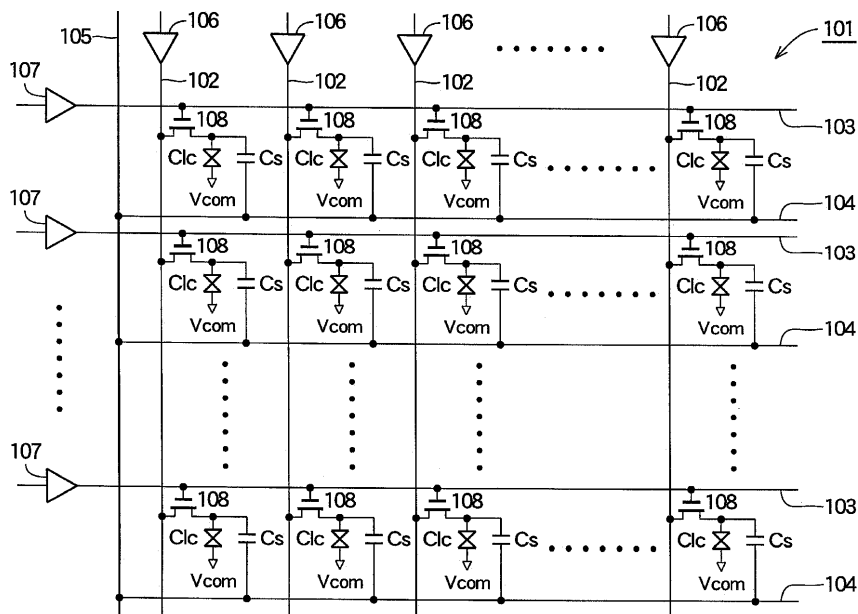
【図2】



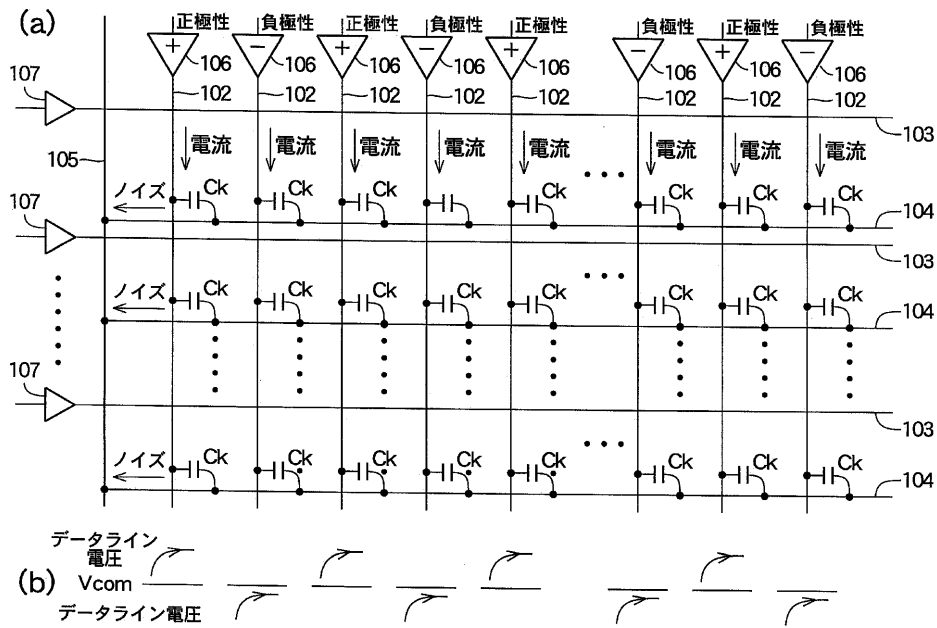




【図9】



【図11】



フロントページの続き

- Fターム(参考) 2H092 JA24 JA34 JA37 JA41 JA46
- JB22 JB31 JB69 KA04 NA01
- PA06
- 5C094 AA03 AA23 AA53 BA03 BA43
- CA19 DA09 DB01 EA04 EA07
- FB19

|                |                                                                                                                                                                                                                                                                                                                                                                            |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示面板                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 公开(公告)号        | <a href="#">JP2003202592A</a>                                                                                                                                                                                                                                                                                                                                              | 公开(公告)日 | 2003-07-18 |
| 申请号            | JP2002000149                                                                                                                                                                                                                                                                                                                                                               | 申请日     | 2002-01-04 |
| [标]申请(专利权)人(译) | 富士通显示技术股份有限公司                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 申请(专利权)人(译)    | 富士通显示器科技公司                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| [标]发明人         | 甲斐勉                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| 发明人            | 甲斐 勉                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| IPC分类号         | G02F1/1368 G02F1/1362 G09F9/30 G09F9/35                                                                                                                                                                                                                                                                                                                                    |         |            |
| CPC分类号         | G02F1/136213 G02F1/136286                                                                                                                                                                                                                                                                                                                                                  |         |            |
| FI分类号          | G02F1/1368 G09F9/30.338 G09F9/35                                                                                                                                                                                                                                                                                                                                           |         |            |
| F-TERM分类号      | 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB69 2H092/KA04 2H092/NA01 2H092/PA06 5C094/AA03 5C094/AA23 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DB01 5C094/EA04 5C094/EA07 5C094/FB19 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB44 2H192/CC04 2H192/DA12 2H192/DA43 2H192/DA82 2H192/FA35 2H192/FA46 2H192/GD61 |         |            |
| 代理人(译)         | 横山纯一                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 其他公开文献         | JP3992984B2                                                                                                                                                                                                                                                                                                                                                                |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                  |         |            |

摘要(译)

在具有用于每个像素的辅助电容的有源矩阵驱动系统的液晶显示面板中，用于通过向寄生电容等提供预定电位到为每行提供的辅助电容线提供公共电位的公共辅助电容线而连接。添加电容以吸收混入辅助电容线中的噪声并稳定辅助电容线的电压，从而减少辅助电容线的电压波动并防止显示不均匀和串扰。预定电位（辅助电容线电压 $V_{cs}$ ）被提供给为每行提供的辅助电容线（水平 $C_s$ 线）4，以形成为每个像素提供的辅助电容 $C_s$ 的公共侧。为此，将电压稳定电容 $C_{cs}$ 添加到公共辅助电容线（垂直 $C_s$ 线）5。通过使用公共辅助电容线（垂直 $C_s$ 线）5来形成电容 $C_{cs}$ 。该电容器 $C_{cs}$ 可以形成有MOS结构。

