

(19)日本国特許庁（J P）

(12) **公開特許公報** (A) (11)特許出願公開番号

特開2002－341832

(P2002－341832A)

(43)公開日 平成14年11月29日(2002.11.29)

| (51)Int.Cl <sup>7</sup> | 識別記号 | F I           | テマコード <sup>*</sup> (参考) |
|-------------------------|------|---------------|-------------------------|
| G 0 9 G 3/36            |      | G 0 9 G 3/36  | 2 H 0 9 3               |
| G 0 2 F 1/133           | 520  | G 0 2 F 1/133 | 5 C 0 0 6               |
| G 0 9 G 3/20            | 611  | G 0 9 G 3/20  | 5 C 0 8 0               |
|                         | 612  |               | 612 F                   |
|                         | 641  |               | 641 A                   |

審査請求 未請求 請求項の数 18 O L (全 15数) 最終頁に続く

(21)出願番号 特願2001－145686(P2001－145686)

(22)出願日 平成13年5月15日(2001.5.15)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州 アーモンク ニュー オーチャード ロード

(74)代理人 100086243

弁理士 坂口 博 (外3名)

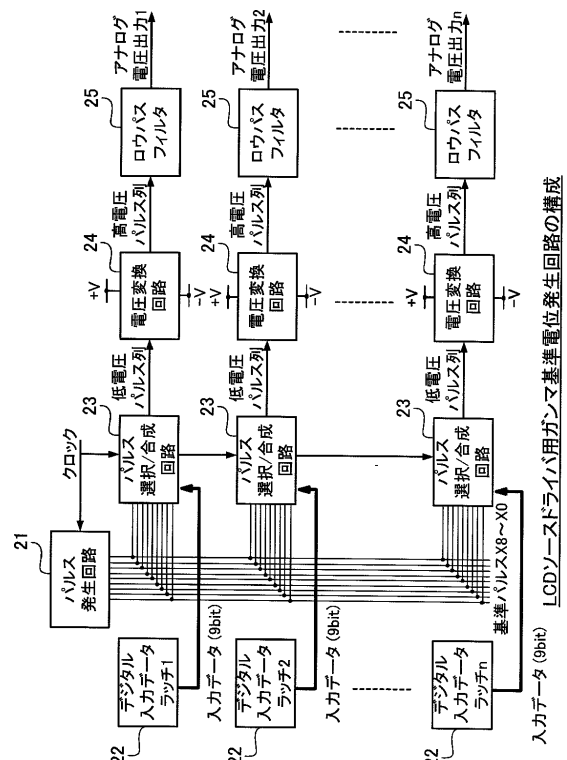
最終頁に続く

(54)【発明の名称】 液晶表示装置、液晶ドライバ、基準パルス発生回路、パルス発生方法、およびアナログ電圧出力方法

(57)【要約】

【課題】 デジタル入力データに対応してアナログ出力電圧が受けるスイッチングに起因する悪影響を抑制する。

【解決手段】 画像表示領域を形成する液晶セルに対して印加する電圧を供給する液晶ドライバであって、パルス発生密度に重み付けした複数の基準パルスを生成するパルス発生回路21と、デジタル入力データと基準パルスとをもとに必要な基準パルスを選択/合成してパルス列を生成するパルス選択/合成回路23と、パルス選択/合成回路23により生成されたパルス列を積分してガンマ補正用のアナログ電圧を出力する積分回路(ロウパスフィルタ)25とを備え、このパルス発生回路21とパルス選択/合成回路23により生成されたパルス列の単位時間当たりのスイッチングの数は、ガンマ補正用デジタル入力データの所定範囲において変化しない。



## 【特許請求の範囲】

【請求項1】 基板上に画像表示領域を形成する液晶セルと、  
デジタル入力データに対応するガンマ補正用基準電位に基づいて前記液晶セルに対して電圧を印加するドライバとを備え、  
前記ドライバは、前記デジタル入力データに対応するパルス密度を有するパルス列を生成する際に、当該デジタル入力データの所定範囲に対して当該パルス列の単位時間当たりのスイッチング回数を一定にすることを特徴とする液晶表示装置。

【請求項2】 前記ドライバは、前記基板上に実装されると共に、信号線を用いて接続された複数のドライバICで構成されることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記デジタル入力データの所定範囲は、当該デジタル入力データの中央値から所定範囲であることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 基板上に画像表示領域を形成する液晶セルと、  
デジタル入力データに対応するガンマ補正用基準電位に基づいて前記液晶セルに対して電圧を印加するドライバとを備え、  
前記ドライバは、前記デジタル入力データに対応するパルス密度を有するパルス列を生成する際に、当該パルス列の単位時間当たりのスイッチング回数に局所的なピーク値を有しないことを特徴とする液晶表示装置。

【請求項5】 基板上に画像表示領域を形成する液晶セルと、  
デジタル入力データに対応するガンマ補正用基準電位に基づいて前記液晶セルに対して電圧を印加するドライバとを備え、  
前記ドライバは、前記デジタル入力データに対応するパルス列を生成する際に、パルス密度変調(PDM)により出力電圧を得ると共に、当該デジタル入力データの中央値から所定範囲ではパルス幅変調(PWM)により出力電圧を得ることを特徴とする液晶表示装置。

【請求項6】 画像表示領域を形成する液晶セルに対して印加する電圧を供給する液晶ドライバであって、パルス発生密度に重み付けした複数の基準パルスを生成するパルス発生回路と、  
デジタル入力データと前記基準パルスとをもとに必要な基準パルスを選択/合成してパルス列を生成するパルス選択/合成回路とを備え、  
前記パルス発生回路は、前記デジタル入力データの中央部分から所定範囲において、単位時間当たりのスイッチングの数を変化させずに前記基準パルスを生成することを特徴とする液晶ドライバ。

【請求項7】 前記パルス選択/合成回路により生成されたパルス列を積分してガンマ補正用の電位を出力する

積分回路とを更に備えたことを特徴とする請求項6記載の液晶ドライバ。

【請求項8】 前記パルス選択/合成回路は、 $n$ ビットからなるデジタル入力データの上位 $W$ ビットとバイナリカウンタの下位 $W$ ビットとを入力とする加算回路のキャリー出力と、 $W=n-m$ のとき前記パルス発生回路の出力 $X(m-1) \sim X(0)$ と当該デジタル入力データ $D(m-1) \sim D(0)$ との論理積と、の論理和を出力とすることを特徴とする請求項7記載の液晶ドライバ。

【請求項9】 前記パルス発生回路は、前記デジタル入力データを $n$ ビットとしたときに、 $n$ ビットのバイナリカウンタ、 $n-1$ ビットラッチ、 $n-1$ 個の2入力ゲートを用いて基準パルスを出力することを特徴とする請求項7記載の液晶ドライバ。

【請求項10】  $n$ ビットのデジタル入力データに対応する基準パルスを発生させる基準パルス発生回路であって、  
入力クロックに同期してカウントアップを行う $n$ ビットのバイナリカウンタと、

前記バイナリカウンタからの上位 $n-1$ ビットの出力( $B(n-1) \sim B(1)$ )を1入力クロック期間遅延させた信号を生成する $n-1$ ビットラッチと、  
前記バイナリカウンタからの上位 $n-1$ ビットの出力( $B(n-1) \sim B(1)$ )と、当該上位 $n-1$ ビットの出力( $B(n-1) \sim B(1)$ )に対する前記 $n-1$ ビットラッチからの遅延信号とを入力として論理演算を行い、基準パルス密度の低い方からの出力( $X(0) \sim X(n-2)$ )とする $n-1$ 個の論理回路と、を備え、出力 $X(n-1)$ については論理回路を介さずに出力することを特徴とする基準パルス発生回路。

【請求項11】 前記 $n-1$ 個の論理回路は、 $n-1$ 個のAND回路であることを特徴とする請求項10記載の基準パルス発生回路。

【請求項12】 前記 $n-1$ 個の論理回路は、 $X(0) \sim X(n-3)$ を出力とする $n-2$ 個のAND回路と、 $X(n-2)$ を出力とするNOR回路であることを特徴とする請求項10記載の基準パルス発生回路。

【請求項13】 パルス密度変調方式を採用したデジタルアナログ変換用の基準パルス発生回路であって、  
デジタル入力データに対応して排他的にハイ(High)の状態となるように基準パルスを生成する手段と、  
前記デジタル入力データの中央値から所定範囲でパルス列の単位時間当たりのスイッチング回数が一定となるように基準パルスを生成する手段と、を備えたことを特徴とする基準パルス発生回路。

【請求項14】 前記デジタル入力データ全体の2分の1の範囲において周波数が一定となるように基準パルスを生成することを特徴とする請求項13記載の基準パルス発生回路。

【請求項15】 デジタルアナログ変換器における基準

パルス発生方法であって、前記デジタルアナログ変換器に入力されるデジタル入力データに対応するパルス密度を持つパルス列を生成し、前記デジタル入力データの中央値から所定範囲において前記パルス列における単位時間当たりのスイッチング回数を一定にすることを特徴とするパルス発生方法。

【請求項16】 スwitchング回数を一定にしない場合に対して前記パルス列の最高周波数を2分の1以下に低減することを特徴とする請求項15記載のパルス発生方法。

【請求項17】 デジタル入力データに対応したアナログ電圧を出力するアナログ電圧出力方法であって、前記デジタル入力データの中央値からの所定範囲を除く部分にて当該デジタル入力データに応じてパルス数が調整されたパルス列を積分することによってアナログ電圧を出力し、前記デジタル入力データの前記中央値からの所定範囲にて当該デジタル入力データに応じてデューティが調整されたパルス列を積分することによってアナログ電圧を出力することを特徴とするアナログ電圧出力方法。

【請求項18】 出力されるアナログ電圧は、液晶表示装置のソースドライバにてガンマ補正用基準電位として用いられることを特徴とする請求項17記載のアナログ電圧出力方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力されたビデオ信号に基づいて画像を表示する液晶表示装置、パルス発生回路等に係り、特に、パルス列のスイッチング回数に改良を加えた液晶表示装置、パルス発生回路等に関する。

【0002】

【従来の技術】一般に、液晶ディスプレイ(LCD)に対して画像が表示される場合、まず、PC等からなるシステム装置またはシステム部のグラフィックスコントローラからビデオインターフェイスを介して画像信号等が出力される。この画像信号等を受け取ったLCDコントローラLSIは、ソースドライバ(Xドライバ、LCDドライバ)およびゲートドライバ(Yドライバ)の各ICに信号を供給し、例えばマトリクス状に並んだTFT配列の各ソース電極および各ゲート電極に対して電圧を印加することで画像を表示させるように構成されている。

【0003】このLCDソースドライバで採用されているインターフェイスでは、近年、チップオンガラス(COG: Chip On Glass)やワイヤリング・オン・アレイ(WOA: Wiring On Array)技術が注目されている。また、ドライバLSIをTCP(Tape Carrier Package)に配置し、そのTCPを介してTFTアレイ基板(ガラス基板)に接続する技術が開発されている。これらの技術を応用し、IC自身を直接、またはTCPを介してガラス基板

に貼り付けると共に、プリント基板上行っている配線を省略することができれば、製造にかかるコストを大きく削減することができる。

【0004】一方、主なデジタルアナログ変換回路(DAC)には、R-2Rラダーネットワーク方式DACのようにデジタル入力データのビット数分だけ電流源を用意し、各ビットの値に応じて電流を加算して入力データに対応する出力電流を得る電流加算方式と、積分方式DACのようにデジタル入力データに応じた時間に一定電流を容量に蓄積して出力電圧を得る時間制御方式が存在している。更に、時間制御方式としては、デジタル入力データに応じてデューティを調整したパルス列を積分することによって出力電圧を得るパルス幅変調方式(PWM(Pulse Width Modulation)方式)DACや、一定時間内に発生するパルスの数をデジタル入力データに応じて調整したパルス列を積分することによって出力電圧を得るパルス密度変調方式(PDM(Pulse Density Modulation)方式)DACも含まれる。

【0005】LCDソースドライバに内蔵するガンマ補正用の基準電位発生回路を実現する場合、ドライバ間の基準電位の偏差を小さくするために、このPWM方式DACやPDM方式DACが使用されている。これらのDACは時間制御方式であり、チップ内に生成する抵抗や容量のばらつきによる出力電圧の差が生じにくいことから、LCDへの適応性が高い。

【0006】図13は、PDM方式DACの構成を示した図である。PDM方式DACは、パルス発生密度に重み付けした複数の基準パルスを生成するパルス発生回路201、デジタル入力データを記憶するためのデジタル入力データラッチ202、生成された基準パルス、入力データをもとに、必要な基準パルスを選択/合成して1つのパルス列を生成するパルス選択/合成回路203、デジタル電源で生成されたパルス列を必要なアナログ電圧域に変換する電圧変換回路204、パルス列をアナログ電圧に変換する積分回路(ロウパスフィルタ)205から構成されている。

【0007】

【発明が解決しようとする課題】この図13に示すようなPDM方式DACは、PWM方式DACに比べてパルス列の周波数を高くできるため、積分回路205で使用する抵抗や容量を小さくでき、チップ面積を小さくできるためコスト的に有利となる。この反面、パルス列の周波数が高くなるため消費電力の増加を招き、また、各デジタル入力に対応するパルス列でスイッチング回数が異なることにより出力電圧のリニアリティが低下する問題がある。

【0008】図14は、液晶用PDM方式DACで使用されているパルス発生回路201の構成を示した図である。図14の回路は、9ビットのDACの場合を示しており、9ビットのバイナリカウンタ210、9ビット・

ラッチ211、9個の2入力論理積(AND)212から構成されている。バイナリカウンタ210からのカウンタ出力と9ビット・ラッチ211からのラッチ負出力との論理積を取ることによって、基準パルス出力X8~X0に重み付けされたパルスが発生する。パルス密度は、X0を1とするとX1, X2, X3, X4, X5, X6, X7, X8はそれぞれ2, 4, 8, 16, 32, 64, 128, 256となる。また、X0~X8の基準パルスは排他的にハイ(High(1))の状態になるように生成されるため、任意の複数の基準パルスを合成してもパルス同士が時間的に重なることはない。

【0009】図15は、PDM方式DAC用パルス出力の例(X8~X5)を示した図である。図15では、バイナリカウンタ210の出力(B0~B3)、および9ビット・ラッチ211からの出力(L0~L3)が示されている。例えば、カウンタ出力B1とラッチ出力L1のnotがANDされることで、カウンタ出力B1の立ち上がりに対応するパルス出力X7が得られる。このようにして、パルス出力(X8~X0)が得られる。PDM方式DACでは、パルス選択/合成回路203にて、デジタル

入力データの各ビットの値に応じてこれらのX8~X0のパルス出力を選択して論理和(OR)を取ることによって合成し、デジタル入力データに対応するパルス列を生成している。例えば、デジタル入力データが320(B10100000)の場合は、対応するビットが1である基準パルスX8とX6が選択され、X8とX6を合成したものがパルス列となり、電圧変換回路204にて電圧変換を行った後、積分回路205に入力される。

【0010】図16は、液晶用PDM方式DACにおいて、各デジタル入力データに対応するパルス列の周波数の関係を示した図である。但し、カウンタやラッチの動作周波数(クロック入力)は120MHzとしている。図16から理解できるように、デジタル入力データが0から256に増加するに従って、パルス列の周波数も単調増加して、データ256の時に最高周波数60MHzに達し、デジタル入力データが256から511に増加するに従って、パルス列の周波数は単調減少する。デジタル入力データによってパルス列の周波数が異なるため(後段の積分回路205を駆動する回路のスイッチング回数も異なる)、アナログ出力電圧へのスイッチングによる影響の度合いがデジタル入力データ毎に異なってしまう。この結果、DACにおけるアナログ出力電圧のリニアリティが悪化することになる。また、積分回路205に使用する抵抗と容量の値を周波数の低いパルス列(デジタル入力データの0あるいは511当たり)に合わせて設定した場合、デジタル入力データの中央値(256)周辺でのパルス列周波数は必要以上に高くなり、結果として不要な電力消費を招くことになる。

【0011】本発明は、以上のような技術的課題を解決するためになされたものであって、その目的とするこ

ろは、アナログ出力電圧が受けるスイッチングに起因する悪影響を抑制することにある。また、他の目的は、リニアリティの改善を図り、スイッチング回数に起因する不要な消費電力を抑制することにある。

#### 【0012】

【課題を解決するための手段】かかる目的のもと、本発明では、生成されたパルス列のスイッチング回数に対して、デジタル入力データに対して局所的なピーク値を持たず、滑らかに一定になるように構成している。即ち、本発明は、基板上に画像表示領域を形成する液晶セルと、デジタル入力データに対応するガンマ補正用基準電位に基づいて液晶セルに対して電圧を印加するドライバとを備え、このドライバは、基板上に実装されると共に、信号線を用いて接続された複数のドライバICで構成され、デジタル入力データに対応するパルス密度を有するパルス列を生成する際に、デジタル入力データの所定範囲に対してパルス列の単位時間当たりのスイッチング回数を一定にすることを特徴としている。

【0013】ここで、デジタル入力データの所定範囲とは、例えば、9ビットのデジタルアナログ変換回路であれば、デジタル入力データの128~384の範囲等とすることができる。かかる所定範囲は、分割ビット数Wに応じて異なった値となる。

【0014】また、本発明が適用される液晶表示装置に用いられるドライバは、デジタル入力データに対応するパルス密度を有するパルス列を生成する際に、このパルス列の単位時間当たりのスイッチング回数に局所的なピーク値を有しないことを特徴とすることができる。

【0015】更に、本発明が適用される液晶表示装置に用いられるドライバは、デジタル入力データに対応するパルス列を生成する際に、パルス密度変調(PDM)によりガンマ補正用基準電位を得ると共に、デジタル入力データの中央値から所定範囲ではパルス幅変調(PWM)により出力電圧を得ることを特徴としている。

【0016】一方、本発明をLCDのソースドライバ等の液晶ドライバとして把握することができる。即ち、本発明は、画像表示領域を形成する液晶セルに対して印加する電圧を供給する液晶ドライバであって、パルス発生密度に重み付けした複数の基準パルスを生成するパルス発生回路と、デジタル入力データと基準パルスとをもとに必要な基準パルスを選択/合成してパルス列を生成するパルス選択/合成回路と、パルス選択/合成回路により生成されたパルス列を積分してガンマ補正用の電位(アナログ電圧)を出力する積分回路とを備え、このパルス発生回路とパルス選択/合成回路により生成されたパルス列の単位時間当たりのスイッチング数は、ガンマ補正用デジタル入力データの所定範囲において変化しないことを特徴とすることができる。

【0017】ここで、このパルス選択/合成回路は、nビットからなるデジタル入力データの上位Wビットとバ

イナリカウンタの下位Wビットとを入力とする加算回路のキャリー出力と、 $m=n-W$ のとき前記パルス発生回路の出力 $X(m-1) \sim X(0)$ とデジタル入力データD( $m-1) \sim D(0)$ との論理積と、の論理和を出力とすることを特徴とすれば、分割ビット数 $W=3$ 以上などの広い入力データ範囲でリニアリティを改善することが可能となる。

【0018】更に、このパルス発生回路は、デジタル入力データをnビットとしたときに、分割ビット数をWとすると、nビットのバイナリカウンタ、 $n-W$ ビットラッチ、 $n-W$ 個の2入力ゲートを用いて基準パルスを出10 力することを特徴とすることができる。但し、 $W=2$ の場合は、 $n-1$ 個のラッチと2入力ゲートとを必要とするが、この代わりに加算器(キャリー検出回路)が不要となる。

【0019】また、本発明は、nビットのデジタル入力データに対応する基準パルスを発生させる基準パルス発生回路であって、入力クロックに同期してカウントアップを行うnビットのバイナリカウンタと、バイナリカウンタからの上位 $n-W$ ビットの出力( $B(n-1) \sim B(W)$ )を1入力クロック期間遅延させた信号を生成する $n-W$ ビットラッチと、バイナリカウンタからの上位 $n-W$ ビットの出力( $B(n-1) \sim B(W)$ )と、上位 $n-W$ ビットの出力( $B(n-1) \sim B(W)$ )に対する $n-W$ ビットラッチからの遅延信号とを入力として論理演算を行い、基準パルス密度の低い方からの出力( $X(0) \sim X(n-W-1)$ )とする $n-W$ 個の論理回路とを備え、出力 $X(n-W) \sim X(n-1)$ については論理回路を介さずに出15 力することを特徴としている。

【0020】ここで、 $W=2$ である場合には、 $n-1$ 個の論理回路は、 $n-1$ 個のAND回路、または、 $X(0) \sim X(n-3)$ を出力とする $n-2$ 個のAND回路と $X(n-2)$ を出力とするNOR回路であることを特徴と20 することができる。

【0021】更に他の観点から捉えると、本発明は、パルス密度変調方式を採用したデジタルアナログ変換用の基準パルス発生回路であって、デジタル入力データに対応して排他的にハイ(High)の状態となるように基準パルスを生成する手段と、デジタル入力データの所定範囲でパルス列の単位時間当たりのスイッチング回数が一定となるように基準パルスを生成する手段とを備えたことを特徴している。このとき、 $W=2$ である場合には、デジ25 タル入力データ全体の2分の1の範囲において周波数が一定となるように基準パルスが生成される。一般化すると、デジタル入力データ全体の $(2^{W-1}-1)/2^{W-1}$ の範囲で周波数が一定となる。

【0022】また、本発明は、デジタルアナログ変換器における基準パルス発生方法であって、デジタルアナログ変換器に入力されるデジタル入力データに対応するパ30

ルス密度を持つパルス列を生成し、デジタル入力データの中央値から所定範囲においてパルス列における単位時間当たりのスイッチング回数を一定にすることを特徴としている。かかる場合に、スイッチング回数を一定にしない場合に対してパルス列の最高周波数を2分の1以下に低減することができる。

【0023】更に別の観点から捉えると、本発明は、液晶表示装置のソースドライバにてガンマ補正用基準電位として用いられるアナログ電圧を出力するアナログ電圧出力方法であって、デジタル入力データの中央値からの所定範囲を除く部分にてデジタル入力データに応じてパルスの数が調整されたパルス列を積分することによってアナログ電圧を出力し、デジタル入力データの所定範囲にてデジタル入力データに応じてデューティが調整されたパルス列を積分することによってアナログ電圧を出力することを特徴とすることができ35 る。

【0024】

【発明の実施の形態】以下、添付する図面に従って、本実施の形態を詳細に説明する。図1は、本実施の形態が適用された画像表示装置の一実施形態を示す構成図である。図1に示す画像表示装置では、液晶セルコントロール回路1と薄膜トランジスタ(TFT)の液晶構造を有する液晶セル2によって液晶モジュール(LCDパネル)を形成している。この液晶モジュールは、例えばパーソナルコンピュータ(PC)等のホスト側のシステム装置とは分離した表示装置に、またはノートブックPCの場合はその表示部に形成されるものである。この液晶セルコントロール回路1では、システム側のグラフィックスコントローラLSI(図示せず)からビデオインターフェイス(I/F)3を介してRGBビデオデータ(ビデオ信号)や制御信号がLCDコントローラ4に入力される。また、一般に、DC電源もこのビデオI/F3を介して供給される。40

【0025】DC-DCコンバータ5は、供給されたDC電源から液晶セルコントロール回路1にて必要な各種DC電源電圧を作り出し、ゲートドライバ6やソースドライバ7、バックライト用の蛍光管(図示せず)等に供給している。LCDコントローラ4は、ビデオI/F3から受け取った信号を処理してゲートドライバ6やソースドライバ7に供給している。ソースドライバ7は、液晶セル2上にマトリックス状に並んだTFT配列において、TFTの水平方向(X方向)に並んだ各ソース電極に印加する電圧を出力している。また、ゲートドライバ6は、同じくTFTの垂直方向(Y方向)に並んだ各ゲート電極に印加する電圧を出力している。

【0026】このゲートドライバ6およびソースドライバ7は共に複数のICで構成されている。本実施の形態では、ソースドライバ7はLSIのチップである複数のソースドライバIC20を備えている。図1では、説明の都合上、液晶セルコントロール回路1と液晶セル2

が分離しているように示されているが、本実施の形態では、複数のソースドライバIC20が液晶セル2を構成するガラス基板上にCOG構造で形成され、更に各配線もガラス基板上にWOA構造で形成されている。

【0027】このように、特に、表示領域の外側である縁の幅が狭い狭額縁のLCDでは、ソースドライバ7をLCDパネルのTFTガラス基板上に直接実装し、ソースドライバIC20間の配線をガラス基板上のアルミ配線等を使用して実現する方法により、LCDパネルのコストを削減している。この様なLCDパネルでは、十分な配線領域が確保できないため、通常、LCDパネル用基板(PCB)上で生成するガンマ補正用基準電位を個々のソースドライバIC20内で生成する場合がある。この場合、各ソースドライバIC20で生成するガンマ補正用基準電位を等しくするために、高精度なデジタルアナログ変換回路(DAC)が必要になる。チップ上に生成する抵抗や容量はばらつきが大きいので、R-2Rラダーネットワーク方式DACのような電流加算方式DACは不向きである。そこで、本実施の形態では、時間制御方式DACであるPDM方式DACを用いている。

【0028】図2は、本実施の形態が適用されたガンマ基準電位発生用PDM方式の9ビットDACの構成を示した図である。本実施の形態では、LCDのソースドライバ7における各ソースドライバIC20に対して、それぞれ図2に示すようなガンマ基準電位発生回路が設けられている。図2では、パルス発生密度に重み付けした複数の基準パルス生成するパルス発生回路21、ガンマ補正データであるデジタル入力データを記憶するためのデジタル入力データラッチ22、生成された基準パルスおよび記憶された入力データをもとに、必要な基準パルスを選択/合成して1つのパルス列を生成するパルス選択/合成回路23、デジタル電源で生成されたパルス列を必要なアナログ電圧域に変換する電圧変換回路24、パルス列をアナログ電圧に変換する積分回路(ロウパスフィルタ)25から構成されている。パルス発生回路21は本実施の形態における最も特徴的な構成であり、デジタル入力データラッチ22～積分回路(ロウパスフィルタ)25の各回路は、必要なガンマ補正用基準電位の数だけ用意されている。

【0029】本実施の形態では、図16で示した特性を有する従来方式のデジタル入力データとパルス列周波数との関係に対して、動作周波数を低減させ、図16に示す256を頂点とする三角形形状に対して例えば台形形状となる周波数特性が得られるようなDACを提供する点に特徴がある。そのために、本実施の形態が適用されるDACは、ある設定されたところまで、即ち、デジタル入力データの中央値から所定範囲を除く部分はパルス密度変調方式(PDM方式)を採用し、それ以外である中央値から所定範囲では、周波数が上がってしまうことを避けるために、パルス幅変調方式(PWM方式)を採用し

ている。

【0030】図3は、本実施の形態が適用されるパルス発生回路21およびパルス選択/合成回路23の内部構成の例を示す図である。ここでは、9ビットに限定せず、デジタル入力データを $n$ ビットとした時の $n$ ビットDAC用パルスを生成する例を挙げている。図3に示す回路から得られる合成パルス出力は、ガンマデータ上位 $W$ ビット、バイナリカウンタ出力下位 $W$ ビットの夫々を入力とする加算回路のキャリー出力と、パルス発生回路21の出力 $X(m-1) \sim X(0)$ とガンマデータ $D(m-1) \sim D(0)$ の論理積との論理和で表される。尚、ここで、 $n$ ビットDACの場合、 $n-1 \geq m \geq 0$ 、 $k = n-1-m$ 、 $w = n-m$ である。

【0031】図4は、本実施の形態におけるパルス発生回路21及びパルス選択/合成回路23を使用したときの分割ビット数とパルス列最高周波数の関係を示した図表である。生成されるパルス列の最高周波数は、分割ビット数 $W$ の値に応じて変化し、パルス列の周波数が一定になる領域も変化する。 $W$ の値が大きければ大きいほど、パルス列の周波数を低くすることが可能であるが、加算回路の回路規模が増大する。

【0032】図4に示すように、 $W=1$ の時、加算回路は2入力ANDのみで構成できるので、従来のPDM方式DACと同じ構成になる。 $W=2$ の時は、キャリーを検出する際に加算回路を使わずに、2入力AND回路のみで構成でき、回路がもっとも簡略化できる特別な場合である。このとき、パルス列の最高周波数は $f/2$ (Hz)、スイッチング回数一定領域の全入力データに対する割合は $1/2$ となる。 $W=3$ 以上の時は、パルス列の $W=2$ と比較して周波数を低くできるが、キャリー検出の際に加算回路が必要となり回路規模が大きくなる。さらに、合成回路の後段に続く積分回路25の回路規模も大きくなる。 $W=n$ の時は、PWM方式DACと同じ構成となる。

【0033】図5は、本実施の形態が適用されるPDM方式DACにおけるパルス発生回路21の構成を示した図である。このパルス発生回路21は、 $n$ ビットバイナリカウンタ31と $n-1$ ビットラッチ32、 $n-1$ 個の2入力論理積(AND)33が設けられている。 $n$ ビットバイナリカウンタ31の出力と $n-1$ ビットラッチ32の出力との2入力論理積(AND)33による論理積がパルス発生回路21の出力となる。即ち、 $n$ ビットバイナリカウンタ31からの上位 $n-1$ ビットの出力( $B(n-1) \sim B(1)$ )に対して、 $n-1$ ビットラッチ32は、1入力クロック期間遅延させた信号を生成し、この $n$ ビットバイナリカウンタ31からの上位 $n-1$ ビットの出力( $B(n-1) \sim B(1)$ )と、この上位 $n-1$ ビットの出力( $B(n-1) \sim B(1)$ )に対する $n-1$ ビットラッチ32からの遅延信号とを入力として、2入力論理積(AND)

33にて論理演算が行なわれる。

【0034】液晶用DACのパルス発生回路は、パルス生成した後のリニアリティを考慮して、デジタル入力データの中央部分について、スイッチングの数が増えない方法でパルスを生成することが望ましい。ここでは、分割ビット数 $W=2$ の場合において、パルス並びを4クロック単位で考えた場合の例を挙げてリニアリティを向上する方法を示す。4クロック単位で考えた場合、デジタル入力データを大きくしてブロック中のパルス密度を上げていくと、上位ビットに対応するパルスを埋める組み合わせは4通りある。その4通りのビット数が大きくなる様子を以下に示す。

方法1: 0000→P000→0001→P001→0110→P110→0111→P111→1111

方法2: 0000→P000→0001→P001→0011→P011→0111→P111→1111

方法3: 0000→P000→0100→P100→0110→P110→0111→P111→1111

方法4: 0000→P000→0100→P100→0011→P011→0111→P111→1111

但し、Pは変調データに依存するパルスとする。ここで、回路規模を小さくできる方法1、方法3を用いた本実施の形態における基準パルス発生回路を以下に説明する。

【0035】図6は、上記方法1を用いたパルス発生回路21の構成を示した図である。ここでは、9ビットのDACの場合を示しており、9ビットのバイナリカウンタ41、8ビットラッチ42、及び8個の2入力論理積(AND)43から構成されている。入力クロックに同期して9ビットのバイナリカウンタ41がカウントアップを行い、カウンタ出力B8～B1を出力する。そのカウンタ出力B8～B1に対して、8ビットラッチ42で1入力クロック期間分遅延させた信号であるラッチ出力L8～L1を生成する。これらの信号を、上述した方法1の論理式に従って処理し、基準パルス出力X8～X0を生成している。図5に示した一般構成に当てはめると、 $n=9$ のとき、上位 $n-1$ ビットの出力(B(8)～B(1))と、この上位 $n-1$ ビットの出力に対する8ビットラッチ42からの遅延信号とを入力として、論理回路である2入力論理積(AND)43にて論理演算が行なわれて、X(0)～X(n-2)が出力される。また出力X(n-1)であるX8については、論理回路を介さず出力される。

【0036】図6に示すパルス発生回路(方法1)の論理式は、以下になる。

X8 <= not L1; 論理式(1)

X7 <= B1 and L1; 論理式(2)

X6 <= B2 and (not L2); 論理式(3)

X5 <= B3 and (not L3); 論理式(4)

X4 <= B4 and (not L4); 論理式(5)

X3 <= B5 and (not L5); 論理式(6)

X2 <= B6 and (not L6); 論理式(7)

X1 <= B7 and (not L7); 論理式(8)

X0 <= B8 and (not L8); 論理式(9)

【0037】上記論理式(1)により基準パルス出力X8の周波数を2分の1にしており、論理式(2)により基準パルス出力X7のパルス発生位置を1クロック、シフトさせている。この方式により発生された基準パルスの密度は、X0を1とするとX1, X2, X3, X4, X5, X6, X7, X8はそれぞれ2, 4, 8, 16, 32, 64, 128, 256となり、X0～X8の基準パルスは排他的にハイ(High(1))の状態になるように生成されるため、任意の複数の基準パルスを合成してもパルス同士が時間的に重なることはない。

【0038】図7は、図6に示した方法1の場合の基準パルス波形を示した図である。図から理解できるように、X6～X0のパルスは、X8, X7がHigh(1)になるタイミングに隣接するタイミングでHigh(1)になるように生成される。これにより、デジタル入力データが0～128の間は、入力データの増加につれてパルス列の周波数が単調増加するが、デジタル入力データが128以上384以下の範囲では、X8あるいはX7が選択されており、同時に選択されるX6～X0のHigh(1)期間は、X8あるいはX7パルスのHigh(1)期間に結合されることになる。従って、合成されるパルス列の周波数は、デジタル入力データが128以上384以下の範囲で一定になる。デジタル入力データが384～511の範囲では、入力データの増加につれてパルス列の周波数が単調減少する。以上は、9ビットDAC以外のビット数DAC(nビットDAC)においても同様である。

【0039】図8は、本実施の形態が適用されるパルス発生回路21におけるデジタル入力データとパルス列周波数との関係を示した図であり、入力クロックが120MHzの場合を示している。従来技術で説明した図16と比較して明らかなように、パルス列の周波数は、デジタル入力データが128以上384以下の範囲で一定にすることができる。このように、本実施の形態が適用されるパルス発生回路21を用いれば、パルス列の最高周波数を2分の1まで低減できる。この範囲にてアナログ出力電圧を発生する場合、積分回路25を駆動する電圧変換回路24におけるスイッチング回数を同じにすることができる。従って、この範囲では、アナログ出力電圧が受けるスイッチングに起因する悪影響が均一になることから、リニアリティの改善が期待できる。液晶を5Vで駆動する場合、このデジタル入力データが128以上384以下の範囲は、アナログ出力電圧0～5Vの中の1.25V～3.75Vに相当する。かかる範囲は、液晶の最も急峻に変化する部分、液晶の敏感な部分、即ち液晶駆動に最も重要な電圧域であり、本実施の形態における効果は非常に大きい。



【0040】図9は、図6に示した $W=2$ のパルス発生回路21とは別に、前述の方法3を用いた構成を示した図である。図6の例と同様に、9ビットのDACの場合を示しており、9ビットのバイナリカウンタ51、8ビットラッチ52、及び8個の2入力ゲート53から構成されている。図6の方法1とは異なり、AND回路の代わりに1つのNOR回路が設けられている。また、図6と同様に、入力クロックに同期して9ビットのバイナリカウンタ51がカウントアップを行い、カウンタ出力B8～B1を出力している。そのカウンタ出力B8～B1 10に対して、8ビットラッチ52で1入力クロック期間分遅延させた信号であるラッチ出力L8～L1を生成する。これらの信号を、上述した方法3の論理式に従って処理し、基準パルス出力X8～X0を生成している。

【0041】図9に示すパルス発生回路(方法3)の論理式は、以下のようになる。

X8 <= B1; 論理式(1')

X7 <= B1 nor L1; 論理式(2')

X6 <= B2 and (not L2); 論理式(3)

X5 <= B3 and (not L3); 論理式(4)

X4 <= B4 and (not L4); 論理式(5)

X3 <= B5 and (not L5); 論理式(6)

X2 <= B6 and (not L6); 論理式(7)

X1 <= B7 and (not L7); 論理式(8)

X0 <= B8 and (not L8); 論理式(9)

【0042】上記論理式(1')および上記論理式(2')は、図6に示した方法1と異なる点であり、他の論理式は、方法1と同様である。上記論理式(1')により基準パルス出力X8の周波数を2分の1にしており、論理式(2')により基準パルス出力X7のパルス発生位置を1 30クロック、シフトさせている。この方式により発生された基準パルスの密度は、X0を1とするとX1, X2, X3, X4, X5, X6, X7, X8はそれぞれ2, 4, 8, 16, 32, 64, 128, 256となり、X0～X8の基準パルスは排他的にHigh(1)の状態になるように生成されるため、任意の複数の基準パルスを合成してもパルス同士が時間的に重なることはない。

【0043】図10は、図9に示した方法3の場合の基準パルス波形を示した図である。図7と同様に、X6～X0のパルスは、X8, X7がHigh(1)になるタイミングに隣接するタイミングでHigh(1)になるように生成される。これにより、デジタル入力データが0～128の間は、入力データの増加につれてパルス列の周波数が単調増加するが、デジタル入力データが128以上384以下の範囲では、X8あるいはX7が選択されており、同時に選択されるX6～X0のHigh(1)期間は、X8あるいはX7パルスのHigh(1)期間に結合されることになる。従って、合成されるパルス列の周波数は、デジタル入力データが128以上384以下の範囲で一定になる。デジタル入力データが384～511の範囲では、 50

入力データの増加につれてパルス列の周波数が単調減少する。尚、図9および図10にて示す方法3を採用した場合におけるデジタル入力データとパルス列周波数との関係は、図8に示すものと同様であり、同様な効果を得ることができる。

【0044】次に、図4を用いて説明した分割ビット数 $W=3$ の場合、即ち、パルス並びを8クロック単位で考えた場合に、デジタル入力データを大きくしてブロック中のパルス密度を上げていく方法について説明する。8クロック単位で考えた場合、デジタル入力データを大きくしてブロック中のパルス密度を上げていく方式は2通りある。その2通りのビット数が大きくなる様子を以下に示す。

方法1: 00000000→P0000000→00000001→P0000001→0000011→P0000011→00000111→P00000111→00001111→P00011111→00011111→P00111111→00111111→P01111111→01111111→P11111111→11111111

方法2: 00000000→P0000000→01000000→P1000000→01100000→P1100000→01110000→P1110000→01111000→P1111000→01111100→P1111100→01111110→P1111110→01111111→P1111111→11111111

但し、Pは変調データに依存するパルスとする。

【0045】方法2を用いた基準パルス発生回路は、回路規模が大きくなるため、ここでは方法1を用いた本発明の基準パルス発生回路について説明する。図11

(a),(b)は、8クロック単位で考えた場合のPDM方式DACにおけるパルス発生回路21とパルス選択/合成回路23の構成を示した図である。図11(a)はパルス発生回路21を、図11(b)はパルス選択/合成回路23を示している。図11(a)に示すパルス発生回路21は、9ビットのバイナリカウンタ61、6ビットラッチ62、及び6個の2入力論理積(AND)63から構成されている。また、図11(b)に示すパルス選択/合成回路23は、2入力ANDと3入力ORとで構成される合成回路65と、キャリア検出部として機能する加算回路66を備えている。

【0046】パルス変調を8クロックで生成するために、図11(a)に示すバイナリカウンタ61の出力B0, B1, B2は、ラッチせずに直接、図11(b)に示す加算回路66の入力になっている。合成されるパルス列の周波数は、デジタル入力データの64以上448以下の範囲で一定になる。4クロック単位で考えた場合と比較して、パルス列の周波数は半分に減少するが、ゲート数は増大する。

【0047】図12は、パルス並びがそれぞれ4クロック単位と8クロック単位におけるパルス発生回路21のサイズを比較した結果を示す図表である。4クロック単位には図6に示したパルス発生回路21、8クロック単位には図11(a)に示したパルス発生回路21を使用した。図12から、パルス合成部(10セット)を含める



と、8クロック単位では、4クロック単位の約1.4倍のゲート数を必要とすることになる。従って、回路規模サイズで考えた場合には4クロック単位、周波数で考えた場合には8クロック単位の方が優れている。

【0048】以上、詳述したように、本実施の形態では、デジタル入力データの中央値から所定範囲で周波数を下げ、スイッチング回数を一定にすることにより、液晶用PDM方式DACの低消費電力化と出力電圧のリニアリティの改善を図っている。アナログ出力電圧のリニアリティが改善されることから、ガンマ補正用基準電位の各ソースドライバIC20間の偏差を小さくすることができる。また、通常のPDM方式DACに比べて不要に消費される電力を削減できるので、LCDパネルの消費電力的にも有利となる。

【0049】また、図6～図10で説明した分割ビット数 $W=2$ の場合には、9ビットDACにて、デジタル入力データが128～384の範囲で効果が得られる。前述のように、液晶を5Vで駆動する場合のアナログ出力で1.25V～3.75Vに相当し、液晶駆動に最も重要な電圧域であるため、本実施の形態における大きな効果が期待できる。更に広い範囲でリニアリティを改善し、動作周波数を低減させる必要がある場合には、図11(a),(b)にて説明したパルス発生回路21およびパルス選択/合成回路23を採用すれば良い。即ち、リニアリティの改善と回路規模とを比較衡量し、図4に示す特性を考慮して適切な分割ビット数のパルス発生回路21を選定することにより、対象となるLCDに最適な構成を得ることが可能となる。

【0050】尚、本実施の形態では、液晶表示装置のガンマ補正用基準電位発生回路を実現する場合のDACについて説明したが、例えば測定器等に用いられるDAC等、他の分野における基準パルス発生回路に対して適用することも可能である。但し、WOAを実現するLCDに対して適用することで、リニアリティの改善と回路規模の縮小に対して大きく改善することが可能となる。

#### 【0051】

【発明の効果】以上説明したように、本発明によれば、デジタル入力データに対応してアナログ出力電圧が受けるスイッチングに起因する悪影響を抑制することができる。

#### 【図面の簡単な説明】

【図1】 本発明が適用された画像表示装置の一実施形態を示す構成図である。

【図2】 本実施の形態が適用されたガンマ基準電位発生用PDM方式の9ビットDACの構成を示した図である。

【図3】 本実施の形態が適用されるパルス発生回路お

よびパルス選択/合成回路の内部構成の例を示す図である。

【図4】 本実施の形態におけるパルス発生回路及びパルス選択/合成回路を使用したときの分割ビット数とパルス列最高周波数の関係を示した図表である。

【図5】 本実施の形態が適用されるPDM方式DACにおけるパルス発生回路の構成を示した図である。

【図6】 方法1を用いたパルス発生回路の構成を示した図である。

【図7】 図6に示した方法1の場合の基準パルス波形を示した図である。

【図8】 本実施の形態が適用されるパルス発生回路におけるデジタル入力データとパルス列周波数との関係を示した図である。

【図9】 方法3を用いた構成を示した図である。

【図10】 図9に示した方法3の場合の基準パルス波形を示した図である。

【図11】 (a),(b)は、8クロック単位で考えた場合のPDM方式DACにおけるパルス発生回路とパルス選択/合成回路の構成を示した図である。

【図12】 パルス並びがそれぞれ4クロック単位と8クロック単位におけるパルス発生回路のサイズを比較した結果を示す図表である。

【図13】 一般的なPDM方式DACの構成を示した図である。

【図14】 液晶用PDM方式DACで使用されているパルス発生回路の構成を示した図である。

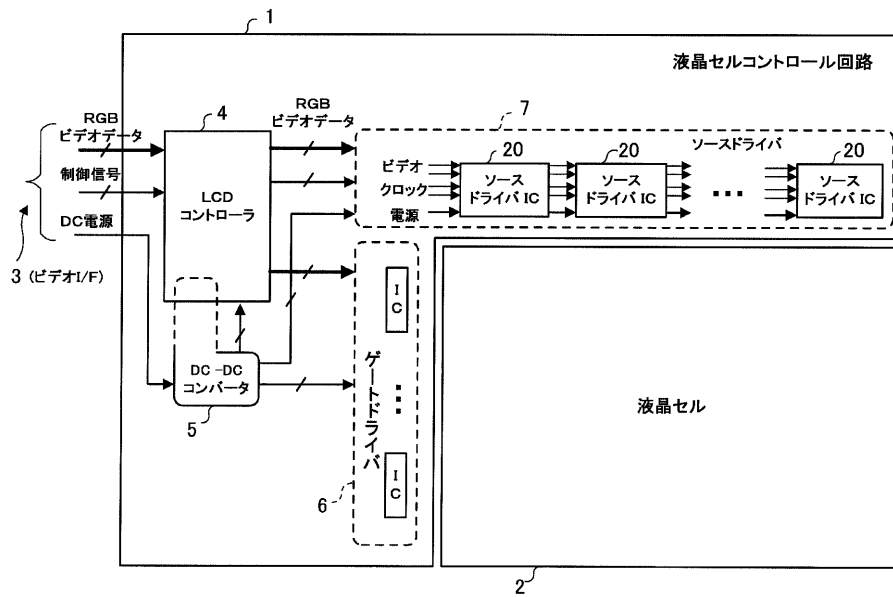
【図15】 PDM方式DAC用パルス出力の例(X8～X5)を示した図である。

【図16】 液晶用PDM方式DACにおいて、各デジタル入力データに対応するパルス列の周波数の関係を示した図である。

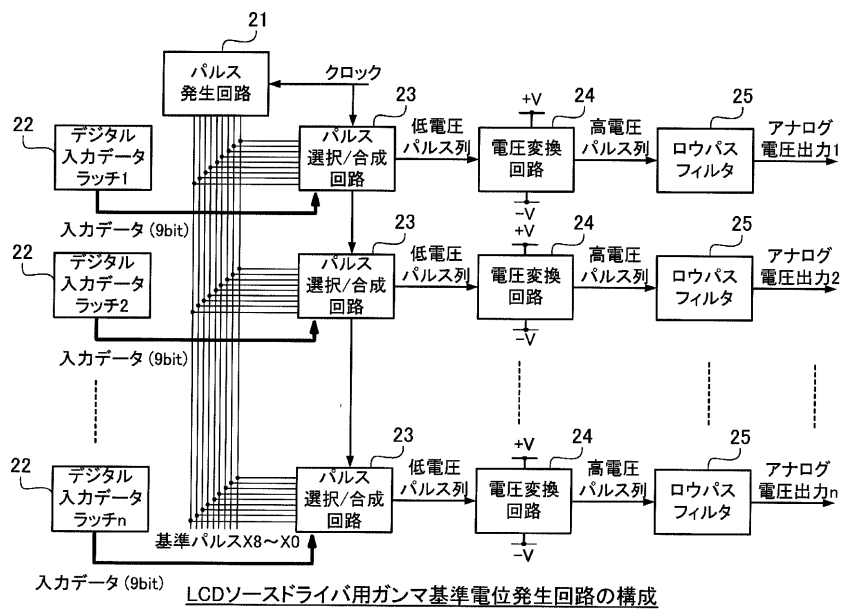
#### 【符号の説明】

1…液晶セルコントロール回路、2…液晶セル、3…ビデオインターフェイス(I/F)、4…LCDコントローラ、6…ゲートドライバ、7…ソースドライバ、20…ソースドライバIC、21…パルス発生回路、22…デジタル入力データラッチ、23…パルス選択/合成回路、24…電圧変換回路、25…積分回路(ロウパスフィルタ)、31… $n$ ビットバイナリカウンタ、32… $n-1$ ビットラッチ、33…2入力論理積(AND)、41…バイナリカウンタ、42…8ビットラッチ、43…2入力論理積(AND)、51…バイナリカウンタ、52…8ビットラッチ、53…2入力ゲート、61…バイナリカウンタ、62…6ビットラッチ、63…2入力論理積(AND)、65…合成回路、66…加算回路

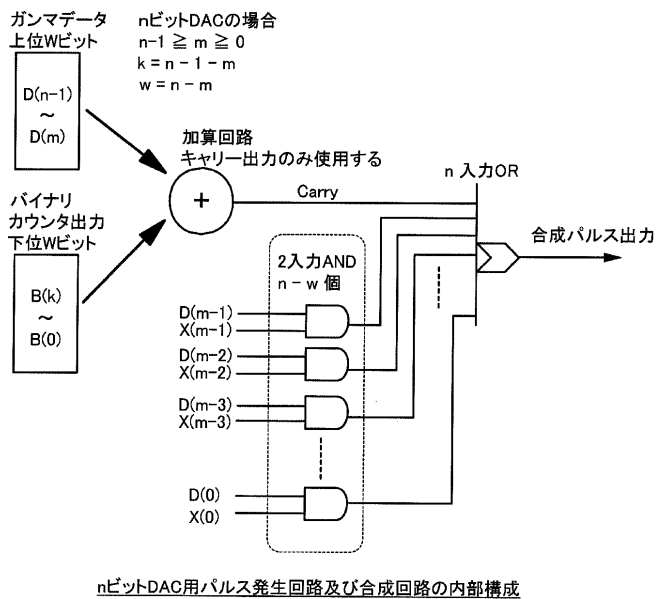
【図1】



【図2】



【図3】



【図12】

パルス並びが4クロック単位と8クロック単位のゲート数の比較

|               | 4Clock | 8Clock |
|---------------|--------|--------|
| カウンタ部         |        |        |
| ラッチ           | 17     | 15     |
| 2入力AND        | 8      | 6      |
| パルス合成部(1セット)  |        |        |
| 2入力AND        | 9      | 13     |
| 3入力OR         | 4      | 5      |
| パルス合成部(10セット) |        |        |
| 2入力AND        | 90     | 130    |
| 3入力OR         | 40     | 50     |

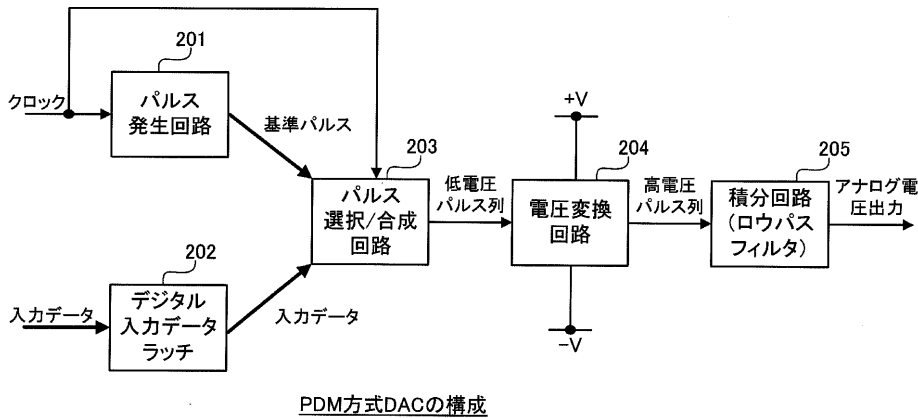
【図4】

nビットDAC用パルス発生回路及び合成回路を使用したときの  
分割ビット数とパルス列最高周波数との関係

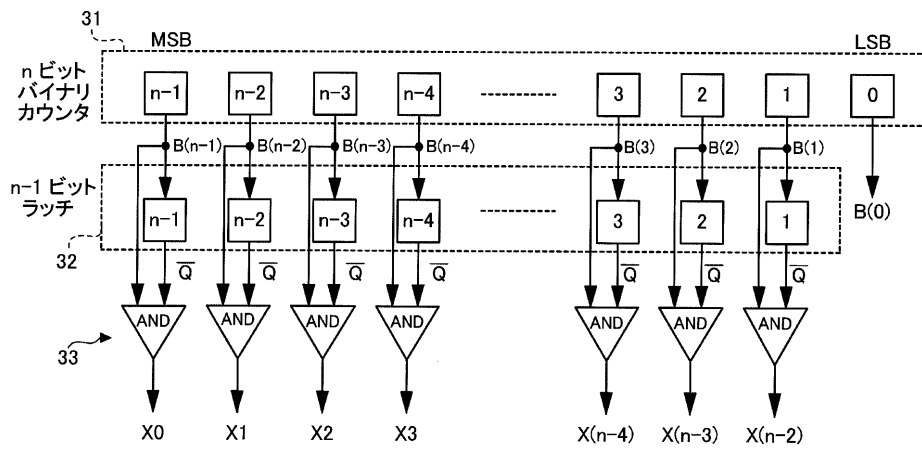
| 分割ビット数  | パルス列の<br>最高周波数(Hz) | スイッチング回数一定領域の<br>全入力Dataに対する割合 | 備考     |
|---------|--------------------|--------------------------------|--------|
| $W = 1$ | $f$                | 0                              | PDM    |
| $W = 2$ | $f/2$              | $1/2$                          | 回路規模最小 |
| $W = 3$ | $f/4$              | $3/4$                          |        |
| $W = 4$ | $f/8$              | $7/8$                          |        |
| $W = 5$ | $f/16$             | $15/16$                        |        |
| .....   | .....              | .....                          |        |
| $W = n$ | $f/2^{n-1}$        | 1                              | PWM    |

\*但し、デジタル入力データをnビットとする

【図13】

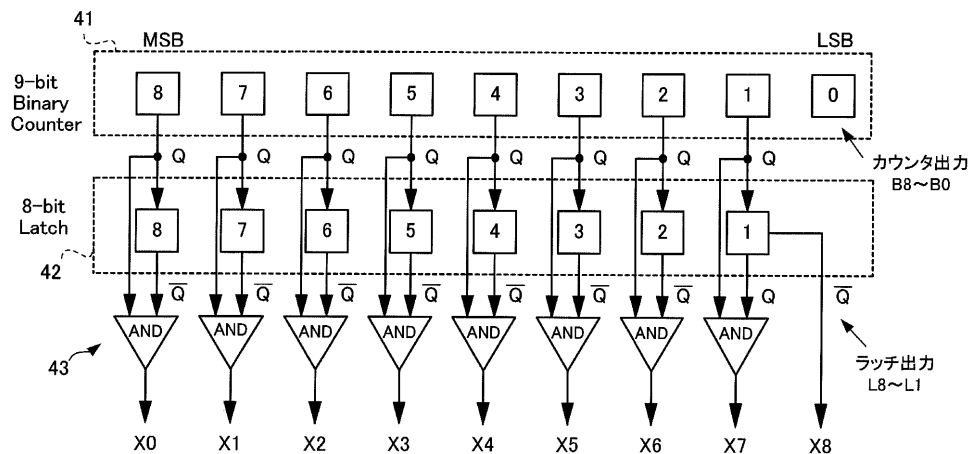


【図5】

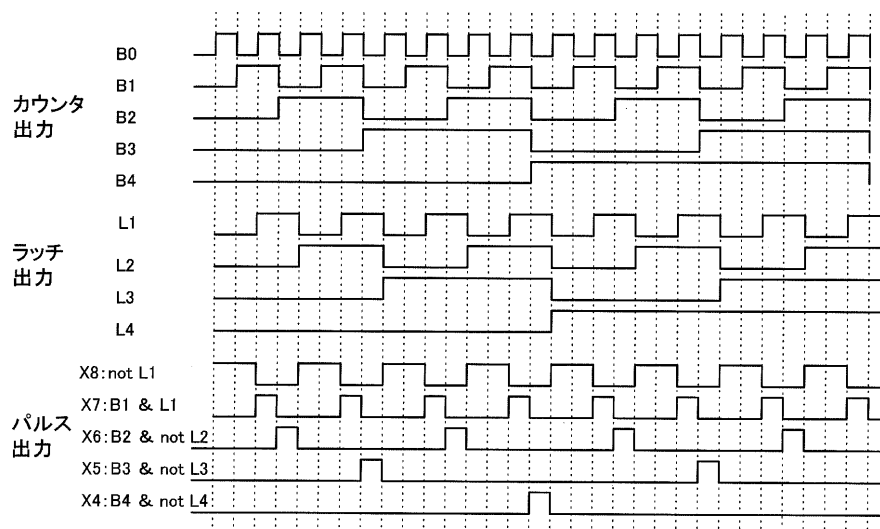


PDM方式DACにおけるパルス発生回路の一般構成

【図6】

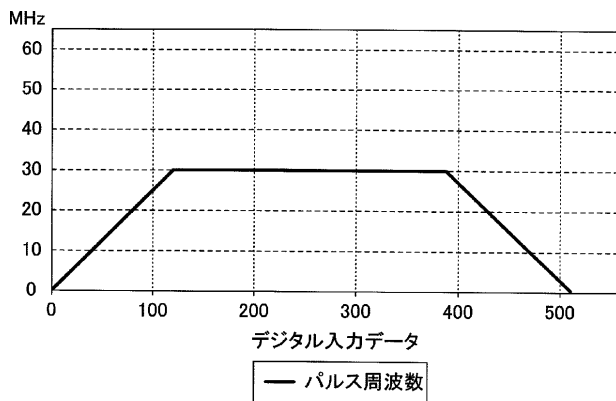


【図7】



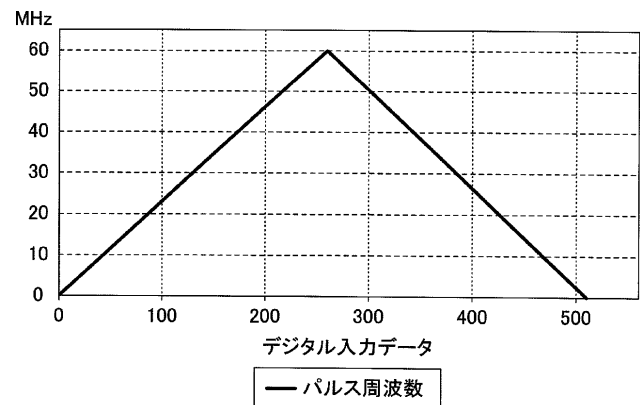
PDM方式DAC用パルスの例

【図8】



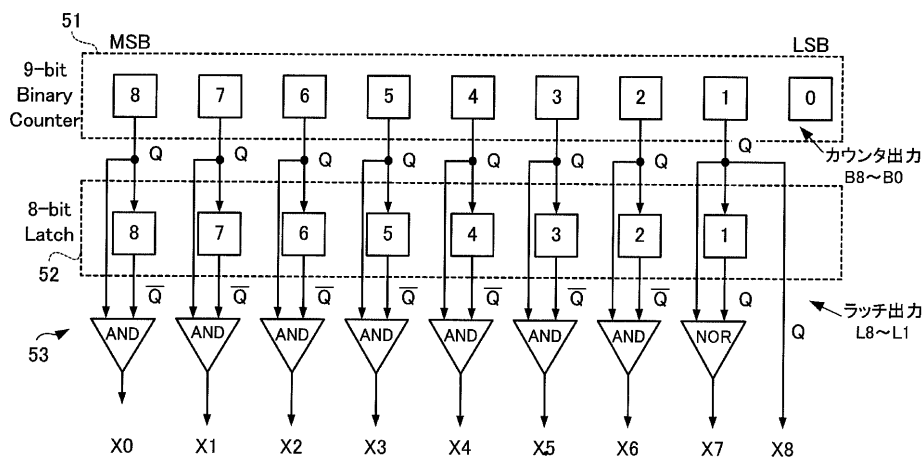
パルス発生回路におけるデジタル入力データとパルス列周波数の関係

【図16】

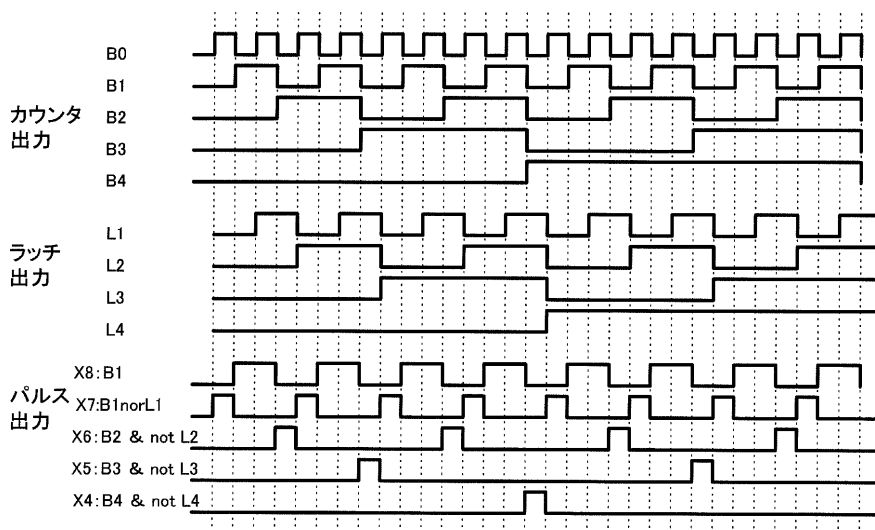


各データに対応するパルス列の周波数

【図9】

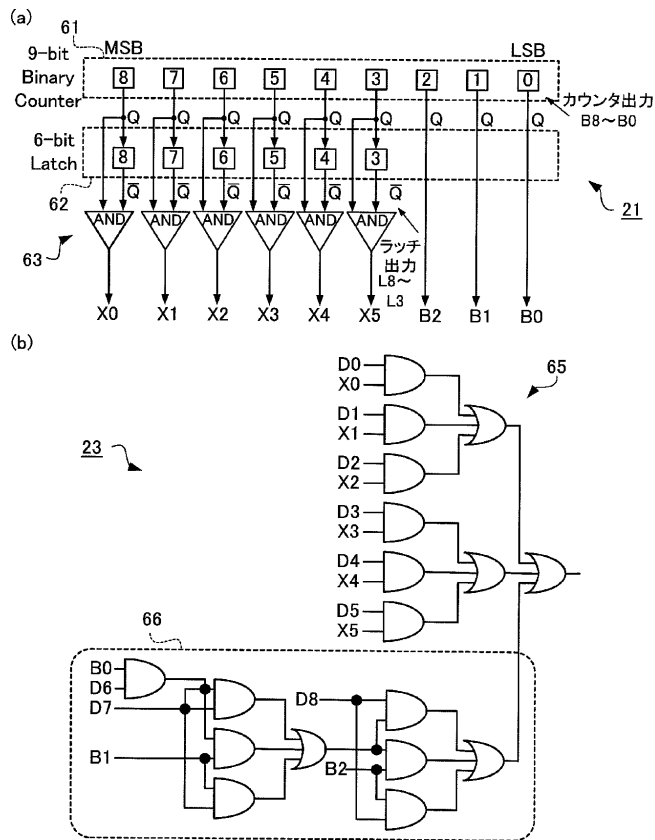


【図10】

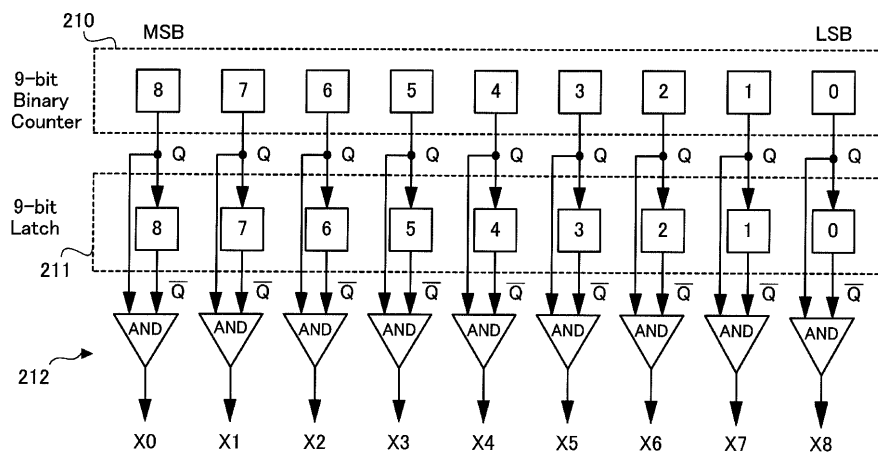


本発明のPDM方式DAC用パルスの例

【図11】

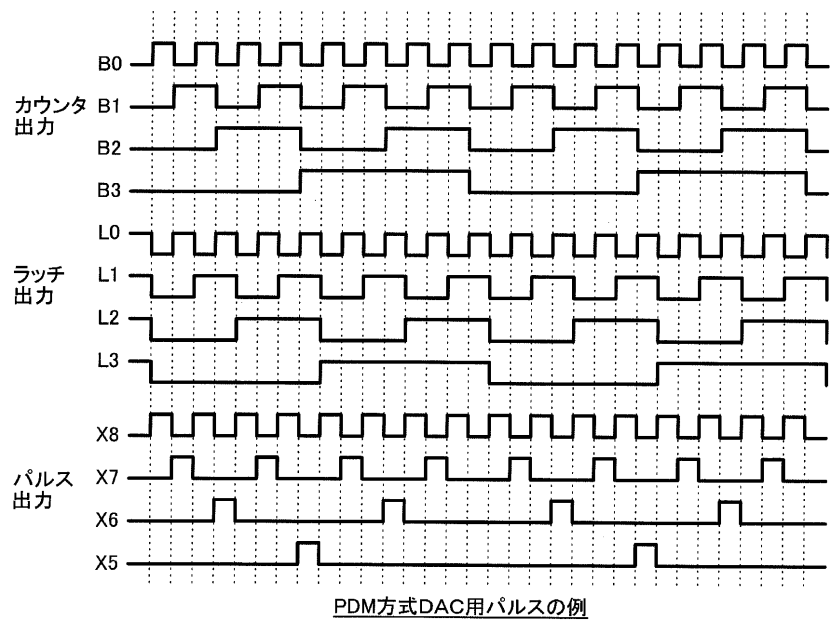


【図14】



PDM方式DACにおけるパルス発生回路構成

【図15】



フロントページの続き

|                                                             |      |                                                              |                                                                                                                                                                                    |
|-------------------------------------------------------------|------|--------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| (51)Int.Cl. <sup>7</sup><br>G 0 9 G 3/20                    | 識別記号 | F I<br>G 0 9 G 3/20                                          | テーマコード <sup>*</sup> (参考)                                                                                                                                                           |
|                                                             |      |                                                              | 6 4 1 K<br>6 4 1 P                                                                                                                                                                 |
| (72)発明者 坂口 佳民<br>神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 東京基礎研究所内 |      | (72)発明者 佐久間 克幸<br>神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 東京基礎研究所内 |                                                                                                                                                                                    |
|                                                             |      |                                                              | F ターム (参考) 2H093 NA56 NC03 NC26 NC27 NC34<br>NC49 NC50 ND39 ND49 ND54<br>5C006 AF46 AF83 BB16 BC11 BC16<br>BC20 EB05 FA47<br>5C080 AA10 BB05 DD25 DD26 EE28<br>FF11 JJ02 JJ04 JJ05 |



|                |                                                                                                                                                                                                                                                                                                                                           |         |            |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置，液晶驱动器，参考脉冲发生电路，脉冲发生方法和模拟电压输出方法                                                                                                                                                                                                                                                                                                     |         |            |
| 公开(公告)号        | <a href="#">JP2002341832A</a>                                                                                                                                                                                                                                                                                                             | 公开(公告)日 | 2002-11-29 |
| 申请号            | JP2001145686                                                                                                                                                                                                                                                                                                                              | 申请日     | 2001-05-15 |
| [标]申请(专利权)人(译) | 国际商业机器公司                                                                                                                                                                                                                                                                                                                                  |         |            |
| 申请(专利权)人(译)    | 国际商业机器公司                                                                                                                                                                                                                                                                                                                                  |         |            |
| [标]发明人         | 坂口佳民<br>佐久間克幸                                                                                                                                                                                                                                                                                                                             |         |            |
| 发明人            | 坂口 佳民<br>佐久間 克幸                                                                                                                                                                                                                                                                                                                           |         |            |
| IPC分类号         | G02F1/133 G09G3/20 G09G3/36                                                                                                                                                                                                                                                                                                               |         |            |
| CPC分类号         | G09G3/3688 G09G3/2007 G09G2310/027 G09G2320/0276                                                                                                                                                                                                                                                                                          |         |            |
| FI分类号          | G09G3/36 G02F1/133.520 G09G3/20.611.A G09G3/20.612.F G09G3/20.641.A G09G3/20.641.K G09G3/20.641.P                                                                                                                                                                                                                                         |         |            |
| F-TERM分类号      | 2H093/NA56 2H093/NC03 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC49 2H093/NC50 2H093/ND39 2H093/ND49 2H093/ND54 5C006/AF46 5C006/AF83 5C006/BB16 5C006/BC11 5C006/BC16 5C006/BC20 5C006/EB05 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD26 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZD26 2H193/ZF03 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                 |         |            |

# 摘要(译)

解决的问题：抑制因接通与数字输入数据相对应的模拟输出电压而引起的不利影响。液晶驱动器，用于向形成图像显示区域的液晶单元提供要施加的电压，该脉冲产生电路生成以脉冲产生密度加权的多个参考脉冲，数字输入数据用于伽马校正的模拟电压，其将由脉冲选择/合成电路23生成的脉冲序列和基于参考脉冲和脉冲序列选择/合成所需参考脉冲的脉冲选择/合成电路23进行积分。并且，由脉冲生成电路21和脉冲选择/合成电路23生成的脉冲列的每单位时间的切换电路，用于输出的积分电路（低通滤波器）25范围没有变化。

