

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 318570

(P2002 - 318570A)

(43)公開日 平成14年10月31日(2002.10.31)

(51) Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
	575		5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	A
	621		M

審査請求 未請求 請求項の数 16 O L (全 37数) 最終頁に続く

(21)出願番号 特願2002 - 30482(P2002 - 30482)

(22)出願日 平成14年2月7日(2002.2.7)

(31)優先権主張番号 特願2001 - 34377(P2001 - 34377)

(32)優先日 平成13年2月9日(2001.2.9)

(33)優先権主張国 日本(JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半導

体エネルギー研究所内

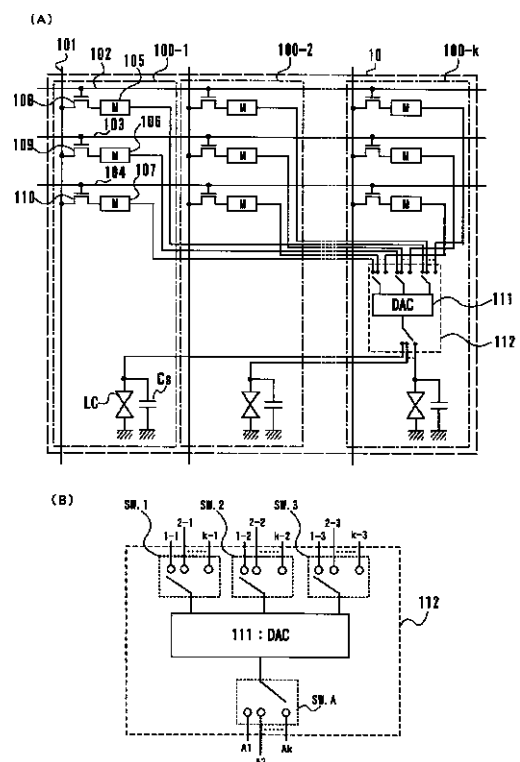
最終頁に続く

(54)【発明の名称】 液晶表示装置及びその駆動方法

(57)【要約】

【課題】 静止画表示時において、消費電力を低減することが可能な液晶表示装置及びその駆動方法を提供することを課題とする。

【解決手段】 液晶表示装置の各画素毎に複数の記憶回路を配置する。また、複数の画素（ブロック）は、1つのD / A変換回路を有する。複数の画素それぞれの記憶回路に記憶されたデジタル信号は、1画素分ずつ順に前記D / A変換回路によってアナログ信号に変換され、対応する画素の液晶素子に入力される。これによって、1つの画素あたりにD / A変換回路の占める面積を減らすことが可能となる。こうして各画素に記憶回路を多く配置することが可能となる。



【特許請求の範囲】

【請求項 1】 n ビット (n は 2 以上の自然数) のデジタル映像信号を用いて階調を表現する液晶表示装置であって、

n 個の記憶回路と液晶素子とをそれぞれ備えた k (k は 2 以上の自然数) 個の画素よりなるブロックを有し、前記ブロックは D/A 変換回路を有し、前記 n 個の記憶回路に前記 n ビットのデジタル映像信号を記憶する手段と、

前記 k 個の画素のうち 1 つを選択し、前記選択された画素に記憶された前記 n ビットのデジタル映像信号を前記 D/A 変換回路に入力する手段と、前記 D/A 変換回路が出力するアナログ信号を、前記選択された画素の前記液晶素子に入力する手段とを有することを特徴とする液晶表示装置。

【請求項 2】 n ビット (n は 2 以上の自然数) のデジタル映像信号を用いて階調を表現する液晶表示装置であって、

k (k は 2 以上の自然数) 個の画素よりなるブロックと、ゲート信号線駆動回路と、ソース信号線駆動回路とを有し、

前記ブロックは D/A 変換回路を有し、前記 k 個の画素それぞれは、 n 個の記憶回路と、液晶素子と、前記ゲート信号線駆動回路の出力信号によって導通状態となる n 個のスイッチング素子とを有し、前記 n 個のスイッチング素子それぞれを介して、前記ソース信号線駆動回路の出力信号を前記 n 個の記憶回路それぞれに入力する手段と、

前記 k 個の画素のうち 1 つを選択し、前記選択された画素に記憶された前記 n ビットのデジタル映像信号を前記 D/A 変換回路に入力する手段と、前記 D/A 変換回路が出力するアナログ信号を、前記選択された画素の前記液晶素子に入力する手段とを有することを特徴とする液晶表示装置。

【請求項 3】請求項 2 において、前記ソース信号線駆動回路は、アドレスデコードを有することを特徴とする液晶表示装置。

【請求項 4】請求項 2 において、前記ゲート信号線駆動回路は、アドレスデコードを有することを特徴とする液晶表示装置。

【請求項 5】請求項 2 において、前記ソース信号線駆動回路は、アドレスデコードを有し、前記ゲート信号線駆動回路は、アドレスデコードを有することを特徴とする液晶表示装置。

【請求項 6】請求項 1 乃至請求項 5 のいずれか一項において、前記 k 個の画素、前記ソース信号線駆動回路、前記ゲート信号線駆動回路は、同一基板上に形成されていることを特徴とする液晶表示装置。

【請求項 7】請求項 1 乃至請求項 6 のいずれか一項において、

前記 n 個の記憶回路はスタティック型メモリ (SRAM) であることを特徴とする表示装置。

【請求項 8】請求項 1 乃至請求項 6 のいずれか一項において、

前記 n 個の記憶回路は強誘電体メモリ (FRAM) であることを特徴とする表示装置。

【請求項 9】請求項 1 乃至請求項 6 のいずれか一項において、

前記 n 個の記憶回路はダイナミック型メモリ (DRAM) であることを特徴とする表示装置。

【請求項 10】請求項 1 乃至請求項 9 のいずれか一項に記載の液晶表示装置を用いることを特徴とする電子機器。

【請求項 11】 n ビット (n は 2 以上の自然数) のデジタル映像信号を用いて階調を表現する液晶表示装置の駆動方法であって、

n 個の記憶回路と、液晶素子とをそれぞれ備えた k (k は 2 以上の自然数) 個の画素よりなるブロックを有し、前記ブロックは D/A 変換回路を有し、

前記 n 個の記憶回路に、前記 n ビットのデジタル映像信号を記憶する第 1 の手順と、

前記 k 個の画素のうち 1 つを選択し、前記選択された画素に記憶された前記 n ビットのデジタル映像信号を前記 D/A 変換回路に入力する第 2 の手順と、

前記 D/A 変換回路が出力するアナログ信号を、前記選択された画素の前記液晶素子に入力する第 3 の手順とを有することを特徴とする液晶表示装置の駆動方法。

【請求項 12】 n ビット (n は 2 以上の自然数) のデジタル映像信号を用いて階調を表現する液晶表示装置の駆動方法であって、

k (k は 2 以上の自然数) 個の画素よりなるブロックと、ゲート信号線駆動回路と、ソース信号線駆動回路とを有し、

前記ブロックは D/A 変換回路を有し、前記 k 個の画素それぞれは、 n 個の記憶回路と、液晶素子と、前記ゲート信号線駆動回路の出力信号によって導通状態となる n 個のスイッチング素子とを有し、

前記 n 個のスイッチング素子それぞれを介して、前記ソース信号線駆動回路の出力信号を前記 n 個の記憶回路それぞれに入力する第 1 の手順と、

前記 k 個の画素のうち 1 つを選択し、前記選択された画素に記憶された前記 n ビットのデジタル映像信号を前記 D/A 変換回路に入力する第 2 の手順と、

前記 D/A 変換回路が出力するアナログ信号を、前記選択された画素の前記液晶素子に入力する第 3 の手順とを有することを特徴とする液晶表示装置の駆動方法。

【請求項 13】請求項 11 または請求項 12 において、前記第 1 の手順を一旦行った後、

前記第 2 の手順と前記第 3 の手順のみを、一定期間繰り返すことを特徴とする液晶表示装置の駆動方法。

【請求項 14】請求項 13 において、
前記ゲート信号線駆動回路の動作を停止することによって前記第 1 の手順を行わず、前記第 2 の手順と前記第 3 の手順のみを一定期間繰り返すことを特徴とする液晶表示装置の駆動方法。

【請求項 15】請求項 13 において、
前記ソース信号線駆動回路の動作と前記ゲート信号線駆動回路の動作とを停止することによって前記第 1 の手順を行わず、前記第 2 の手順と前記第 3 の手順のみを一定期間繰り返すことを特徴とする液晶表示装置の駆動方法。

【請求項 16】請求項 11 乃至請求項 15 のいずれか一項において、
前記液晶表示装置の駆動方法を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置及びその駆動方法に関する。特に、絶縁体上に作製される薄膜トランジスタ（以下、TFTと表記する）を有するアクティブマトリクス型表示装置及びその駆動方法に関する。その中でも、映像信号としてデジタル信号を用いるアクティブマトリクス型表示装置及びその駆動方法に関する。

【0002】

【従来の技術】近年、絶縁体上、特にガラス基板上に、半導体薄膜を用いて形成した素子を有する表示装置の普及が進んでいる。例えば、TFTを用いたアクティブマトリクス型表示装置の普及が進んでいる。アクティブマトリクス型表示装置は、マトリクス状に画素を配置し、それらの画素それぞれにTFT（以下、画素TFTと表記する）を配置し、画素TFTを用いて各画素の輝度を制御し、画像の表示を行っている。

【0003】最近では、画素を構成する画素TFTの他に、駆動回路を構成するためのTFTも、多結晶半導体を用いて、画素部の周辺部に同時形成する技術が発展してきている。これによって装置の小型化、低消費電力化に大いに貢献している。それに伴って、近年、その応用分野の拡大が著しい携帯情報機器の表示部等に、アクティブマトリクス型表示装置は不可欠なデバイスとなってきた。また、アクティブマトリクス型表示装置としては、液晶素子を用いた、アクティブマトリクス型液晶表示装置や、OLED（有機発光ダイオード）素子を用いた、アクティブマトリクス型OLED表示装置などがあるが、本明細書では、主にアクティブマトリクス型液晶表示装置に注目する。

【0004】ここで、液晶素子は、2枚の電極と、2枚の電極それぞれの上に形成された配向膜と、2枚の電極

それぞれの配向膜が形成された面で挟まれた液晶材料とによって形成される。また液晶材料としては、公知の構造の材料を自由に用いることができる。

【0005】デジタル映像信号を用いて表示を行う方式（以下、デジタル方式とよぶ）の、従来のアクティブマトリクス型液晶表示装置の概略図を、図6に示す。中央に画素部1308が配置されている。

【0006】画素部1308には、複数の画素がマトリクス状に配置されている。また、各画素に信号を入力する、複数のソース信号線及び複数のゲート信号線が配置されている。

【0007】画素部1308の上側には、ソース信号線にを入力する信号を制御するための、ソース信号線駆動回路1301が配置されている。

【0008】ソース信号線駆動回路1301は、シフトレジスタ1303、第1のラッチ回路1304、第2のラッチ回路1305、D/A（デジタル/アナログ）変換回路（図中、DACと表記）1306、アナログスイッチ1307等を有する。画素部1308の左右には、ゲート信号線にを入力する信号を制御するための、ゲート信号線駆動回路1302が配置されている。なお、図6においては、ゲート信号線駆動回路1302は、画素部1308の左右両側に配置されているが、片側に配置されていても構わない。ただし、画素部1308の両側に配置した方が、駆動効率、駆動信頼性の面から見て望ましい。

【0009】ソース信号線駆動回路1301は、図7に示すような構成を有している。図7に例として示すソース信号線駆動回路は、水平方向にx個の画素を持ち、3ビットのデジタル映像信号を入力し階調の表示を行う（以下、3ビットデジタル階調と呼ぶ）表示装置に対応したソース信号線駆動回路である。

【0010】図7に示すソース信号線駆動回路は、シフトレジスタ回路（SR）1401、第1のラッチ回路（LAT1）1402、第2のラッチ回路（LAT2）1403、D/A変換回路（DAC）1404等を有する。なお、図7においては、図6で示したアナログスイッチ1307は図示していない。また、図7では図示していないが、必要に応じてバッファ回路、レベルシフト回路等を配置しても良い。

【0011】図6および図7を用いて動作について簡単に説明する。まず、シフトレジスタ回路1303（図7中、SRと表記）にクロック信号（クロックパルス、反転クロックパルス）およびスタートパルスが入力される。すると、シフトレジスタ回路1303から順次パルスが、第1のラッチ回路1304（図7中、LAT1と表記）に入力され、同じく第1のラッチ回路1304に入力されたデジタル映像信号（デジタルデータ）をそれぞれ保持していく。

【0012】ここで、D3がデジタル映像信号の最上位

ビット(MSB: Most Significant Bit)、D1がデジタル映像信号の最下位ビット(LSB: Least Significant Bit)を表す。第1のラッチ回路1304において、1水平周期分のデジタルデータの保持が完了すると、帰線期間中に、第1のラッチ回路1304で保持されているデジタル映像信号は、ラッチ信号(ラッチパルス)の入力によって、一斉に第2のラッチ回路1305(図7中、LAT2と表記)へと転送される。

【0013】その後、再びシフトレジスタ回路1303が動作し、次の水平周期分のデジタルデータの保持が開始される。同時に、第2のラッチ回路1305で保持されているデジタルデータは、D/A変換回路1306(図7中、DACと表記)にてアナログ信号へと変換される。このアナログ信号は、ソース信号線(図7中、S1~Sxと表記)に入力され各画素に書き込まれる。

【0014】図8に、一般的なアクティブマトリクス型液晶表示装置の画素部の構成を示す。

【0015】画素毎に、コンデンサ1001と、スイッチング用TFT1002と、液晶素子1003が配置されている。それぞれの画素のスイッチング用TFT1002のゲート電極は、ゲート信号線G1~Gyのいずれか一本に接続され、それぞれの画素のスイッチング用TFT1002のソース領域とドレイン領域とは、一方は、ソース信号線S1~Sxのいずれか一本に接続され、もう一方は、コンデンサ1001の一方の電極及び液晶素子1003の一方の電極に接続されている。

【0016】ソース信号線S1~Sxに入力されたアナログ信号は、ゲート信号線G1~Gyに入力された信号によって導通状態となったスイッチング用TFT1002のドレイン・ソース間を介して、コンデンサ1001及び液晶素子1003に入力される。この信号の電圧に応じて、液晶素子1003の透過率が変化し、各画素の輝度が表現される。

【0017】ここで、液晶素子の2枚の電極間に、常に一定方向の電界が印加されつづけると、液晶材料中のイオンに偏りが生じ、液晶素子の劣化を進めるといった問題がある。そこで、一般の液晶素子を用いた表示装置などでは、一定期間ごとに、液晶素子に印加される電圧の極性を変化させ、液晶素子の2電極間に印加される電界の向きを変化させるような駆動方法が用いられている。

【0018】例えば、ゲートライン反転とよばれる駆動方法や、ソースライン反転とよばれる駆動方法、フレーム反転とよばれる駆動方法等がある。

【0019】ゲートライン反転とよばれる駆動方法は、隣り合うゲート信号線間で、液晶素子に印加する信号電圧の極性を異なるようにする。ソースライン反転とよばれる駆動方法では、隣り合うソース信号線間で、液晶素子に印加される信号の極性を異なるようにする。フレーム反転とよばれる駆動方法では、1画面分の画像を表示する期間(以下、1フレーム期間とよぶ)毎に、液晶素

子に印加される信号の極性を反転させる。

【0020】この、従来のアクティブマトリクス型液晶表示装置の動作について、図8及び、図9のタイミングチャートを用いて説明する。

【0021】なお、図9のタイミングチャートでは、フレーム反転駆動での動作を用いている。

【0022】つまり、第1のフレーム期間(F1)においてソース信号線に入力された信号とは逆の極性を有する信号が、第2のフレーム期間(F2)にソース信号線より入力される。また、第3のフレーム期間(F3)においては、第2のフレーム期間(F2)において入力された信号とは極性の異なる信号が入力される。

【0023】第1のフレーム期間(F1)において、始めゲート信号線G1が選択される。すると、ゲート信号線G1にゲート電極が接続されたスイッチング用TFT1002が導通状態となる。この後、ソース信号線S1~Sxより信号が入力される。

【0024】なお、図9のタイミングチャートにおいては、ある1本のソース信号線Sm(mは、x以下の自然数)に注目し、このソース信号線Smに入力される信号のみを示している。ここで、1本のゲート信号線が選択されている期間を1水平期間(1ライン期間:L)とよぶことにする。特に、ゲート信号線G1が選択されている期間を第1のライン期間L1と呼ぶことにする。

【0025】ゲート信号線G1に接続されたスイッチング用TFT1002を有する画素に信号が入力され終わると、次にゲート信号線G2に信号が入力されて、ゲート信号線G2に接続された全てのスイッチング用TFT1002が導通状態となる。こうして第2のライン期間L2における信号の入力が始まる。

【0026】上記動作を、全てのゲート信号線G1~Gyについて繰り返し、第yのライン期間Lyまで終了すると1フレーム期間が終了する。

【0027】次に第2のフレーム期間(F2)が始まる。第2のフレーム期間(F2)においてはソース信号線に入力される信号の極性が、第1のフレーム期間(F1)においてソース信号線に入力されたソース信号線の信号電圧の極性とは異なる。こうして画像の表示が行われる。

【0028】第2のフレーム期間(F2)が終了すると、第3のフレーム期間(F3)が始まる。ここで、第3のフレーム期間(F3)では、第2のフレーム期間(F2)と異なる極性の信号電圧が、ソース信号線に入力される。つまり、第1のフレーム期間と同じ極性を有する信号電圧が、ソース信号線に入力される。

【0029】上記動作を繰り返し、画像を表示を行う。

【0030】

【発明が解決しようとする課題】ここで、一般的なアクティブマトリクス型液晶表示装置においては、動画の表示をスムーズに行うため、1秒間に60回前後、画面表

示の更新が行われる。すなわち、上記で説明した動作方法によって、1フレーム期間毎にデジタル映像信号を供給し、その都度、全ての画素への書き込みを行う必要がある。たとえ、表示する映像が静止画像であったとしても、1フレーム期間毎に同一の信号を供給しつづけないといけないため、外部回路、駆動回路などは連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

【0031】静止画のデジタル映像信号を一度、外部の記憶回路に書き込み、以後は1フレーム期間毎に外部の記憶回路から液晶表示装置にデジタル映像信号を供給する方法もあるが、いずれの場合にも外部の記憶回路と駆動回路は動作し続ける必要がある。

【0032】特に携帯情報機器においては、低消費電力化が待望されている。携帯情報機器においては、静止画を表示し続ける期間が大部分を占めているにもかかわらず、前述のように外部回路、駆動回路などは静止画表示の際にも動作し続けなければならない。そのため、低消費電力化への足かせとなっている。

【0033】また、液晶表示装置では、液晶素子の高速応答性がそれほど要求されない駆動方法が望ましい。

【0034】更に、画素を構成するTFT等の素子を介して画像を視認する液晶表示装置（透過型液晶表示装置）の場合、各画素が有する素子が占める面積を小さくし、開口率を上げることが望まれる。

【0035】そこで本発明は、低消費電力化可能で、液晶素子の高速応答性を必要とせず、開口率の高い液晶表示装置及びその駆動方法を提供することを課題とする。

【0036】

【課題を解決するための手段】本発明の液晶表示装置では、各画素毎に複数の記憶回路を有する。また、複数の画素毎に、1つのD/A変換回路を有する。

【0037】上記構成の画素では、複数の記憶回路によって、デジタル映像信号を記憶することができる。記憶されたデジタル映像信号を、D/A変換回路によって対応するアナログ信号に変換することができる。このアナログ信号によって、各画素の輝度を変化させることができる。

【0038】本発明では、アナログの信号電圧を各画素の液晶素子に印加して階調を表現する。よって、1フレーム期間中に複数回、画素の液晶素子に信号電圧を入力する必要がないため、液晶素子の高速応答性はそれほど必要とされない。

【0039】次いで、本発明の表示装置の駆動方法について詳細に説明する。

【0040】本発明の液晶表示装置では、静止画表示の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同じである。よって、フレーム期間毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を、再度読み出すことによって静止画を継続的に表示

することができる。すなわち、静止画を表示する際は、最低、1フレーム期間分の信号の処理動作を行って以降は、外部回路、ソース信号線駆動回路などを停止させておくことが可能となる。これによって、電力消費を大きく低減することが可能である。

【0041】以上が、本発明の表示装置及びその駆動方法の基本的な説明である。

【0042】ここで、D/A変換回路は、複数の画素毎に1つ設けられている。そのため、D/A変換回路を、複数の画素で共有することになる。

【0043】つまり、D/A変換回路を共有する、複数の画素のうちの1つが選択される。そして、選択された画素に記憶されたデジタル映像信号が、D/A変換回路に入力される。D/A変換回路において、入力されたデジタル映像信号は、アナログ信号に変換される。こうして、選択された画素は、このアナログ信号によって輝度が変化する。

【0044】例えば、各画素が液晶素子を有する場合について説明する。

【0045】D/A変換回路を共有する、複数の画素のうちの1つが選択される。そして、選択された画素に記憶されたデジタル映像信号が、D/A変換回路に入力される。D/A変換回路において、入力されたデジタル映像信号は、アナログ信号に変換される。選択された画素の有する液晶素子に、このアナログ信号が入力される。こうして、画素の輝度を変化させる。

【0046】以下に、本発明の表示装置の構成について詳細に説明する。

【0047】なお説明を簡単にするため、まず、D/A変換回路を共有しない場合を例に、本発明の表示装置の基本的な動作について説明する。つまり、画素毎に、D/A変換回路が配置された例と用いて、説明を行う。

【0048】画素内に複数の記憶回路を配置し、画素毎にデジタル映像信号を記憶させる。

【0049】静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同じであるので、フレーム期間毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を、再度読み出すことによって静止画を継続的に表示することができる。すなわち、静止画を表示する際は、最低、1フレーム期間分の信号の処理動作を行って以降は、外部回路、ソース信号線駆動回路などを停止させておくことが可能となる。これによって、電力消費を大きく低減することが可能である。

【0050】この手法について、説明する。

【0051】この記憶回路を含む画素を有するアクティブマトリクス型表示装置構成の例について、図11のブロック図を用いて説明する。

【0052】図11において、表示装置は、画素部1318、ソース信号線駆動回路1311、ゲート信号線駆動回路1312、DAC（D/A変換回路）コントロー

ラ 1322 によって構成されている。

【0053】ソース信号線駆動回路 1311 には、スタートパルス、クロックパルス、デジタルデータ、ラッチパルスが入力されている。また、ゲート信号線駆動回路 1312 には、スタートパルス、クロックパルスが入力されている。DAC コントローラ 1322 には、参照電圧が入力されている。

【0054】ここで、ソース信号線駆動回路 1311 に注目し詳細に説明する。ソース信号線回路 1311 は、シフトレジスタ 1313、第 1 のラッチ回路 1314、第 2 のラッチ回路 1315、スイッチ 1317 によって構成されている。

【0055】ソース信号線駆動回路 1311 は、図 12 に示すような構成を有している。図 12 に例として示すソース信号線駆動回路は、水平方向に x 個の画素を持ち、3 ビットのデジタル映像信号を入力し階調の表示を行う（以下、3 ビットデジタル階調と呼ぶ）表示装置に対応したソース信号線駆動回路である。

【0056】このソース信号線駆動回路は、シフトレジスタ回路 (SR) 201、第 1 のラッチ回路 (LAT 201) 202、第 2 のラッチ回路 (LAT 2) 203、スイッチ 204 等を有する。なお、図 12 では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【0057】図 11 および図 12 を用いて、ソース信号線駆動回路の動作について簡単に説明する。まず、シフトレジスタ回路 1313（図 12 中、SR と表記）にクロック信号（クロックパルス、反転クロックパルス）およびスタートパルスが入力される。すると、シフトレジスタ回路 1313 から順次パルスが、第 1 のラッチ回路 1314（図 12 中、LAT 1 と表記）に入力され、同じく第 1 のラッチ回路 1314 に入力されたデジタル映像信号（デジタルデータ）をそれぞれ保持していく。ここで、シフトレジスタ回路 1313 から第 1 のラッチ回路 1314 に入力されるパルスをサンプリングパルスとよぶことにする。

【0058】ここで、D3 がデジタル映像信号の最上位ビット (MSB: Most Significant Bit)、D1 がデジタル映像信号の最下位ビット (LSB: Least Significant Bit) を表す。第 1 のラッチ回路 1314 において、1 水平周期分のデジタルデータの保持が完了すると、帰線期間中に、第 1 のラッチ回路 1314 で保持されているデジタル映像信号は、ラッチ信号（ラッチパルス）の入力によって、一斉に第 2 のラッチ回路 1315（図 12 中、LAT 2 と表記）へと転送される。

【0059】その後、再びシフトレジスタ回路 1313 が動作し、次の水平周期分のデジタルデータの保持が開始される。同時に、第 2 のラッチ回路 1315 で保持されているデジタルデータは、スイッチ 1317（図 12 中、SW と表記）において、ビット選択信号によって各

ビット毎に選択され、ソース信号線（図 12 中、S1 ~ Sx と表記）に入力される。そして、各画素に書き込まれる。

【0060】図 10 は、図 12 より信号が入力される画素の回路構成を詳細に示したものである。この画素は、3 ビットデジタル階調に対応したものであり、液晶素子 (LC)、保持容量（容量素子: Cs）、記憶回路 (M: 105 ~ 107) 及び D/A 変換回路 (DAC: 111) 等を有している。101 はソース信号線、102 ~ 104 は書き込み用ゲート信号線、108 ~ 110 は書き込み用 TFT である。ここで、ソース信号線 101 は、図 12 におけるソース信号線 S1 ~ Sx のうちのいずれか 1 本に相当する。

【0061】なお、この表示装置の画素は、水平方向に x 個、垂直方向に y 個がマトリクス状に配置されているものとする。ここでは、第 1 行目の画素の 3 本の書き込み用ゲート信号線を 102 - L1、103 - L1、104 - L1 とする。第 y 行目の画素の 3 本の書き込み用ゲート信号線は 102 - Ly、103 - Ly、104 - Ly である。また、第 1 行目の画素の 3 つの書き込み用 TFT を 108 - L1、109 - L1、110 - L1 とする。第 y 行目の画素の 3 つの書き込み用 TFT は 108 - Ly、109 - Ly、110 - Ly である。

【0062】図 13 は、図 10、図 11、図 12 に示した液晶表示装置の駆動方法を示したタイミングチャートである。図 10 ~ 図 13 を用いて、駆動方法について説明する。

【0063】ソース信号線駆動回路において、シフトレジスタ回路 201 から出力されるサンプリングパルスに従い、デジタル映像信号の保持が行われる（デジタルデータサンプリング）。

【0064】その後、帰線期間の間に、ラッチパルスが入力され、第 2 のラッチ回路 203 に転送されたデジタル映像信号（デジタルデータ）は、ソース信号線 S1 ~ Sx に入力される。

【0065】ここで、1 水平期間は、1 ビット目書き込み期間、2 ビット目書き込み期間、3 ビット目書き込み期間の、3 つの期間に分けられる。

【0066】ここで、スイッチ 204 においてビット選択信号が入力され、1 ビット目書き込み期間において、デジタルデータ D3 の信号が、ソース信号線 S1 ~ Sx に入力される。この時、書き込み用ゲート信号線 102 - L1 に信号が入力され、この書き込み用ゲート信号線 102 - L1 に接続された書き込み用 TFT 108 - L1 が導通状態となっている。こうして 1 ビット目の信号 D3 が記憶回路 (M) 105 に書き込まれる。

【0067】次に、2 ビット目書き込み期間において、スイッチ 204 においてビット選択信号が入力され、デジタルデータ D2 の信号が、ソース信号線 S1 ~ Sx に入力される。この時、書き込み用ゲート信号線 103 -

L 1 に信号が入力され、この書き込み用ゲート信号線 103 - L 1 に接続された書き込み用 TFT 109 - L 1 が導通状態となっている。こうして 2 ビット目の信号 D 2 が記憶回路 (M) 106 に書き込まれる。

【0068】次に、3 ビット目書き込み期間において、スイッチ 204 においてビット選択信号が入力され、デジタルデータ D 1 の信号が、ソース信号線 S 1 ~ S x に入力される。この時、書き込み用ゲート信号線 103 - L 1 に信号が入力され、この書き込み用ゲート信号線 103 - L 1 に接続された書き込み用 TFT 109 - L 1 が導通状態となっている。こうして 3 ビット目の信号 D 1 が記憶回路 (M) 107 に書き込まれる。

【0069】以上で、1 水平期間分のデジタル映像信号の処理が終了する。

【0070】3 ビット目書き込み期間の帰線期間において、記憶回路 (M) 105 ~ 107 に書き込まれたデジタル映像信号は、DAC 111 によってアナログ信号に変換される。このデジタル / アナログ変換を行う期間を DAC 処理期間と呼ぶことにする。このアナログ信号が液晶素子 LC 及びコンデンサ Cs に入力される。このアナログ信号に応じて液晶素子 LC の透過率が変化し、階調を表現する。ここでは、3 ビットのデジタル映像信号を用いているから、輝度は 0 ~ 7 までの 8 段階が得られる。

【0071】以上の動作を全ての画素行について行うことにより、1 フレーム分の画像が各画素に記憶される。また、画像の表示を行う。

【0072】上記の動作を繰り返して、映像の表示が継続的に行われる。

【0073】ここで、静止画を表示する場合には、最初の動作で各画素の記憶回路 105 ~ 107 にいったんデジタル映像信号が記憶されてからは、各フレーム期間で記憶回路 105 ~ 107 に記憶されたデジタル映像信号を、DAC コントローラ 1322 によって反復して読み出せば良い。したがって、この静止画が表示されている期間中は、ソース信号線駆動回路の動作を停止させることが出来る。

【0074】なおここでは、1 画素内に 3 つの記憶回路を有し、3 ビットのデジタル映像信号を 1 フレーム分だけ記憶する機能を有する表示装置について示したが、この記憶回路の数に限定しない。つまり、 n (n は 2 以上の自然数) ビットのデジタル映像信号を m (m は、自然数) フレーム分だけ記憶するには、1 画素内に $n \times m$ 個の記憶回路を有していれば良い。

【0075】以上の方法により、画素内に配置された記憶回路を用いて、デジタル映像信号の記憶を行う。そして、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用いる。こうして、外部回路、ソース信号線駆動回路などを駆動することなく、継続的に静止画表示が可能となる。よって、液

晶表示装置の低消費電力化に大きく貢献することが出来る。

【0076】以上が、本発明の基本的な構成である。説明のため各画素毎に D / A 変換回路を配置した画素について示したが、このような構成の画素では以下の問題がある。

【0077】画素毎に、記憶回路と D / A 変換回路 (DAC) を配置する場合、画素において DAC を構成する素子が占める面積が大きくなる。そのため、画素の中で記憶回路の占める面積が制限されるという問題がある。よって、1 画素あたりで記憶することのできるビット数を増やすことが困難となる。

【0078】そのため、入力するデジタル信号の情報量を大きくし高階調化することや、多くのフレーム期間分の信号を記憶することが困難である。

【0079】そこで本発明では、画素毎に記憶回路を有する液晶表示装置で、画素部がデジタル信号をアナログ変換する機能を持ったもので、1 画素中で D / A 変換回路の占める割合が小さな液晶表示装置を提供するため、複数の画素毎に、1 つの D / A 変換回路を共有する。

【0080】本発明の液晶表示装置では、画素毎に記憶回路を配置し、D / A 変換回路を複数の画素で共有することを特徴とする。これによって、低消費電力化可能で、液晶素子の高速応答性を必要とせず、開口率の高い液晶表示装置及びその駆動方法を提供することが出来る。

【0081】また、多くのビット数に対応する記憶回路を配置することが可能な液晶表示装置及びその駆動方法が提供される。

【0082】以下に、本発明の液晶表示装置の構成について記載する。

【0083】本発明によって、 n (n は 2 以上の自然数) ビットのデジタル映像信号を入力して映像の表示を行う液晶表示装置において、前記画素部は、複数の画素を有し、前記複数の画素はそれぞれ $n \times m$ 個 (m は自然数) の記憶回路と、コンデンサと、液晶素子とを有し、前記複数の画素は、 k 個ずつ (k は n 以下 2 以上の自然数) のブロックに分けられ、前記ブロックはそれぞれ、D / A 変換回路を有することを特徴とする液晶表示装置が提供される。

【0084】本発明によって、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を入力して映像の表示を行う液晶表示装置において、ソース信号線駆動回路と、ゲート信号線駆動回路と、DAC コントローラと、画素部とを有し、前記画素部は、複数の画素を有し、前記複数の画素はそれぞれ $n \times m$ 個 (m は自然数) の記憶回路と、コンデンサと、液晶素子とを有し、最大 m フレーム分のデジタル映像信号を記憶し、前記複数の画素は、 k 個ずつ (k は自然数、 $k \geq 2$) のブロックに分けられ、前記ブロックはそれぞれ、D / A 変換回路を有すること

を特徴とする液晶表示装置が提供される。

【0085】前記ブロックの前記 D/A 変換回路において、前記 k 個の画素のうちの 1 つ画素 i の前記記憶回路に記憶された前記 n ビットのデジタル映像信号を入力し、アナログ信号に変換し、前記画素 i が有する前記コンデンサ及び前記液晶素子に、前記アナログ信号を入力することを特徴とする液晶表示装置の駆動方法が提供される。

【0086】前記ブロックの前記 D/A 変換回路において、前記 k 個の画素のうちの 1 つ画素 i の前記記憶回路に記憶された前記 n ビットのデジタル映像信号を入力し、アナログ信号に変換し、前記画素 i が有する前記コンデンサ及び前記液晶素子に、前記アナログ信号を入力する動作を、前記ブロックに含まれる前記 k 個の画素全てについて、連続して行うことを特徴とする液晶表示装置の駆動方法が提供される。

【0087】静止画像の表示期間においては、前記記憶回路に記憶された前記 n ビットのデジタル映像信号を、前記 DAC コントローラによって繰り返し読み出して静止画像の表示を行うことにより、前記ソース信号線駆動回路の動作を停止することを特徴とする液晶表示装置の駆動方法が提供される。

【0088】静止画像の表示期間においては、前記記憶回路に記憶された前記 n ビットのデジタル映像信号を、前記 DAC コントローラによって繰り返し読み出して静止画像の表示を行うことにより、前記ゲート信号線駆動回路の動作を停止することを特徴とする液晶表示装置の駆動方法が提供される。

【0089】静止画像の表示期間においては、前記記憶回路に記憶された前記 n ビットのデジタル映像信号を、前記 DAC コントローラによって繰り返し読み出して静止画像の表示を行うことにより、前記ソース信号線駆動回路の動作と前記ゲート信号線駆動回路の動作とを、停止することを特徴とする液晶表示装置の駆動方法が提供される。

【0090】前記ソース信号線駆動回路は、シフトレジスタ、第 1 のラッチ回路、第 2 のラッチ回路、スイッチを有し、前記シフトレジスタに入力されたスタートパルス、クロックパルス、反転クロックパルスによって、サンプリングパルスを出し、前記サンプリングパルスによって、前記第 1 のラッチ回路に、n ビットのデジタル映像信号が保持され、前記第 1 のラッチ回路に保持された前記 n ビットのデジタル映像信号が、前記ラッチパルスによって前記第 2 のラッチ回路に転送され、前記第 2 のラッチ回路に転送された前記 n ビットのデジタル映像信号は、前記スイッチを介してソース信号線に出力され、前記ソース信号線に出力された前記 n ビットのデジタル映像信号を前記記憶回路に記憶することを特徴とする液晶表示装置の駆動方法が提供される。

【0091】前記ソース信号線駆動回路は、前記記憶回

路に、前記 n ビットのデジタル映像信号を、ビット毎に順次入力することを特徴とする液晶表示装置の駆動方法が提供される。

【0092】前記ソース信号線駆動回路は、x アドレスデコーダを有し、前記記憶回路は、垂直ライン毎に選択的に書き換えが可能であることを特徴とする液晶表示装置の駆動方法が提供される。

【0093】前記ゲート信号線駆動回路は、y アドレスデコーダを有し、前記記憶回路は、水平ライン毎に選択的に書き換えが可能であることを特徴とする液晶表示装置の駆動方法が提供される。

【0094】前記ソース信号線駆動回路は、x アドレスデコーダを有し、前記ゲート信号線駆動回路は、y アドレスデコーダを有し、前記記憶回路は、任意の座標の画素において選択的に書き換えが可能であることを特徴とする液晶表示装置の駆動方法が提供される。

【0095】前記画素、ソース信号線駆動回路、ゲート信号線駆動回路、DAC コントローラは、同一基板上に形成されていることを特徴とする液晶表示装置であってもよい。

【0096】前記記憶回路はスタティック型メモリ (SRAM) であることを特徴とする液晶表示装置であってもよい。

【0097】前記記憶回路は強誘電体メモリ (FRAM) であることを特徴とする液晶表示装置であってもよい。

【0098】前記記憶回路はダイナミック型メモリ (DRAM) であることを特徴とする液晶表示装置であってもよい。

【0099】本発明の液晶表示装置を用いることを特徴とするテレビ、パーソナルコンピュータ、携帯端末、ビデオカメラ、ヘッドマウントディスプレイであってもよい。

【0100】

【発明の実施の形態】本発明の液晶表示装置の画素の構成について以下に説明する。

【0101】図 1 に、本発明の画素の構成を示した回路図を示す。

【0102】本発明の表示装置の画素はいくつかのブロックに分類され、それぞれのブロックが、1 つの D/A 変換回路 (図中、DAC と表記) を共有している。ここで図 1 では、k 個の画素によって構成されるブロック 10 に注目して、本発明の液晶表示装置の画素部の構成について説明する。ここで、k は 2 以上の自然数とする。

【0103】本実施の形態において、同一のブロックに含まれる画素は全て、画素部内の同一の水平ラインに配置されているとする。つまり、同一のブロックに含まれる画素の、同一のビットに対応する記憶回路を制御する書き込み用 TFT はすべて、同一のゲート信号線に接続されているとする。

【0104】例えば、図1(A)において、書き込み用TFT108は、デジタルデータの最上位ビットに対応する記憶回路105を制御する。書き込み用ゲート信号線102は、ブロック10に含まれる全ての画素100-1~100-kそれぞれの、書き込み用TFT108のゲート電極に接続されている。

【0105】なお、本実施の形態においては、1ブロック中のk個の画素を、100-1~100-kで表す。

【0106】また、図1(A)において、図10と同じ部分は同じ符号を用いて表す。各画素の記憶回路にデジタル信号を保持するまでの動作については、手段で示した動作と同じであるのでここでは説明は省略する。

【0107】ブロック10において、100-1~100-kまでの画素が、1つのDAC111を共有している。

【0108】画素100-1~100-kはそれぞれ、ソース信号線101、書き込み用ゲート信号線102~104、記憶回路(M)105~107、書き込み用TFT108~110、コンデンサCs及び液晶素子LCを有している。

【0109】ここでは、記憶回路105~107は、それぞれ1ビットの信号を記憶する記憶回路である。よって、画素100-1~100-kはそれぞれ、合計3ビットの信号を記憶することが可能である。なお、本発明は、合計3ビットの記憶回路をそれぞれ有する画素に限定されず、あらゆるビット数の信号を記憶する記憶回路を有する画素によって構成される液晶表示装置に適用することができる。

【0110】ここで、DAC111周辺112の拡大図を図1(B)に示す。記憶回路105~107に記憶されたデジタル信号を、アナログ信号に変換する動作について以下に説明する。

【0111】図1(B)において、各画素の記憶回路105~107からの信号は、それぞれの対応するビット毎にスイッチSW.1~SW.3において選択される。ここで、最下位ビットの信号に対応する記憶回路からの信号を選択するスイッチを、SW.1とし、最上位ビットに対応する記憶回路からの信号を選択するスイッチをSW.3とする。

【0112】各画素の記憶回路105~107に、3ビット分のデジタル信号が保持された後、第1番目の画素100-1の記憶回路105~107からの信号1-1、1-2、1-3が、スイッチSW.1~SW.3においてそれぞれ選択され、DAC111に入力される。この3ビットの信号は、DAC111によってアナログ信号に変換される。同時にスイッチSW.Aにおいて、端子A1が選択され、DAC111から出力されたアナログ信号は、画素100-1に対応する出力として、画素100-1のコンデンサCs及び液晶素子LCに入力される。こうして、第1の画素100-1に対応する信号

は処理される。

【0113】その後今度は、第2の画素100-2の記憶回路105~107からの信号2-1、2-2、2-3が、それぞれスイッチSW.1~SW.3において選択され、DAC111に入力される。この3ビットの信号はDAC111によってアナログ信号に変換される。同時にスイッチSW.Aにおいて、端子A2が選択される。こうして、DAC111から出力されたアナログ信号は、画素100-2に対応する出力として、画素100-2のコンデンサCs及び液晶素子LCに入力される。こうして、第2の画素100-2に対応する信号は処理される。

【0114】同様の操作を、DAC111を共有するk個の画素全てについて行う。こうして、全ての画素の記憶回路に記憶された信号をアナログ信号に変換することができる。

【0115】上記動作を全てのブロックに対して同様に行い、全ての画素に記憶されたデジタル信号をアナログ信号に変換することができる。なお、上記動作は、全てのブロックに対して同時に行うことも可能である。

【0116】本発明は、上記構成によって、複数の画素においてDACを共有することができる。たとえば、k個の画素においてDACを共有した場合、共有しない場合と比較して、1画素辺りでDACの占める面積を約1/kとすることができる。こうして、画素内部でDACの占める面積を小さくすることが可能であり、その分、記憶回路を多く配置することができる。

【0117】

【実施例】以下に本発明の実施例について説明する。

【0118】[実施例1]本実施例においては、実施の形態において示した回路におけるDAC周辺112を、具体的に示し、その動作について説明する。

【0119】図2(A)は、本発明の画素部の構成を示す回路図である。また、図2(B)は、図2(A)におけるDAC周辺112の構成例である。なお、図2において、図1と同じ部分は同じ符号を用いて示し、説明は省略する。

【0120】なお、図2では、3ビットデジタル階調の表示装置に対応した画素を示したが、これに限らず、任意のビット数の記憶回路を有する画素によって構成される液晶表示装置に対して本実施例を応用することができる。

【0121】図2(A)において、各画素の記憶回路にデジタル信号が入力されるまでの手法は、図11~図13において示した手法と同様である。

【0122】DAC周辺112の動作について、図2及び図4のタイミングチャートを用いて、以下に説明する。

【0123】まず、各画素の各記憶回路に、デジタルデータを保持するまでの動作について説明する。

【0124】ソース信号線駆動回路において、シフトレジスタ回路から出力されるサンプリングパルスに従い、水平周期分のデジタル映像信号の保持が行われる（デジタルデータサンプリング）。

【0125】その後、帰線期間の間に、ラッチパルスが入力され、第2のラッチ回路に転送されたデジタル映像信号（デジタルデータ）は、ソース信号線に入力される。

【0126】ここで、1水平期間は、1ビット目書き込み期間、2ビット目書き込み期間、3ビット目書き込み期間の、3つの期間に分けられる。

【0127】ここで、1ビット目書き込み期間において、デジタルデータD3の信号が、ビット選択信号によって、ソース信号線に入力される。この時、書き込み用ゲート信号線102-L1に信号が入力され、この書き込み用ゲート信号線に接続された書き込み用TFT108-L1が導通状態となっている。こうして1ビット目の信号D3が記憶回路(M)105に書き込まれる。

【0128】次に、2ビット目書き込み期間において、デジタルデータD2の信号が、ビット選択信号によって、ソース信号線に入力される。この時、書き込み用ゲート信号線103-L1に信号が入力され、この書き込み用ゲート信号線に接続された書き込み用TFT109-L1が導通状態となっている。こうして2ビット目の信号D2が記憶回路(M)106に書き込まれる。

【0129】次に、3ビット目書き込み期間において、デジタルデータD1の信号が、ビット選択信号によって、ソース信号線に入力される。この時、書き込み用ゲート信号線103-L1に信号が入力され、この書き込み用ゲート信号線に接続された書き込み用TFT109-L1が導通状態となっている。こうして3ビット目の信号D1が記憶回路(M)107に書き込まれる。

【0130】書き込まれたデジタル映像信号は、3ビット目書き込み期間の後から次の水平期間のDAC処理期間までの期間を利用して、DAC111においてアナログ信号に変換される（DAC処理期間）。

【0131】なお、デジタル信号を書き込むための期間を短くし、つまり、ソース信号線駆動回路のシフトレジスタのサンプリングをはやくしてもよい。こうして、シフトレジスタの帰線期間を長くとってもよい。

【0132】このDAC処理期間の動作について以下に説明する。

【0133】図2(B)において、SW.1~SW.3及びSW.Aは、TFT及びアドレス線ad.1~ad.kによって構成される。アドレス線ad.1~ad.kは、それぞれ、画素100-1~100-kからDAC111への入力及び、DAC111から画素100-1~100-kへの出力を選択する際に用いる。

【0134】アドレス線ad.1に信号が入力され、アドレス線ad.1にゲート電極が接続されたTFTは、

導通状態となる。ここで、アドレス線が選択されているとは、そのアドレス線にゲート電極が接続されたTFTが導通状態にあることをいうとする。

【0135】なお、図4のタイミングチャートにおいて、アドレス線に接続されたTFTは、すべてnチャネル型TFTである場合の動作を示すが、これらのTFTは、pチャネル型TFTでもnチャネル型TFTでも、どちらを用いても構わない。ただし、同一のアドレス線に接続されているTFTの極性は同じである必要がある。

【0136】なお、アドレス線ad.1が選択されている時、その他のアドレス線ad.2~ad.kは選択されていないものとする。

【0137】アドレス線ad.1にゲート電極が接続され、導通状態となったTFTを介して、選択した画素の記憶回路からの信号がDAC111に入力され、アナログ信号に変換されて、選択した画素のコンデンサCs及び液晶素子LCに入力される。この入力されたアナログ信号に応じて、液晶素子LCの透過率が変化し、輝度が表現される。ここでは、3ビットであるから、輝度は0~7までの8段階が得られる。

【0138】次に、アドレス線ad.2が選択され、その他のアドレス線ad.1、ad.3~ad.kは、非選択の状態となる。このとき、アドレス線ad.2にゲート電極が接続されたTFTを介して、選択した画素の記憶回路からの信号がDAC111に入力され、アナログ信号に変換されて、選択した画素のコンデンサCs及び液晶素子LCに入力される。この入力されたアナログ信号に応じて、液晶素子LCの透過率が変化し、輝度が表現される。ここでは、3ビットであるから、輝度は0~7までの8段階を表現することができる。

【0139】同様の動作を、全てのアドレス線について繰り返し、ブロック10の100-1~100-kの全ての画素の記憶回路に記憶されたデジタル信号は、アナログ信号に変換され、この変換されたアナログ信号を用いて液晶素子は輝度を表現する。

【0140】ここで、DACの具体的な構成を図14に示す。なお、図14中in1~in3及びoutの端子は、図2(B)中のin1~in3及びoutの端子に対応する。

【0141】図14において、DACは、NAND回路441~443、インバータ444~446及び451、スイッチ447a~449a、スイッチ447b~449b、スイッチ450、コンデンサC1~C3、リセット用信号線452、低圧側階調電源線453、高圧側階調電源線454、中間圧側階調電源線455によって構成されている。

【0142】まず始めに、リセット用信号線452に入力された信号resによって、スイッチ450が導通状態になり、容量C1~C3の、out端子に接続された

側（以下、対向電極側とよぶ）の電位は、中間圧側階調電源線455の電位 V_M に固定されている。また、高圧側階調電源線454の電位は、低圧側階調電源線453の電位 V_L と等しく設定されている。このとき、 $in1 \sim in3$ にデジタルの信号が入力されても、容量 $C1 \sim C3$ には、信号は書き込まれない。

【0143】この後、リセット用信号線452の信号 res が変化し、スイッチ450がオフとなって、容量 $C1 \sim C3$ の out 端子側の電位の固定が解除される。次に、高圧側階調電源線454の電位が、低圧側階調電源線453の電位 V_L と異なる値 V_H に変化する。この時端子 $in1 \sim in3$ に入力された信号に応じて、NAND回路441～443の出力が変化し、スイッチ447～449のそれぞれにおいて、2つのスイッチのどちらかがオンの状態となって、高圧側階調電源線の電位 V_H もしくは低圧側階調電源線 V_L の電位が、容量 $C1 \sim C3$ の電極に印加される。

【0144】ここで、この容量 $C1 \sim C3$ の値は、各ビットに対応して設定されている。

【0145】この容量 $C1 \sim C3$ に印加された電圧によって対抗電極側の電圧が変化し、出力の電圧が変化する。つまり、入力された $in1 \sim in3$ のデジタル信号に応じたアナログの信号が out 端子より出力される。

【0146】上記の構成のDACでは、基準電位を、容量 $C1 \sim C3$ で分割することによって多様な階調を表現することができる。

【0147】この様な容量分割方式のDACは、AMLCD99 Digest of Technical Papers p29～32に記載してある。

【0148】なお、ここでは3ビットデジタル信号をアナログ信号に変換するDACについて説明したが、異なるビット数のデジタル信号をアナログ信号に変換するDACについても、応用することができる。

【0149】また、本発明の表示装置のDACの構成としては、上記構造に限らず公知の構造のDACを自由に用いることができる。例えば、抵抗を用いて基準電圧を分割する、抵抗分割方式のDACを用いることもできる。

【0150】次いで、上述した図14の構成のDACを用いる場合の、各DAC処理期間の動作について、図4を用いて説明する。また説明には、図14の符号も用いる。

【0151】各DAC処理期間において、アドレス線 $ad.1 \sim ad.k$ が選択される毎に、以下の動作を行う。

【0152】リセット信号線452に信号 res が入力される。また、その後、高圧側階調線454の電位が V_H に変化する。こうしてDACに入力されたデジタル映像信号は、アナログ信号に変換される。

【0153】ここで、リセット信号線452や、高圧側階調線454には、DACコントローラより信号が入力

される。

【0154】前記動作を、全てのブロックについて行い、全ての画素の記憶回路に記憶されたデジタル信号をアナログ信号に変換する。

【0155】ここで、全てのブロックが有する画素のデジタル信号をできるだけ効率よくアナログ信号に変換するには、これらのブロックを構成する画素の数は、全て同じであるのが望ましい。

【0156】また、スイッチ $SW.1 \sim SW.3$ 及びスイッチ $SW.A$ の構成は、図2(B)で示した構成に限らず、さまざまな構成のスイッチを自由に用いることができる。

【0157】静止画表示中において、一度各画素の有する記憶回路にデジタル信号を書き込めば、前述したDACの動作によって、各画素に記憶されたデジタル信号をアナログ信号に変換し、画像の表示を行うことができる。この際、ソース信号線駆動回路や、ゲート信号線駆動回路、また、その他外部回路等は、動作を停止することができる。このとき、画素部の各ブロックのDACの動作を制御するDACコントローラのみ動作していればよい。

【0158】こうして、1画素あたりでDACの占める面積が少なく、低消費電力の液晶表示装置が提供される。

【0159】[実施例2]本実施例では、実施の形態や、実施例1とは異なる手法でDACを共有する画素の構成について説明する。

【0160】図3を用いて、本実施例の画素の構成について説明する。なお、図1や図2と同じ部分は同じ符号を用いて示し説明は省略する。

【0161】なお、図3では、3ビットデジタル階調の表示装置に対応した画素を示したが、これに限らず、任意のビット数の記憶回路を有する画素によって構成される液晶表示装置に対して本実施例を応用することができる。

【0162】図3において、複数の画素200-1～200-kが1つのDAC111を共有している。ここで、DAC111の構成は、実施例1と同様の構造を用いることができる。各画素は、それぞれ記憶回路105～107、ソース信号線101、書き込み用ゲート信号線102～104、書き込み用TFT108～110、液晶素子LC、コンデンサCsとを有する。

【0163】本実施例において、ブロック20に含まれる画素はすべて、同じソース信号線に接続された書き込み用TFTを有している。つまり、ブロック20に含まれる画素は、本発明の表示装置の画素部内で、垂直方向に配置されているとする。つまり、ブロック20に含まれる全ての画素は、同じ列内に接続されている。

【0164】このような構成の画素部を有する表示装置の駆動方法について、図5のタイミングチャートを用い

て説明する。なお、実施例1で図2及び図4のタイミングチャートで示した構成と同じ部分は、同じ符号を用いて表し説明は省略する。

【0165】また、DACの構成としては、図14で示した構成のDACを用いる場合の動作を表すタイミングチャートを示すが、本発明の液晶表示装置のDACは、図14の構成のDACに限定されず、公知の構成のDACを自由に用いることができる。

【0166】まず、各画素の各記憶回路に、デジタルデータを保持するまでの動作について説明する。

【0167】ソース信号線駆動回路において、シフトレジスタ回路から出力されるサンプリングパルスに従い、水平周期分のデジタル映像信号の保持が行われる（デジタルデータサンプリング）。

【0168】その後、帰線期間の間に、ラッチパルスが入力され、第2のラッチ回路に転送されたデジタル映像信号（デジタルデータ）は、ソース信号線に入力される。

【0169】ここで、1水平期間は、1ビット目書き込み期間、2ビット目書き込み期間、3ビット目書き込み期間の、3つの期間に分けられる。

【0170】ここで、1ビット目書き込み期間において、デジタルデータD3の信号が、ビット選択信号によって、ソース信号線に入力される。この時、書き込み用ゲート信号線102-L1に信号が入力され、この書き込み用ゲート信号線に接続された書き込み用TFT108-L1が導通状態となっている。こうして1ビット目の信号D3が記憶回路(M)105に書き込まれる。

【0171】次に、2ビット目書き込み期間において、デジタルデータD2の信号が、ビット選択信号によって、ソース信号線に入力される。この時、書き込み用ゲート信号線103-L1に信号が入力され、この書き込み用ゲート信号線に接続された書き込み用TFT109-L1が導通状態となっている。こうして2ビット目の信号D2が記憶回路(M)106に書き込まれる。

【0172】次に、3ビット目書き込み期間において、デジタルデータD1の信号が、ビット選択信号によって、ソース信号線に入力される。この時、書き込み用ゲート信号線103-L1に信号が入力され、この書き込み用ゲート信号線に接続された書き込み用TFT109-L1が導通状態となっている。こうして3ビット目の信号D1が記憶回路(M)107に書き込まれる。

【0173】書き込まれたデジタル映像信号は、3ビット目書き込み期間から次の水平期間のDAC処理期間までの期間を利用して、DAC111においてアナログ信号に変換される（DAC処理期間）。

【0174】このDAC処理期間の動作について以下に説明する。

【0175】図3(B)において、SW.1~SW.3及びSW.Aは、図2(B)と同様に、TFT及びアドレ

ス線ad.1~ad.kによって構成することができる。アドレス線ad.1~ad.kは、それぞれ、画素200-1~200-kからDAC111への入力及び、DAC111から画素200-1~200-kへの出力を選択する際に用いる。

【0176】なお、図5のタイミングチャートにおいて、アドレス線に接続されたTFTは、すべてnチャネル型TFTである場合の動作を示すが、これらのTFTは、pチャネル型TFTでもnチャネル型TFTでも、どちらを用いても構わない。ただし、同一のアドレス線に接続されているTFTの極性は同じである必要がある。

【0177】なお、アドレス線ad.1が選択されている時、その他のアドレス線ad.2~ad.kは選択されていないものとする。

【0178】第1の水平期間(L1)が終了すると、アドレス線ad.1にゲート電極が接続され、導通状態となったTFTを介して、選択した画素の記憶回路からの信号がDAC111に入力される。

【0179】ここでリセット信号線452に信号resが入力される。また、その後、高圧側階調線454の電位が V_H に変化する。こうしてDACに入力されたデジタル映像信号は、アナログ信号に変換される。このアナログ信号は、選択した画素のコンデンサCs及び液晶素子LCに入力される。この入力されたアナログ信号に応じて、液晶素子LCの透過率が変化し、輝度が表現される。

【0180】次に、第2の水平期間(L2)が終了すると、アドレス線ad.2が選択され、その他のアドレス線ad.1、ad.3~ad.kは、非選択の状態となる。このとき、アドレス線ad.2にゲート電極が接続されたTFTを介して、選択した画素の記憶回路からの信号がDAC111に入力される。

【0181】ここでリセット信号線452に信号resが入力される。また、その後、高圧側階調線454の電位が V_H に変化する。こうしてDACに入力されたデジタル映像信号は、アナログ信号に変換される。このアナログ信号は、選択した画素のコンデンサCs及び液晶素子LCに入力される。この入力されたアナログ信号に応じて、液晶素子LCの透過率が変化し、輝度が表現される。ここでは、3ビットであるから、輝度は0~7までの8段階を表現することができる。

【0182】同様の動作を、複数の水平期間について繰り返し、全てのアドレス線について行う。こうして、ブロック20の200-1~200-kの全ての画素の記憶回路に記憶されたデジタル信号は、アナログ信号に変換され、この変換されたアナログ信号を用いて液晶素子は輝度を表現する。

【0183】上記動作を全てのブロックについて同様に行い、全ての画素において保持されたデジタルデータを

アナログ信号に変換する。

【0184】本実施例におけるDACの共有の方法では、1行(1水平期間)において1つのDACを選択するのみでよい。そのため、スイッチSW.1~SW.3及びSW.Aの切り換えを、1水平期間のDAC処理期間において複数回行う必要が無いため、これらの選択のための動作を高速で行う必要が無い。

【0185】[実施例3]本実施例では、実施例1や実施例2において、図14で示したものと異なる構造のDACの例を示す。図15に、その回路図を示す。

【0186】なお、図中、端子in1~in3は、3ビットのデジタル信号のそれぞれの信号に対応する入力に対応し、端子outは、アナログ変換後の信号を出力する出力端子に対応する。

【0187】図15において、DACは、インバータ551~553、TFT554a~559a、TFT554b~559b、TFT560、容量C1~C3、低圧側階調電源線561、高圧側階調電源線562、反転リセット信号線563、リセット信号線564、中間圧側階調電源線565によって構成されている。なお、反転

リセット用信号線の信号res-bとリセット信号resとは、極性が逆の信号である。

【0188】ここで、TFT554a~556a、TFT554b~556b、TFT565は、nチャネル型TFTでもpチャネル型TFTでもどちらでも構わないが、同じリセット信号線、同じ反転リセット信号線に接続されたものは、同じ極性を有する必要がある。また、TFT557a~559a、及びTFT557b~559bは、nチャネル型TFTでもpチャネル型TFTでもどちらでも構わないが、同じ極性を有する必要がある。

【0189】まず始めに、リセット用信号線564に入力された信号resによって、TFT560が導通状態になり、容量C1~C3の、out端子に接続された側(以下、対向電極側とよぶ)の電位は、中間圧側階調電源線565の電位 V_m に固定されている。また、同時に、TFT554a~556aが導通状態となり、TFT554b~556bが非導通状態となって、低圧側階調電源線561の電位 V_L が、容量C1~C3のout端子とは逆の電極に印加されている。このとき、in1

~in3にデジタルの信号が入力されても、容量C1~C3には、信号は書き込まれない。

【0190】この後、リセット用信号線564の信号resが変化し、スイッチ450がオフとなって、容量C1~C3のout端子側の電位の固定が解除される。同時に、TFT554b~556bを介して、高圧側階調電源線562の電位 V_H が、TFT557a~559aのソース領域もしくはドレイン領域に入力される。一方、低圧側階調電源線561の電位 V_L は、TFT557b~559bのソース領域もしくはドレイン領域に入

力される。

【0191】この時端子in1~in3に入力された信号に応じて、TFT557a~559a及び、TFT557b~559bの導通もしくは非導通状態が選択され、高圧側階調電源線562の電位 V_H もしくは低圧側階調電源線561の電位 V_L が、容量C1~C3の電極に印加される。

【0192】ここで、この容量C1~C3の値は、各ビットに対応して設定されている。

【0193】この容量C1~C3に印加された電圧によって対抗電極側の電圧が変化し、出力の電圧が変化する。つまり、入力されたin1~in3のデジタル信号に応じたアナログの信号がout端子より出力される。

【0194】上記の構成のDACでは、基準電位を、容量C1~C3で分割することによって多様な階調を表現することができる。

【0195】この様な容量分割方式のDACは、AMLCD9 9 Digest of Technical Papers p29~32に記載してある。

【0196】なお、ここでは3ビットデジタル信号をアナログ信号に変換するDACについて説明したが、異なるビット数のデジタル信号をアナログ信号に変換するDACについても、応用することができる。

【0197】また、本発明の表示装置のDACの構成としては、上記構造に限らず公知の構造のDACを自由に用いることができる。たとえば、抵抗を用いて基準電圧を分割する、抵抗分割方式のDACを用いることもできる。

【0198】本実施例は、実施例1や実施例2と自由に組み合わせて実施することが可能である。

【0199】[実施例4]本実施例では、DACとして、複数の階調電圧線を選択する方式の例を、図16を用いて説明する。

【0200】なお、図中、端子in1~in3は、3ビットのデジタル信号のそれぞれの信号に対応する入力に対応し、端子outは、アナログ変換後の信号を出力する出力端子に対応する。

【0201】図16において、DACは、インバータ661~663、NAND回路664~671、スイッチTFT672~679、階調電圧線1~8によって構成されている。

【0202】ここで、スイッチTFT672~679は、pチャネル型TFTでも、nチャネル型TFTでもどちらでも構わないが、スイッチTFT672~679の極性は全て等しくする必要がある。

【0203】3ビットのデジタル映像信号を処理する場合、8本の階調電圧線があり、それぞれにスイッチTFTが接続されている。端子in1~端子in3の入力は、NAND回路664~671によって構成されるデコード681を介して、スイッチ680のスイッチTFT

T672~679を選択的に駆動する。こうして、in1~in3に入力されたデジタルデータに対応する階調電圧線が、1~8のうちより1本選択され、その選択された階調電圧線の電位が出力される。

【0204】なお、スイッチ680を用いる代わりに、トランスマッションゲートを用いても良い。

【0205】なお、ここでは3ビットデジタル信号をアナログ信号に変換するDACについて説明したが、異なるビット数のデジタル信号をアナログ信号に変換するDACについても、応用することができる。

【0206】また、本発明の表示装置のDACの構成としては、上記構造に限らず公知の構造のDACを自由に用いることができる。

【0207】本実施例は、実施例1や実施例2と自由に組み合わせて実施することが可能である。

【0208】[実施例5]本実施例では、実施例4において図16で示したDACとは異なる構造のものを用いた例を示す。図17に、その回路図を示す。

【0209】図17において、DACは、インバータ771~773、TFT774~797、階調電圧線1~8によって構成されている。

【0210】ここで、TFT774~797によってデコーダ兼用スイッチ798が構成されている。このデコーダ兼用スイッチ798を構成するTFT774~797は、nチャンネル型TFTでもpチャンネル型TFTでもどちらでも構わないが、極性は同じにする必要がある。

【0211】入力端子in1~in3より入力された信号は、デコーダ兼用スイッチ798において、その入力されたデジタル信号に応じて階調電圧線1~8のいずれか1本を選択する。この選択された階調電圧線の電位がアナログ信号として、out端子より出力される。

【0212】なお、本実施例のDACは、実施例4において図16で示したものと同様に、階調電圧線を選択する方式であるが、図16では、DACを構成する素子の数が多く、画素内で素子の占める面積が大きくなる。そのため、図17では、スイッチを直列接続し、デコーダとスイッチを兼ねて素子数を減らしている。

【0213】なお、ここでは3ビットデジタル信号をアナログ信号に変換するDACについて説明したが、異なるビット数のデジタル信号をアナログ信号に変換するDACについても、応用することができる。

【0214】また、本発明の表示装置のDACの構成としては、上記構造に限らず公知の構造のDACを自由に用いることができる。

【0215】本実施例は、実施例1や実施例2と自由に組み合わせて実施することが可能である。

【0216】[実施例6]本実施例においては、本発明の液晶表示装置の画素部の記憶回路への書き込みを、点順次で行うことにより、ソース信号線駆動回路の第2のラッチ回路を省略した例について説明する。

【0217】図19は、記憶回路を有する画素を用いた液晶表示装置における、ソース信号線駆動回路の構成を示したものである。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路501、ラッチ回路502を有する。

【0218】図20は、図19に示したソース信号線駆動回路からのソース信号線S1.1~Sx.1、ソース信号線S1.2~Sx.2、ソース信号線S1.3~Sx.3への出力が入力される画素の回路図である。

【0219】3ビットのデジタル信号によって階調を表現する表示装置に対応したものであり、記憶回路(M)605~607、書き込み用TFT608~610等を有している。記憶回路605~607に記憶された信号は、SW.1~SW.3に入力される。

【0220】ここで、図19において、ある1つの列の画素に信号を入力する3本のソース信号線S1.1、S1.2、S1.3は、図20において、それぞれ書き込み用ソース信号線601~603に対応する。

【0221】図29は、本実施例にて示した回路の駆動方法を示すタイミングチャートである。図20および図29を用いて説明する。

【0222】なお、シフトレジスタ回路501からラッチ回路(LAT1)502までの動作は実施形態や実施例1と同様に行われるので、ここでは説明は省略する。

【0223】図29に示すように、第1段目でのラッチ動作(デジタルデータサンプリング)が終了すると、直ちに画素の記憶回路への書き込みを開始する。書き込み用ゲート信号線604にパルスが入力され、書き込み用TFT608~610が導通し、記憶回路605~607への書き込みが可能な状態となる。ラッチ回路502に保持されたビット毎のデジタル映像信号は、3本のソース信号線601~603を経由して、同時に書き込まれる。

【0224】第1段目でラッチ回路に保持されたデジタル映像信号が、記憶回路へ書き込まれているとき、次段では続くサンプリングパルスに従って、ラッチ回路においてデジタル映像信号の保持が行われている。このようにして、順次記憶回路への書き込みが行われていく。

【0225】こうして、1画素行分のデジタル映像信号を出力し、1水平期間が終了する。1水平期間の帰線期間において、DAC処理期間が設けられている。

【0226】ここで、上記動作によって各画素の記憶回路に保持されたデジタル信号をアナログ信号に変換する際(DAC処理期間)の動作については、実施例1と同様であるので、図29中、図4と同じ符号を用いて表し、説明は省略する。

【0227】同様の動作を、全ての水平期間について繰り返す。

【0228】こうして、1フレーム目の表示期間が完了する。

【0229】図12にて示した回路と比較すると、ラッチ回路の数を1/2とすることが出来、回路配置の省スペース化による装置全体の小型化に貢献出来る。

【0230】本発明は、実施例1乃至実施例5と自由に組み合わせて実施することが可能である。

【0231】[実施例7]本実施例においては、実施例6にて示した、第2のラッチ回路を省略した液晶表示装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いた場合の例について説明する。

【0232】図22は、本実施例にて示す液晶表示装置のソース信号線駆動回路の回路構成例を示している。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路1701、ラッチ回路1702、スイッチ回路1703を有する。このソース信号線駆動回路からの信号はソース信号線S1.1~S1.x、ソース信号線S2.1~S2.x、ソース信号線S3.1~S3.xに入力される

【0233】画素の回路構成に関しては、実施例6のものと同様で良いので、図20を参照する。ここで、図22において、ある1つの列の画素に信号を入力する3本のソース信号線S1.1、S1.2、S1.3は、図20における、書き込み用ソース信号線601~603にそれぞれ対応する。

【0234】本実施例にて示した回路の駆動に関するタイミングチャートを、図21に示し、これを用いて説明する。

【0235】シフトレジスタ回路1701からサンプリングパルスが出力され、ラッチ回路1702で、サンプリングパルスに従ってデジタル映像信号を保持するまでの動作は、実施例6と同様である。本実施例では、ラッチ回路1702と画素1704内の記憶回路との間に、スイッチ回路1703を有しているため、ラッチ回路でのデジタル映像信号の保持が完了しても、直ちに各画素の記憶回路への書き込みが開始されない。デジタルデータサンプリング期間が終了するまでの間は、スイッチ回路1703は閉じたままであり、その間、ラッチ回路ではデジタル映像信号が保持され続ける。

【0236】1水平期間分のデジタル映像信号の保持が完了すると、その後の帰線期間中にラッチパルスが入力されてスイッチ回路1703が一斉に開き、ラッチ回路1702で保持されていたデジタル映像信号は一斉に、ソース信号線S1.1~S1.x、ソース信号線S2.1~S2.x、ソース信号線S3.1~S3.xに出力され、各画素の記憶回路に書き込まれる。

【0237】本実施例のソース信号線駆動回路の構成では、各3ビット分のデジタル映像信号を1画素行分、同時に入力する。こうして、画素の記憶回路に書き込みを行う。

【0238】このときの書き込み動作に関わる画素内の

動作については、実施例6と同様であるのでここでは説明は省略する。

【0239】また、各画素の記憶回路に保持されたデジタル信号をアナログ信号に変換する際(DAC処理期間)の動作については、実施例1と同様であるので、図21中、図4と同じ符号を用いて表し、説明は省略する。

【0240】以上の方法によって、ラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

【0241】本実施例は、実施例1乃至実施例5と自由に組み合わせて実施することが可能である。

【0242】[実施例8]本実施例では、図23に示す様に、ソース信号線駆動回路のラッチ回路を1ビット分のみ有する。図12等で示したソース信号線駆動回路に対して、ソース信号線駆動回路を3倍の速度で動作させ、1ライン期間中に、第1ビットデータ、第2ビットデータ、第3ビットデータの順にデータをソース信号線駆動回路に入力し、図12で示したソース信号線駆動回路と同様の効果を得る手法について説明する。

【0243】また、動作方法については、実施例1と同様に、図4のタイミングチャートを用いて説明する。

【0244】なお、実施例1では、1水平期間において、1回のみ、デジタルデータサンプリングと行っていた。その後、ビット選択信号によって、各ビットの信号を順に出力していた。しかし、本実施例では、デジタルデータサンプリングの動作は、1水平期間において、3回繰り返す必要がある。

【0245】図23において、ソース信号線駆動回路は、シフトレジスタ(図中、SRと表記)1201、第1のラッチ回路(図中、LAT1と表記)1202、第2のラッチ回路(図中、LAT2と表記)1203によって構成される。

【0246】シフトレジスタに入力されるクロックパルス及び反転クロックパルスの信号によって、第1のラッチ回路(LAT1)1202は、デジタルデータをサンプリングする。ここで、デジタルデータの1ビット目の信号を、第1のラッチ回路(LAT1)1202が保持する。その後、ラッチパルスが入力されて、デジタルデータの1ビット目の信号は、第2のラッチ(LAT2)1203に転送される。こうして、ソース信号線S1~Sxに出力される。こうして1ビット目の信号が各画素の記憶回路に記憶される(図中、1ビット目書き込み期間と表記)。

【0247】一方第1のラッチ回路(LAT1)1202では、1ビット目の信号が第2のラッチ回路の転送された後、次に2ビット目の信号のサンプリングが始まる。同様に2ビット目の信号が、ラッチパルスによって第2のラッチ回路に転送され、ソース信号線S1~Sxに出力される。こうして2ビット目の信号が各画素の記

憶回路に記憶される（図中、2ビット目書き込み期間と表記）。

【0248】一方第1のラッチ回路（LAT1）1202では、2ビット目の信号が第2のラッチ回路に転送された後、今度は3ビット目の信号のサンプリングが始まる。3ビット目の信号のサンプリングが終了し、第2のラッチ回路に信号が転送され、ソース信号線S1～Sxに出力される。こうして3ビット目の信号が各画素の記憶回路に記憶される（図中、3ビット目書き込み期間と表記）。

【0249】こうして、1水平期間が終了する。

【0250】一方第1のラッチ回路（LAT1）1202では、3ビット目の信号が第2のラッチ回路に転送された後、次の水平期間の1ビット目の信号のサンプリングが始まる。

【0251】ここで、3ビット目のサンプリングが終了した後、次の1ビット目のサンプリングが始まるまでのシフトレジスタの帰線期間に設けられたDAC処理期間において、画素の記憶回路に記憶されたデジタル信号は、アナログ信号に変換される。このDAC処理期間の動作については、実施例1と同様であるのでここでは説明は省略する。

【0252】この方式では、ソース信号線駆動回路に入力するデジタルデータを、予めビット順に並べた信号に変換するP/S（パラレル・シリアル）変換回路等を外部に設ける必要があるが、ソース信号線駆動回路自体は小さくすることができる。

【0253】本実施例は、実施例1や実施例2と自由に組み合わせて実施することが可能である。

【0254】[実施例9]本実施例では、本発明の液晶表示装置において、ゲート信号線（書き込み用ゲート信号線）1本単位での信号の書き換えを行う場合について説明する。

【0255】この場合は、ゲート信号線駆動回路としてアドレスデコーダを使うのが望ましい。ゲート信号線駆動回路としてアドレスデコーダを使用した例を図18に示す。

【0256】ここでは、図20に示したような、1画素あたり1本の書き込み用ゲート信号線を有する画素に、信号を出力するゲート信号線駆動回路について説明する。なお、これに限定されない。図1等に示したような、1画素あたり複数の書き込み用ゲート信号線を有する画素に、信号を出力するゲート信号線駆動回路にも、応用することができる。

【0257】図18において、ゲート信号線駆動回路1804は、アドレス線1800、NAND回路1801-1～1801-y、レベルシフタ（図中、LSと表記）1802、バッファ（図中、Buf.と表記）1803によって構成され、ゲート信号線G1～Gyに信号を出力している。

【0258】なお、アドレスデコーダとしては、特開平8-101609に開示された回路等を用いればよい。

【0259】また、ソース信号線駆動回路にアドレスデコーダ等を用いて、ソース信号線1本単位で部分書き換えを行うことも可能である。

【0260】本実施例は、実施例1乃至実施例8と自由に組み合わせて実施することが可能である。

【0261】[実施例10]本実施例では、本発明の液晶表示装置の画素部とその周辺に設けられる駆動回路部

（ソース信号線側駆動回路、ゲート信号線側駆動回路、DACコントローラ）のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0262】また、画素部に関しては、書き込み用TFTと、ソース信号線と、保持容量（容量素子）のみを示す。

【0263】まず、図24（A）に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。

【0264】例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10～200[nm]（好ましくは50～100[nm]）形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50～200[nm]（好ましくは100～150[nm]）の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0265】島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80[nm]（好ましくは30～60[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0266】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300[Hz]とし、レーザーエネルギー密度を100～400[mJ/cm²]（代表的には200～300[mJ/cm²])とする。また、YAGレーザ

ーを用いる場合にはその第2高調波を用いパルス発振周波数1~10[kHz]とし、レーザーエネルギー密度を300~600[mJ/cm²](代表的には350~500[mJ/cm²])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90[%]として行う。

【0267】次いで、島状半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40[Pa]、基板温度300~400[]とし、高周波(13.56[MHz])、電力密度0.5~0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500[]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0268】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100[nm]の厚さに形成し、第2の導電膜5009をWで100~300[nm]の厚さに形成する。

【0269】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくことα相のTa膜を容易に得ることが出来る。

【0270】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場

合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μΩcm]を実現することが出来る。

【0271】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせ等が挙げられる。

【0272】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0273】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。(図24(B))

【0274】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イ

オンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²] とし、加速電圧を $60 \sim 100$ [keV] としで行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5016がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5020が形成される。第1の不純物領域5017~5020には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³] の濃度範囲でn型を付与する不純物元素を添加する。 10 (図24(B))

【0275】次に、図24(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5021~5026(第1の導電層5021a~5026aと第2の導電層5021b~5026b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5021~5026で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。 20

【0276】W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₅、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、Fラジカル 30 またはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0277】そして、図25(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120$ [keV] とし、 1×10^{13} [atoms/cm²] のドーズ量で行い、図24(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5021~5026を不純物元素に対するマスクとして用い、第1の導電層5021a~5026aの下側の領域の半導 50

体層にも不純物元素が添加されるようにドーピングする。こうして、第2の不純物領域5027~5031が形成される。この第2の不純物領域5027~5031に添加されたリン(P)の濃度は、第1の導電層5021a~5026aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5021a~5026aのテーパ部と重なる半導体層において、第1の導電層5021a~5026aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0278】続いて、図25(B)に示すように第3のエッチング処理を行う。エッチングガスにCHF₃を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5021a~5026aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5032~5037(第1の導電層5032a~5037aと第2の導電層5032b~5037b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5032~5037で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0279】第3のエッチング処理によって、第2の不純物領域5027~5031においては、第1の導電層5032a~5037aと重なる第2の不純物領域5027a~5031aと、第1の不純物領域と第2の不純物領域との間の第3の不純物領域5027b~5031bとが形成される。

【0280】そして、図25(C)に示すように、Pチャネル型TFETを形成する島状半導体層5004に、第1の導電型とは逆の導電型の第4の不純物領域5039~5044を形成する。第3の形状の導電層5033bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する島状半導体層5003、5005、容量素子を形成する保持容量部5006および配線を形成する配線部5034はレジストマスク5038で全面を被覆しておく。不純物領域5039~5044にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドーブ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³] となるようにする。

【0281】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5032、5033、5035、5036がゲート電極として機能する。また、5034は島状のソース信号線として機能する。5037は容量配線として機能する。

【0282】レジストマスク5038を除去した後、導

電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400~700

[°C]、代表的には500~600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037~5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0283】さらに、3~100 [%]の水素を含む雰囲気中で、300~450 [°C]で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0284】次いで図26(A)に示すように、第1の層間絶縁膜5045を酸化窒化シリコン膜によって100~200 [nm]の厚さで形成する。その上に有機絶縁材料から成る第2の層間絶縁膜5046を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0285】そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線5047、5048、ドレイン領域とコンタクトを形成するドレイン配線5049を形成する。また、画素部において30は、接続電極5050、画素電極5051、5052を形成する(図26(A))。この接続電極5050により、ソース信号線5034は、書き込み用TFTと電気的な接続が形成される。

【0286】なお、本実施例では、書き込み用TFTは、ダブルゲート構造で示したが、シングルゲート構造やトリプルゲート構造でも構わないし、マルチゲート構造でも構わない。

【0287】以上のようにして、nチャネル型TFT、pチャネル型TFTを有する駆動回路部と、書き込み用TFT、保持容量(容量素子)を有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板をアクティブマトリクス基板と呼ぶ。

【0288】ブラックマスクを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部をソース信号線や書き込み用ゲート信号線と重なるように配置してもよい。

【0289】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚(島状半導体層パターン、第1配線パターン(ソ

ース信号線、容量配線)、pチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン(画素電極、接続電極含む))とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0290】続いて、図26(B)の状態のアクティブマトリクス基板を得た後、アクティブマトリクス基板上に配向膜5053を形成しラビング処理を行う。

【0291】一方、対向基板5054を用意する。対向基板5054にはカラーフィルター層5055~5057、オーバーコート層5058を形成する。カラーフィルター層はTFTの上方で赤色のカラーフィルター層5055と青色のカラーフィルター層5056とを重ねて形成し遮光膜を兼ねる構成とする。少なくともTFTと、接続電極と画素電極との間とを、遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルターと青色のカラーフィルターを重ねて配置することが好ましい。

【0292】また、接続電極5050に合わせて赤色のカラーフィルター層5055、青色のカラーフィルター層5056、緑色のカラーフィルター層5057とを重ね合わせてスペーサを形成する。各色のカラーフィルターはアクリル樹脂に顔料を混合したもので1~3 [μm]の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層5058の厚さ1~4 [μm]を考慮することにより2~7 [μm]、好ましくは4~6 [μm]とすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層5058は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【0293】スペーサの配置は任意に決定すれば良いが、例えば図26(B)で示すように接続電極上に位置が合うように対向基板5054上に配置すると良い。また、駆動回路部のTFT上にその位置を合わせてスペーサを対向基板5054上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。

【0294】オーバーコート層5058を形成した後、対向電極5059をパターンニング形成し、配向膜5060を形成した後ラビング処理を行う。

【0295】そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤5062で貼り合わせる。シール剤5062にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料5061を注入し、封止剤(図示せず)によって完全に封止する。液晶材料506

1には公知の液晶材料を用いれば良い。このようにして図26(B)に示すアクティブマトリクス型液晶表示装置が完成する。

【0296】なお、上記の行程により作成されるアクティブマトリクス型液晶表示装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本実施例は容易に適用され得る。

【0297】また、本実施例においては、ガラス基板上を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。

【0298】本実施例は、実施例1乃至実施例9と自由に組み合わせて実施することが可能である。

【0299】[実施例11]本発明の液晶表示装置は、その画素部に記憶回路を複数有するため、1つの画素を構成する素子の数が通常の画素よりも多くなる。よって、透過型の液晶表示装置の場合、開口率の低下による輝度不足が考えられることから、本発明は、反射型の液晶表示装置に適用されるのが望ましい。本実施例において、20

作製工程の一例を示す。
【0300】実施例9に従い、図27(A)に示すアクティブマトリクス基板(図26(A)と同様)を作製する。ただし、5051、5052は、画素電極ではない。

【0301】続いて、第3の層間絶縁膜5201として、樹脂膜を形成した後、画素の電極5051に達するコンタクトホールを開口する。こうして、反射電極(画素電極に相当する)5202を形成し、電極5051と電氣的に接続する。反射電極5202としては、Al、30 Agを主成分とする膜、あるいはそれらの積層膜等の、反射性に優れた材料を用いることが望ましい。

【0302】一方、対向基板5054を用意する。対向基板5054には、対向電極5205が形成される。対向電極5205は、透明導電膜を用いて形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物からなる材料を用いることが出来る。

【0303】特に図示していないが、カラー液晶表示装置の作製の際には、カラーフィルタ層を形成する。このとき、隣接した色の異なるカラーフィルタ層を重ねて形成し、TFT部分の遮光膜を兼ねる構成とすると良い。

【0304】その後、アクティブマトリクス基板5001および対向基板5054に、配向膜5203および5204を形成し、ラビング処理を行う。

【0305】そして、画素部と駆動回路部が形成されたアクティブマトリクス基板5001と対向基板5054とをシール剤5206で貼り合わせる。シール剤5206にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わ

せられる。その後、両基板の間に液晶材料5207を注入し、封止剤(図示せず)によって完全に封止する。液晶材料5207には公知の液晶材料を用いれば良い。このようにして図27(B)に示す反射型の液晶表示装置が完成する。

【0306】なお、本実施例においては、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することも可能である。

【0307】また、画素の半分を反射電極、残る半分を透明電極とした、半透過型の表示装置として作成する場合にも、本発明は容易に適用することが出来る。

【0308】本発明は、実施例1乃至実施例9と自由に組み合わせて実施することが可能である。

【0309】[実施例12]本実施例では、本発明を半透過型の液晶表示装置に適用した例を示す。

【0310】半透過型の液晶表示装置では、画素電極を透光性を有する導電膜と、反射性を有する金属材料との両方で形成する。半透過型の液晶表示装置の例を図32に示す。

【0311】ここで実施例10に従って、アクティブマトリクス基板と、第1の層間絶縁膜5045、第2の層間絶縁膜5046を形成する。

【0312】画素部において、反射性を有する金属材料を用い、画素電極(反射部)702を形成する。ゲート絶縁膜5007、第1の層間絶縁膜5045及び第2の層間絶縁膜5046に形成されたコンタクトホールを介して、画素電極(反射部)702は、TFTのソース領域またはドレイン領域と接する。

【0313】次いで、透光性を有する導電膜を用い、画素電極(透過部)701を形成する。なお、透光性を有する導電膜としては、ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金、酸化亜鉛等を用いればよい。ここで、画素電極(透過部)701は、画素電極(反射部)702と一部重なるように形成される。

【0314】次いで、配向膜5053を形成する。その後、ラビング処理を行う。

【0315】その後の工程は、実施例10と同様である。こうして、液晶材料を注入し、封止材によって封止まで行う。

【0316】実際には、偏光板703、バックライト704、導光板705を設け、カバー706で覆えば、図32に示したようなアクティブマトリクス型液晶表示装置が完成する。

【0317】なお、本実施例において示した液晶表示装置は半透過型であるので、偏光板703は、基板5001と対向基板5054の両方に貼り付ける。

【0318】外光が十分である場合には、反射型として駆動させる。そのため、バックライト704をオフ状態

としたまま、対向基板5054に設けられた対向電極5059と画素電極（反射部）702との間の液晶を制御することによって表示を行う。一方、外光が不十分である場合には、透過型として駆動させる。そのため、バックライト704をオン状態として、対向基板5054に設けられた対向電極5059と画素電極（透過部）701との間の液晶を制御することによって表示を行う。

【0319】ただし、用いる液晶が、TN液晶やSTN液晶の場合、反射型と透過型とで液晶のねじれ角が変わるため、偏光板や位相差板を最適化する必要がある。例えば、液晶のねじれ角の量を調節する旋光補償機構（例えば、高分子液晶などを用いた偏光板）が別途必要となる。

【0320】また、本実施例では半透過型の液晶表示装置の例を示したが、画素電極を全て透明導電膜で形成すれば透過型の液晶表示装置を作製することもでき、画素電極を反射性の高い導電膜で形成すれば反射型の液晶表示装置を作製することもできる。

【0321】また、本実施例は、実施例1乃至実施例9と自由に組み合わせる実施することが可能である。

【0322】[実施例13]本実施例では、本発明の液晶表示装置の画素が有する記憶回路の構成例について説明する。

【0323】図28(A)は、記憶回路の一例を示したものである。点線枠で示される部分が記憶回路（図中、Mと表記）である。記憶回路Mは、2つのインバータ2801及び2802によって構成されている。ここで示した記憶回路には、フリップフロップを利用したスタティック型メモリ（Static RAM：SRAM）を用いている。

【0324】図28(B)は、図28(A)の回路を詳細に示した例である。TFT2803とTFT2804は、pチャネル型TFTであり、TFT2805とTFT2806は、nチャネル型TFTである。また、VDDは、電源線であり、GNDは接地線である。

【0325】本実施例は、実施例1乃至実施例12と自由に組み合わせる実施することが可能である。

【0326】[実施例14]実施例13では、スタティック型メモリ（Static RAM：SRAM）を用いて本発明の液晶表示装置の画素部の記憶回路を構成したが、SRAMのみに限定されず、本発明の液晶表示装置の画素部に適用可能な記憶回路には、他にダイナミック型メモリ（Dynamic RAM：DRAM）等があげられる。

【0327】さらに、特に図示しないが、他の形式の記憶回路として、強誘電体メモリ（Ferroelectric RAM：FRAM）を利用して本発明の液晶表示装置の画素部を構成することも可能である。FRAMは、SRAMやDRAMと同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の液晶表示装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成

は可能である。

【0328】本実施例は、実施例1乃至実施例12と自由に組み合わせる実施することが可能である。

【0329】[実施例15]本発明の表示装置には様々な用途がある。本実施例では、本発明の表示装置を組み込んだ半導体装置について説明する。

【0330】表示装置を組み込んだ半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図30および図31に示す。

【0331】図31(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606から構成されている。本発明は表示部2604に適用することができる。

【0332】図31(B)はビデオカメラであり、本体2611、表示部2612、音声入力部2613、操作スイッチ2614、バッテリー2615、受像部2616から成っている。本発明は表示部2612に適用することができる。

【0333】図31(C)はモバイルコンピュータあるいは携帯情報端末であり、本体2621、カメラ部2622、受像部2623、操作スイッチ2624、表示部2625で構成されている。本発明は表示部2625に適用することができる。

【0334】図31(D)はヘッドマウントディスプレイであり、本体2631、表示部2632、アーム部2633で構成される。本発明は表示部2632に適用することができる。

【0335】図31(E)はテレビであり、本体2641、スピーカー2642、表示部2643、受信装置2644、増幅装置2645等で構成される。本発明は表示部2643に適用することができる。

【0336】図31(F)は携帯書籍であり、本体2651、表示部2652、記憶媒体2653、操作スイッチ2654、アンテナ2655から構成されており、ミニディスク(MD)やDVD(Digital Versatile Disc)に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部2652に適用することができる。

【0337】図30(A)はパーソナルコンピュータであり、本体2701、画像入力部2702、表示部2703、キーボード2704で構成される。本発明は表示部2703に適用することができる。

【0338】図30(B)はプログラムを記録した記録媒体を用いるプレーヤーであり、本体2711、表示部2712、スピーカー部2713、記録媒体2714、操作スイッチ2715で構成される。なお、この装置は記録媒体としてDVD(Digital Versat

ile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2612 に適用することができる。

【0339】図 30 (C) はデジタルカメラであり、本体 2721、表示部 2722、接眼部 2723、操作スイッチ 2724、受像部 (図示しない) で構成される。本発明は表示部 2722 に適用することができる。

【0340】図 30 (D) は片眼のヘッドマウントディスプレイであり、表示部 2731、バンド部 2732 で構成される。本発明は表示部 2731 に適用することが 10 できる。

【0341】本実施例は、実施例 1 乃至実施例 14 と自由に組み合わせて実施することが可能である。

【発明の効果】各画素に、記憶回路を配置することによって、低消費電力化可能な表示装置及びその駆動方法を提供することができる。

【0342】なお本発明では更に、上記のように各画素に記憶回路を設け、また複数の画素で DAC を共有する。これによって、表示部の画素内で DAC が占める割合を低くすることができ、その分記憶回路を多く配置す 20 ることができる。

【図面の簡単な説明】

【図 1】 本発明の液晶表示装置の画素の構成を示す図。

【図 2】 本発明の液晶表示装置の画素の構成を示す図。

【図 3】 本発明の液晶表示装置の画素の構成を示す図。

【図 4】 本発明の液晶表示装置の駆動方法を示すタイミングチャートを示す図。 30

【図 5】 本発明の液晶表示装置の駆動方法を示すタイミングチャートを示す図。

【図 6】 本発明の液晶表示装置の構成を示す図。

【図 7】 従来の液晶表示装置のソース信号線駆動回路の構成を示す図。

【図 8】 従来の液晶表示装置の画素部の構成を示す図。

【図 9】 従来の液晶表示装置の駆動方法を示すタイミングチャートを示す図。

【図 10】 液晶表示装置の画素の構成を示す図。 40

【図 11】 液晶表示装置の構成を示す図。

【図 12】 液晶表示装置のソース信号線駆動回路の構成を示す図。

成を示す図。

【図 13】 液晶表示装置の駆動方法を示すタイミングチャートを示す図。

【図 14】 本発明の液晶表示装置の DAC の構成を示す図。

【図 15】 本発明の液晶表示装置の DAC の構成を示す図。

【図 16】 本発明の液晶表示装置の DAC の構成を示す図。

【図 17】 本発明の液晶表示装置の DAC の構成を示す図。

【図 18】 本発明の液晶表示装置のゲート信号線駆動回路の構成を示す図。

【図 19】 本発明の液晶表示装置のソース信号線駆動回路の構成を示す図。

【図 20】 本発明の液晶表示装置の画素の構成を示す図。

【図 21】 本発明の液晶表示装置の駆動方法を示すタイミングチャートを示す図。

【図 22】 本発明の液晶表示装置のソース信号線駆動回路の構成を示す図。

【図 23】 本発明の液晶表示装置のソース信号線駆動回路の構成を示す図。

【図 24】 本発明の液晶表示装置の作製方法を示す図。

【図 25】 本発明の液晶表示装置の作製方法を示す図。

【図 26】 本発明の液晶表示装置の作製方法を示す図。

【図 27】 本発明の液晶表示装置の作製方法を示す図。

【図 28】 本発明の液晶表示装置の記憶回路の構成を示す図。

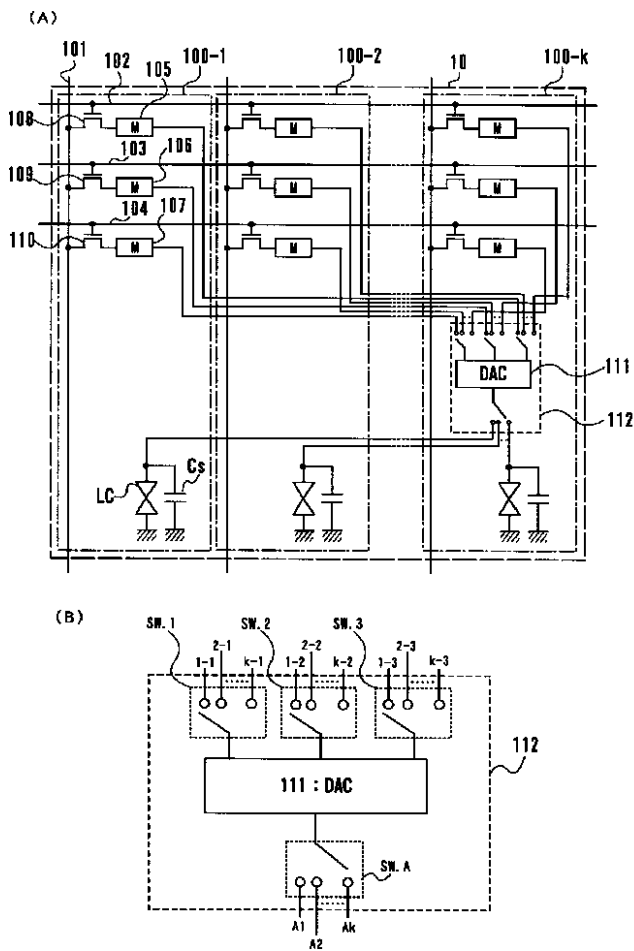
【図 29】 本発明の液晶表示装置の駆動方法を示すタイミングチャートを示す図。

【図 30】 本発明の液晶表示装置の応用機器を示す図。

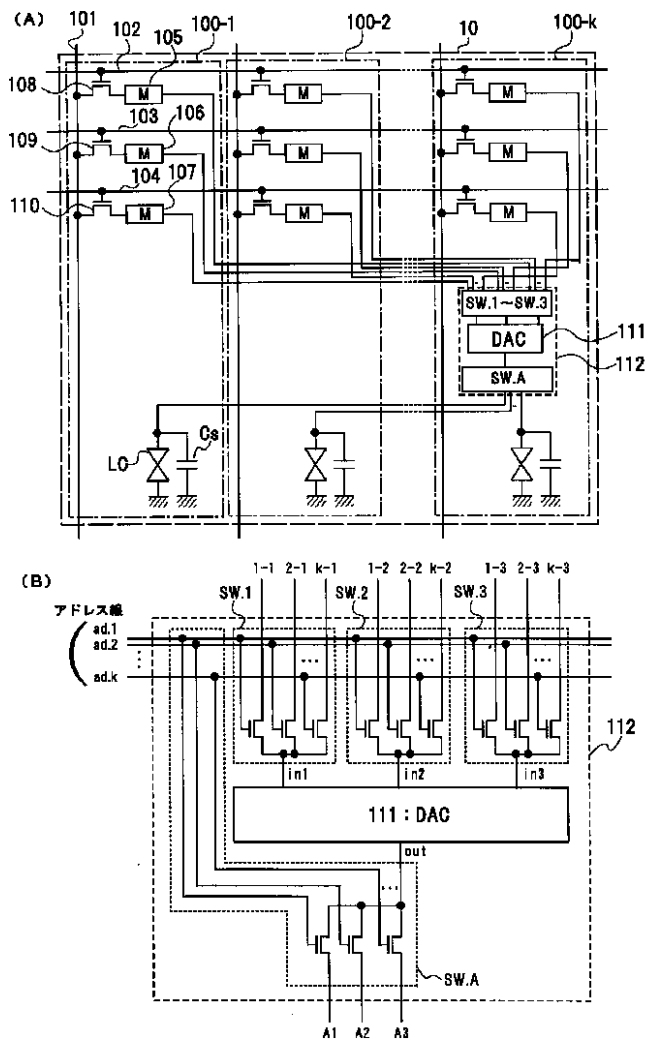
【図 31】 本発明の液晶表示装置の応用機器を示す図。

【図 32】 本発明の液晶表示装置の構成を示す断面図。

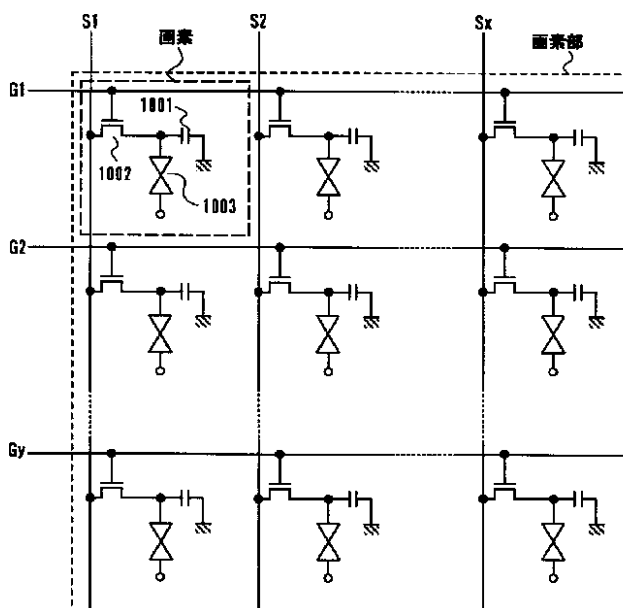
【図1】



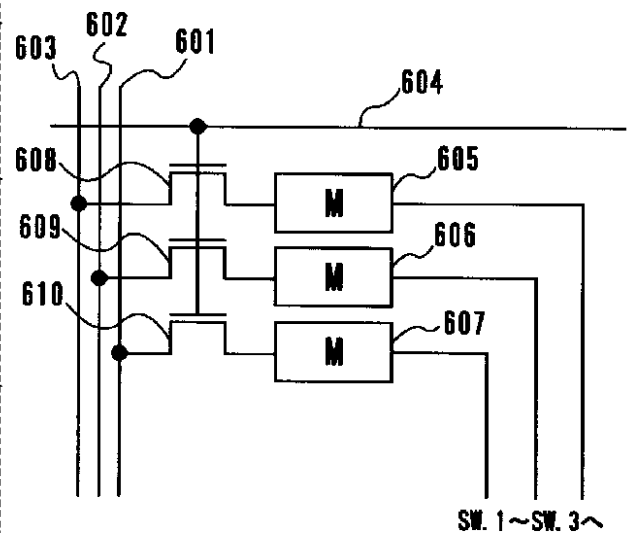
【図2】



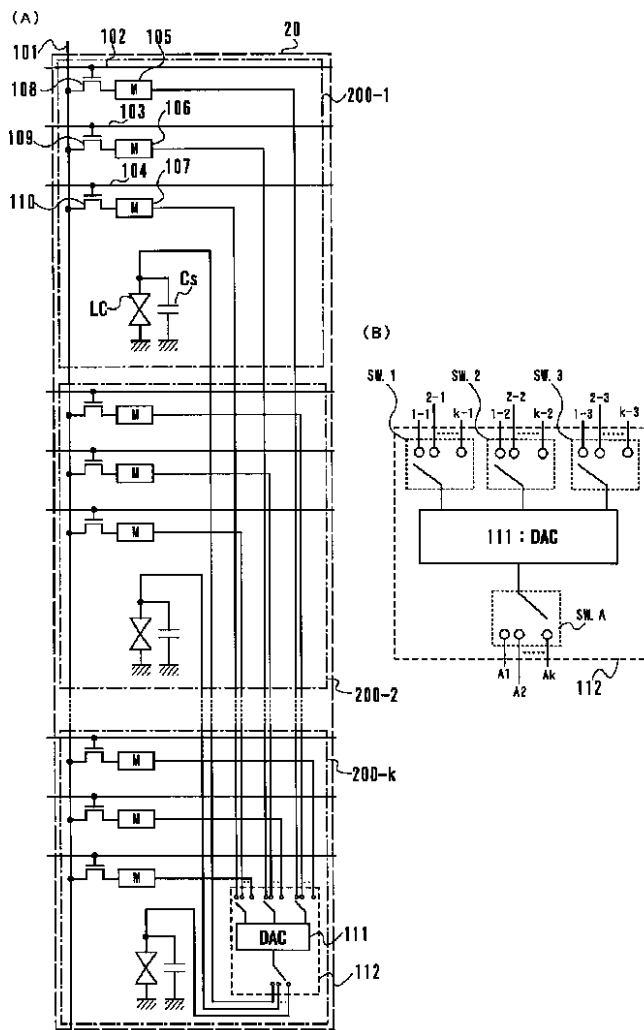
【図8】



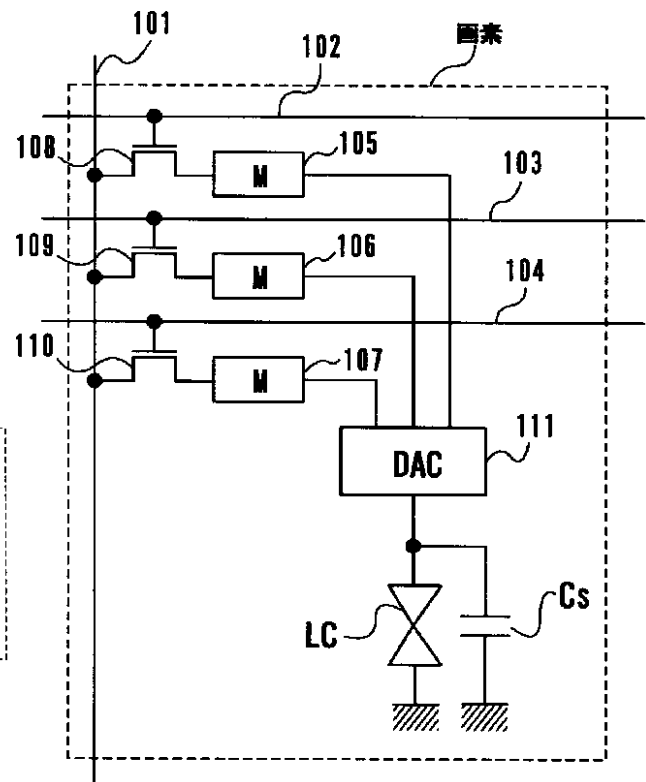
【図20】



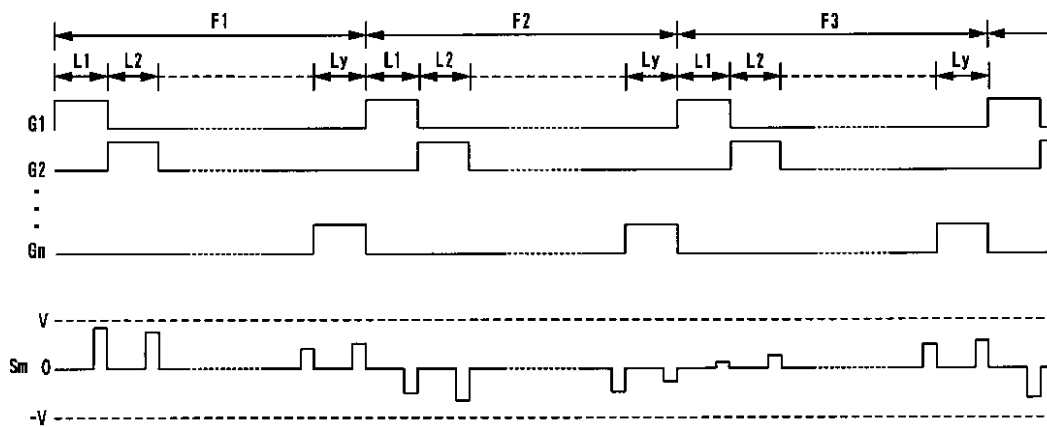
【図3】



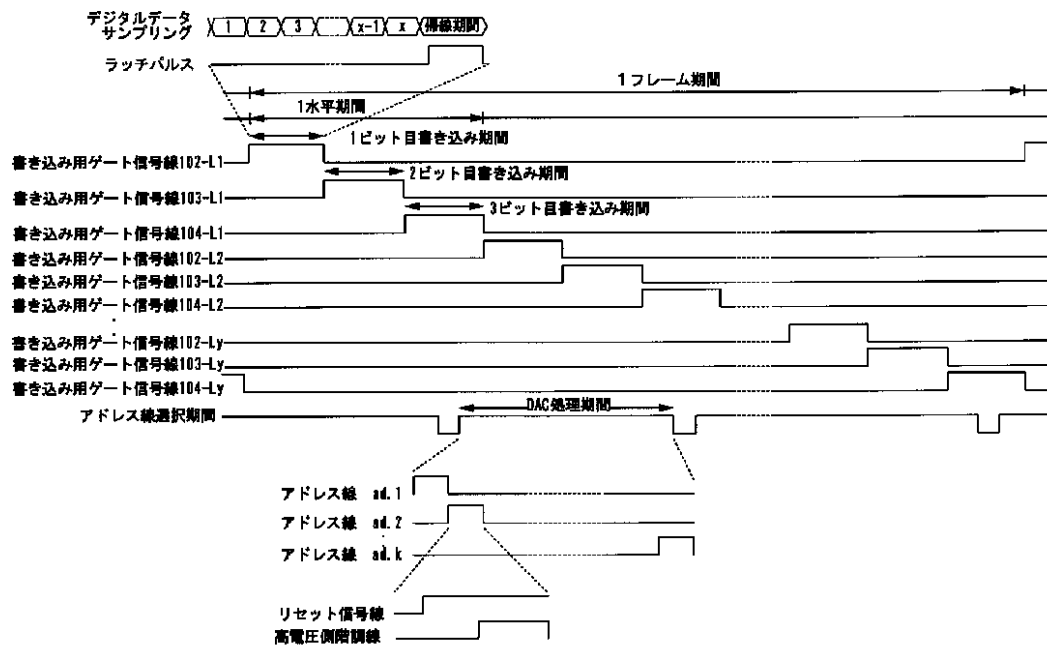
【図10】



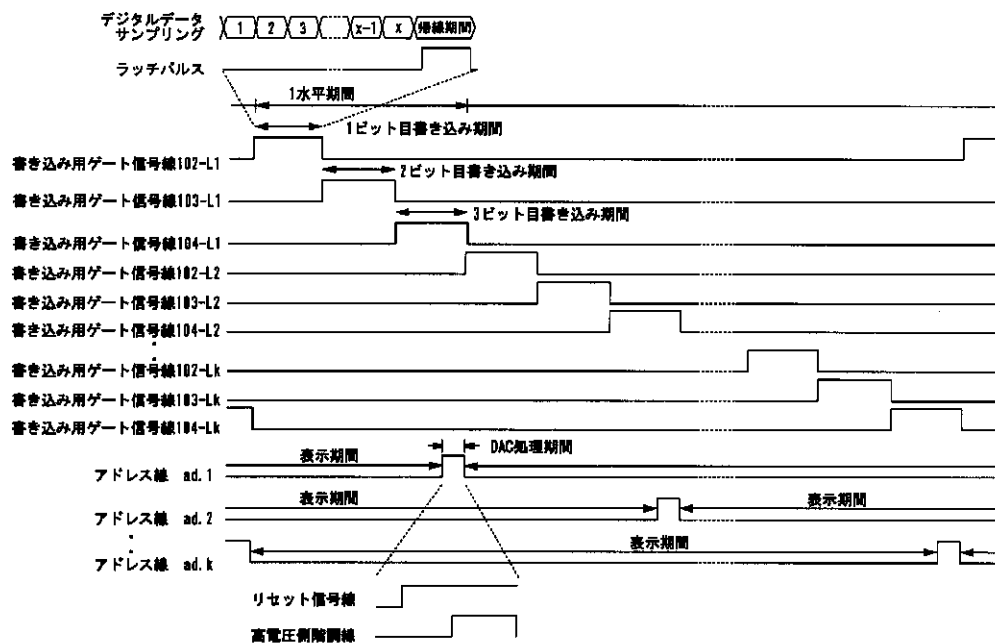
【図9】



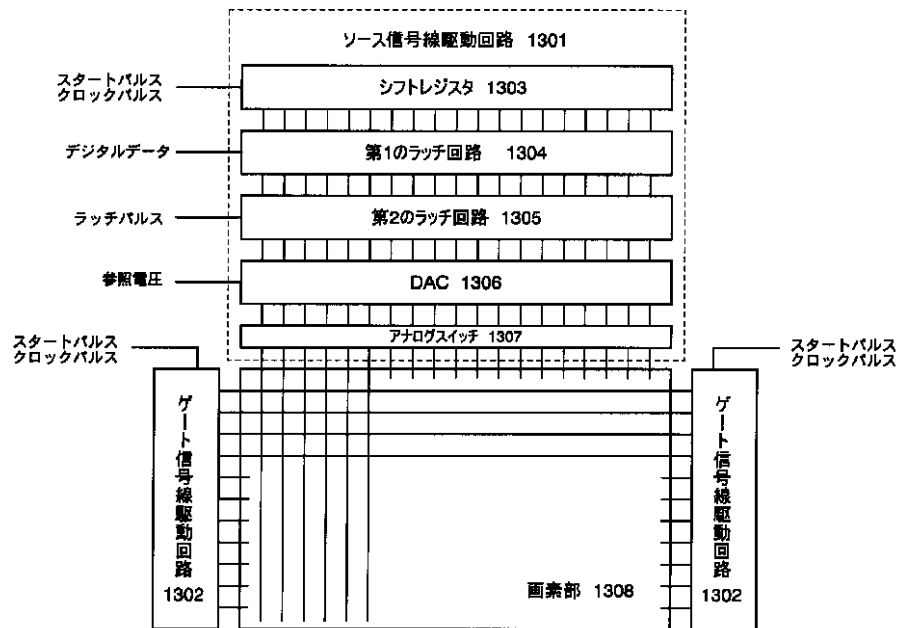
【図4】



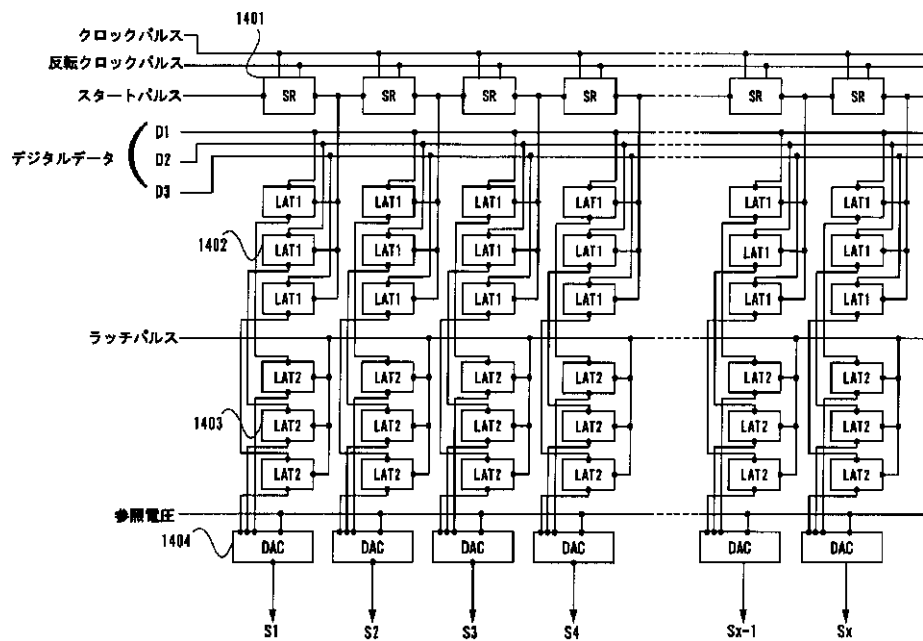
【図5】



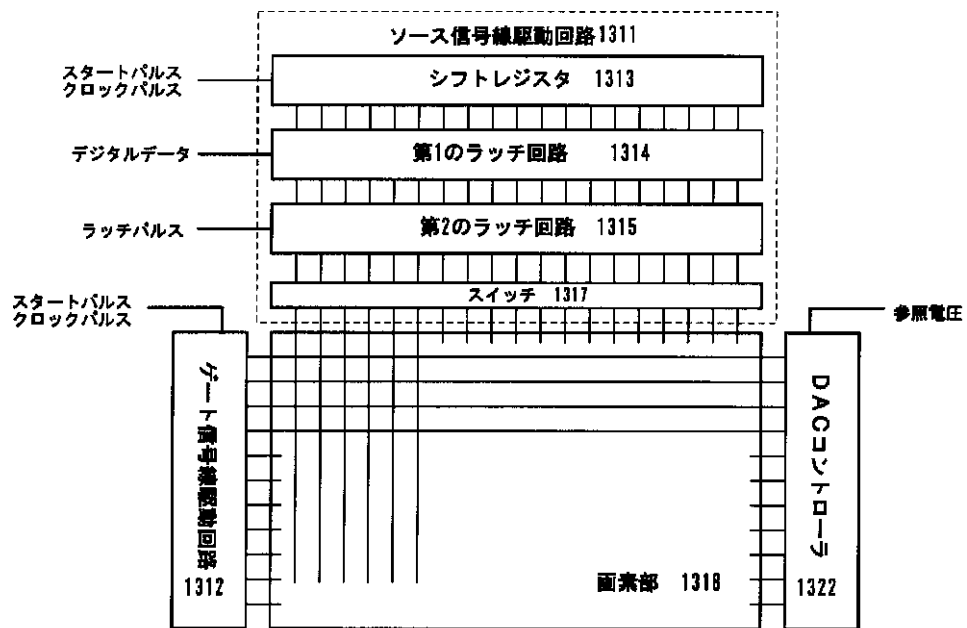
【図6】



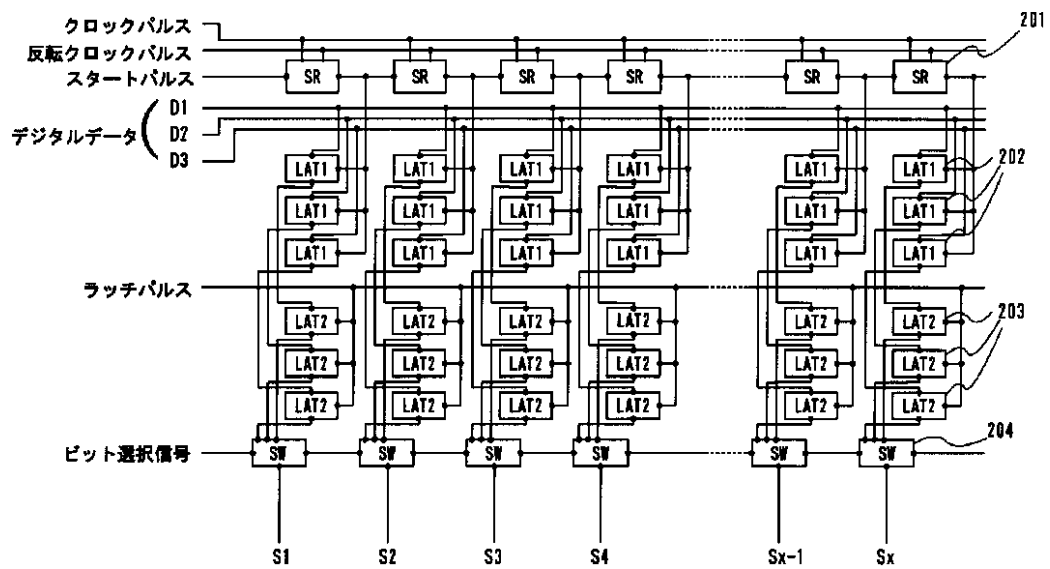
【図7】



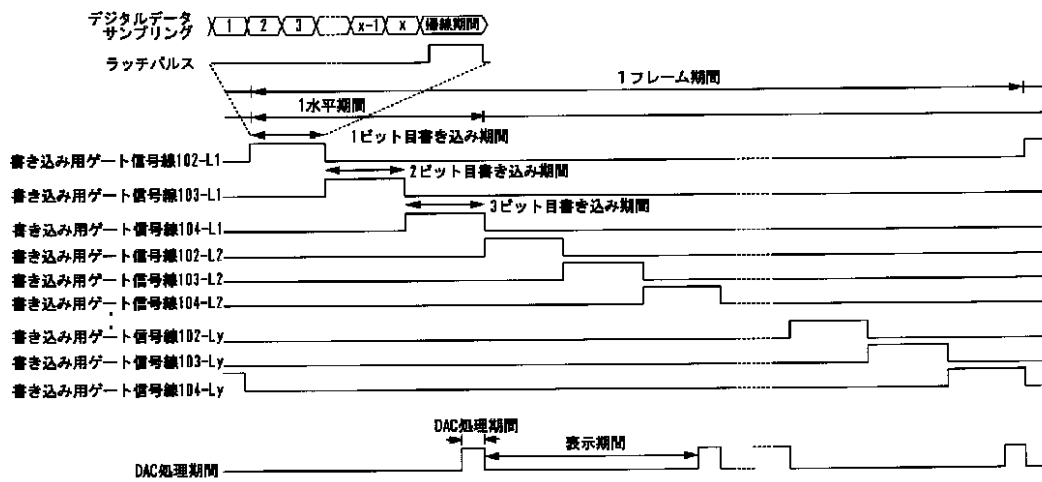
【図11】



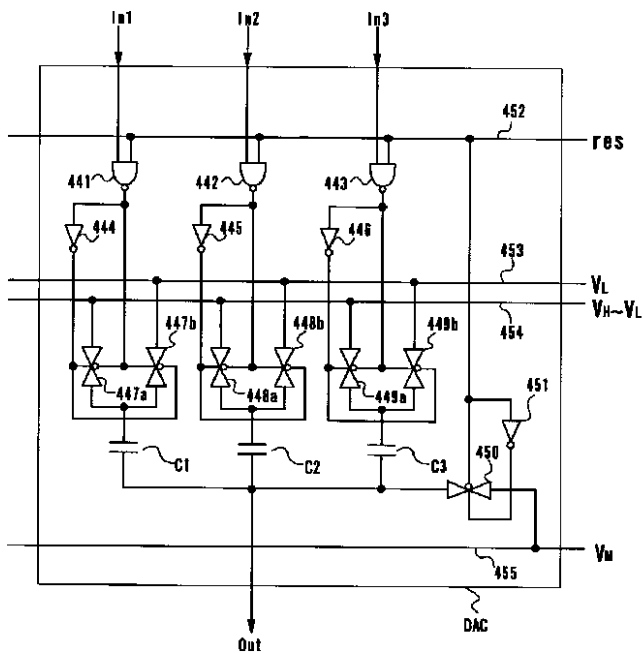
【図12】



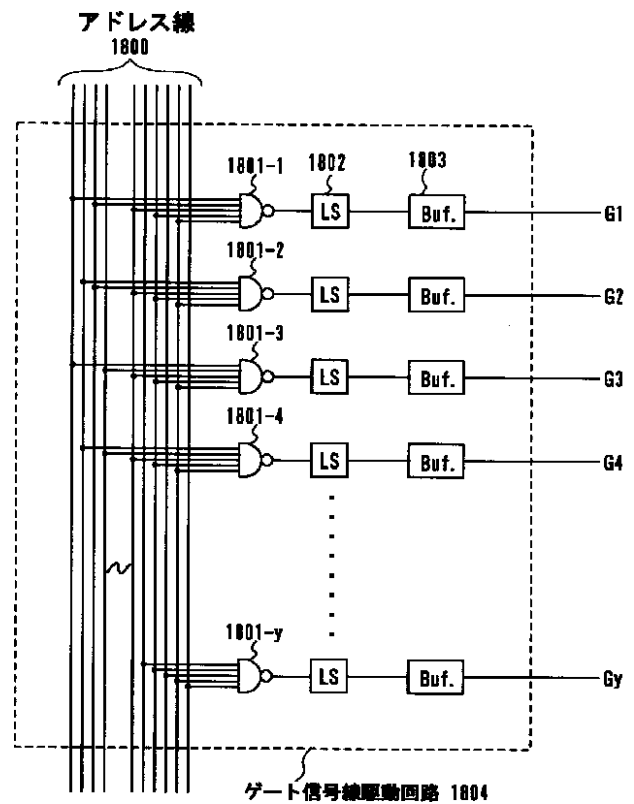
【図13】



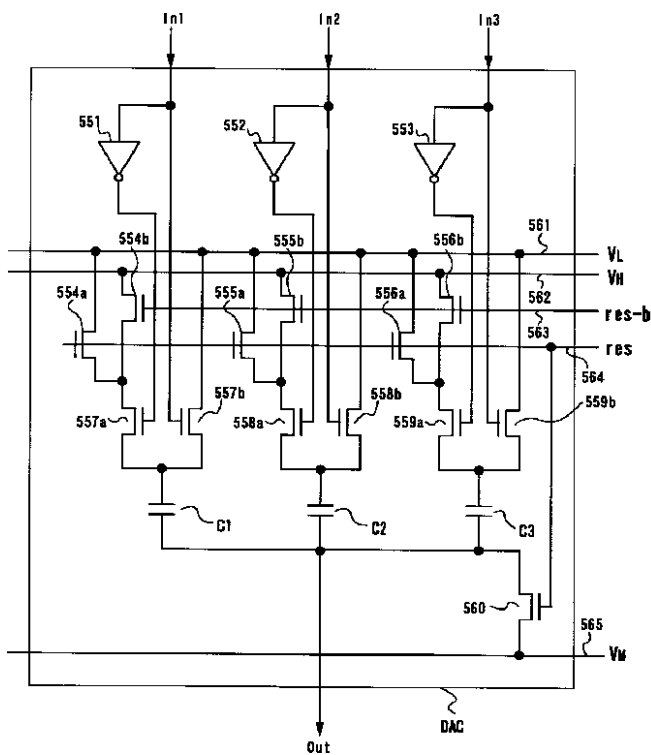
【図14】



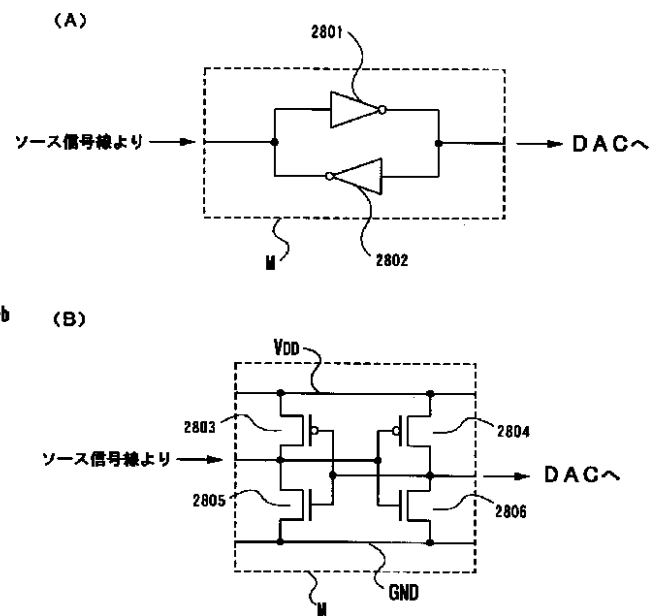
【図18】



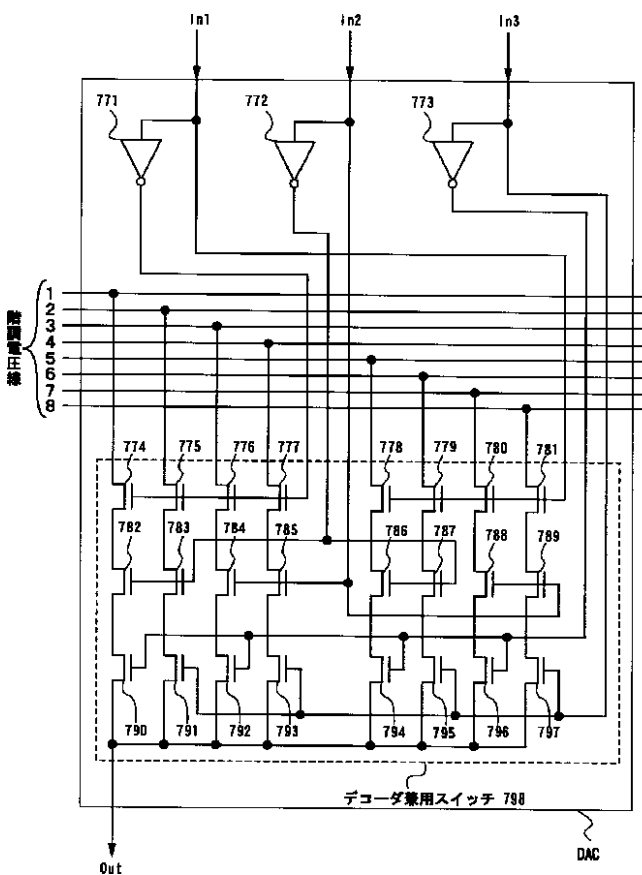
【図15】



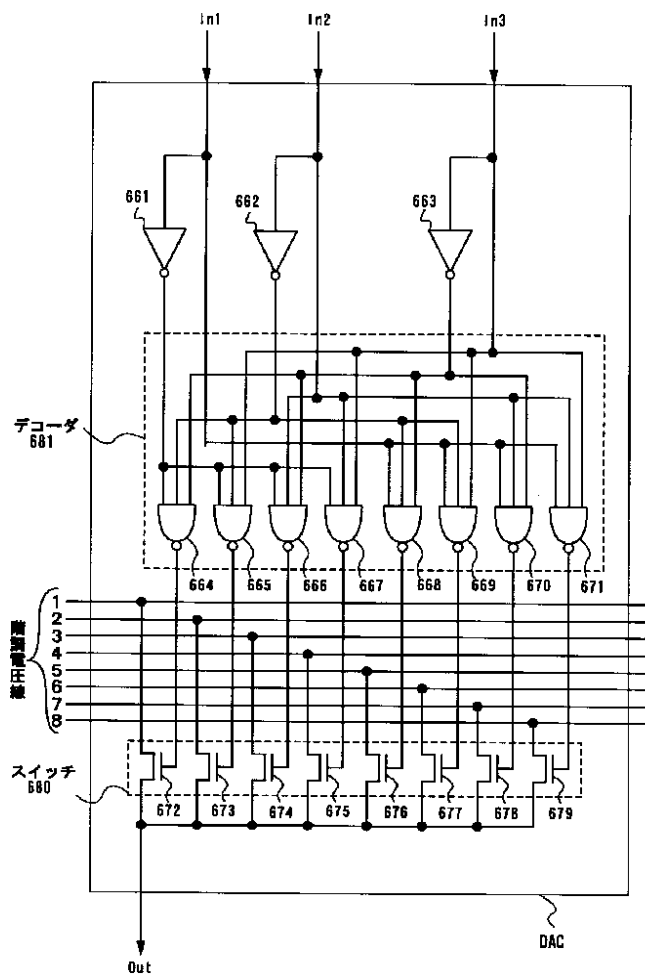
【図28】



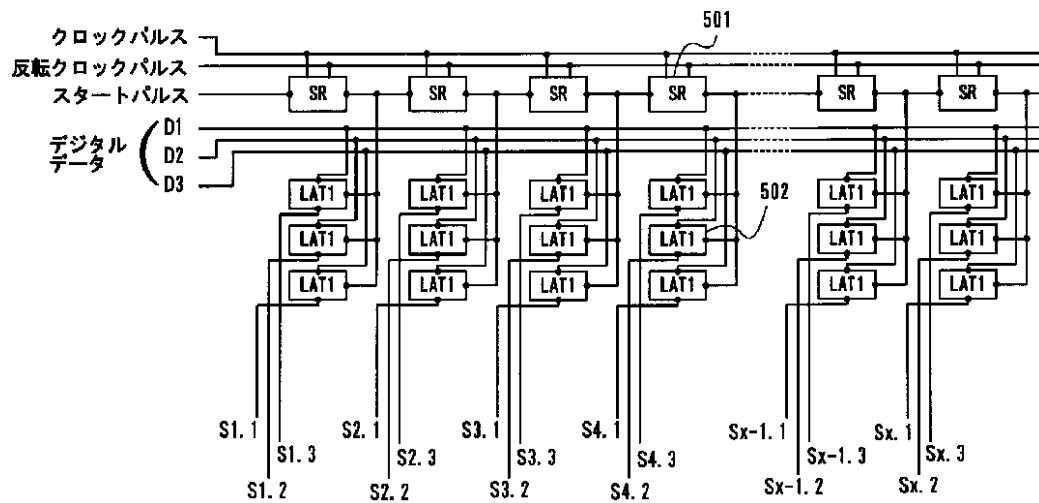
【図17】



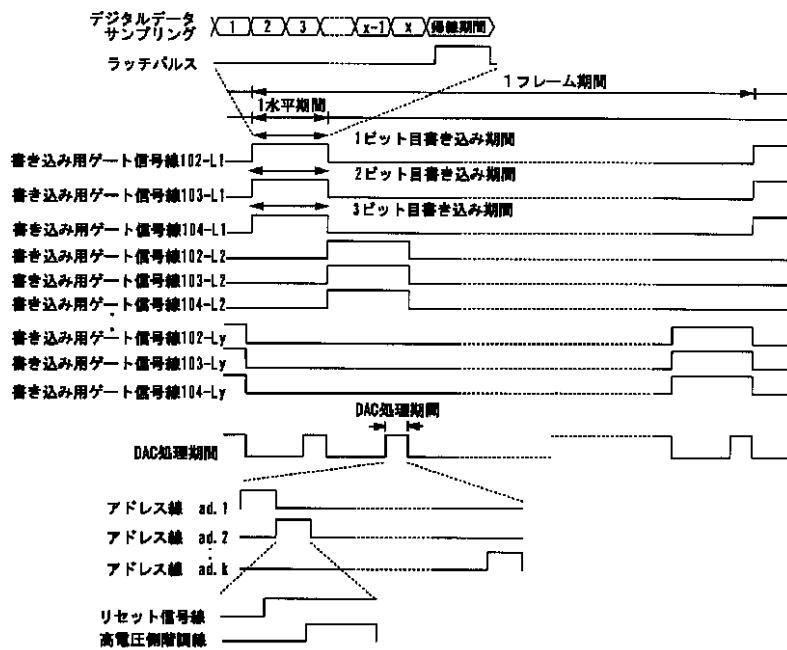
【図16】



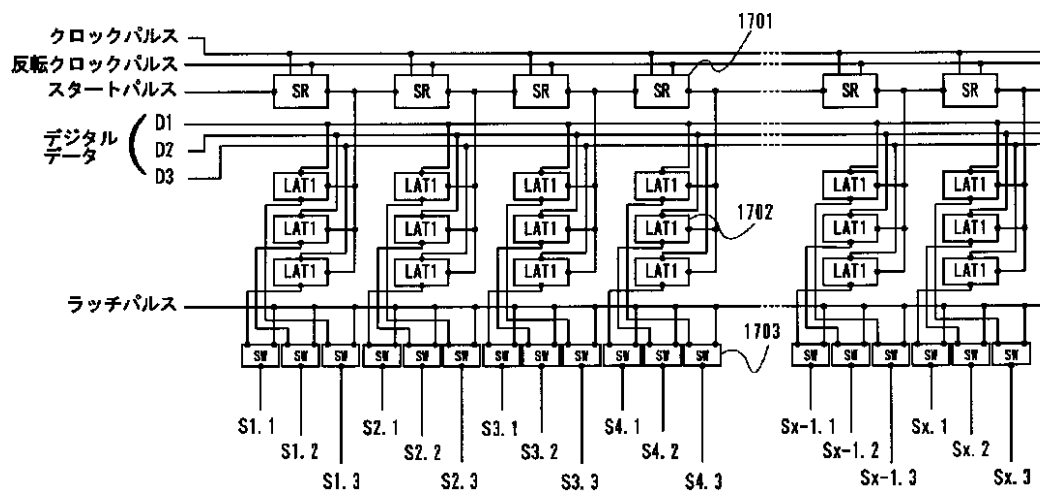
【図19】



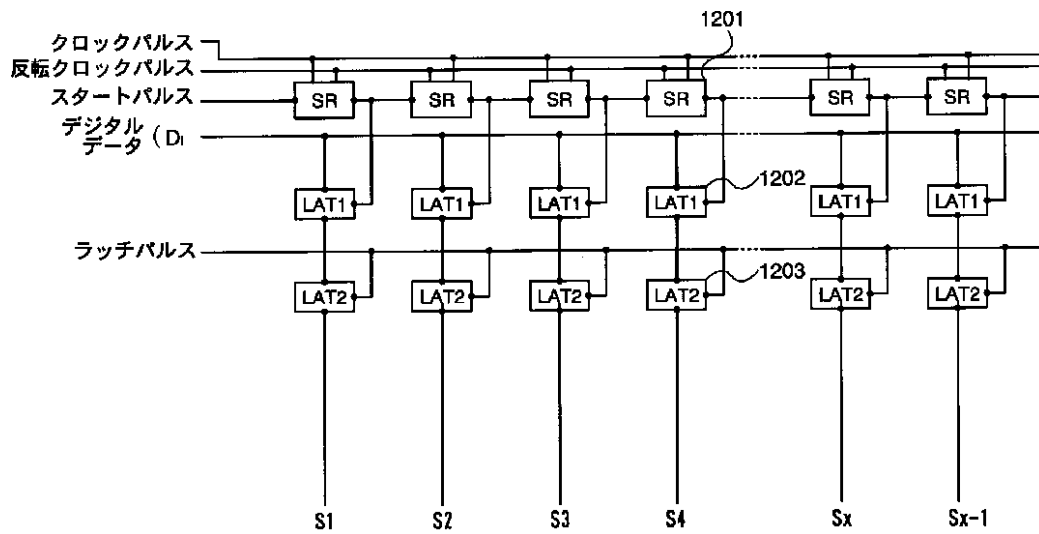
【図21】



【図22】

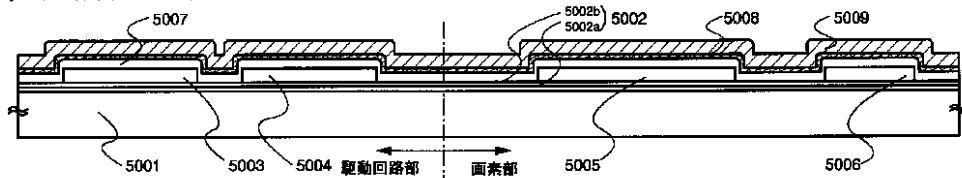


【図23】

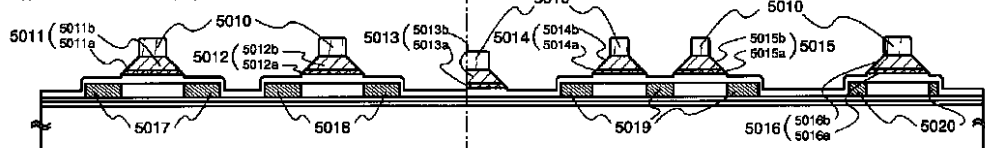


【図24】

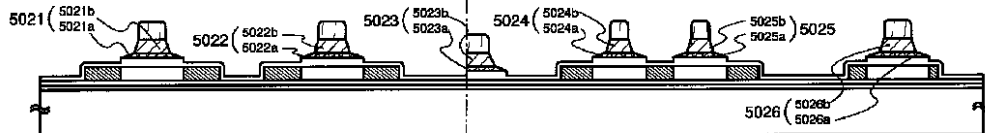
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1、第2の導電膜の形成



(B) 第1のエッチング処理、第1のドーピング処理



(C) 第2のエッチング処理



5001: 基板
5002: 下地膜
5003~5008: 半導体層
5007: ゲート絶縁膜

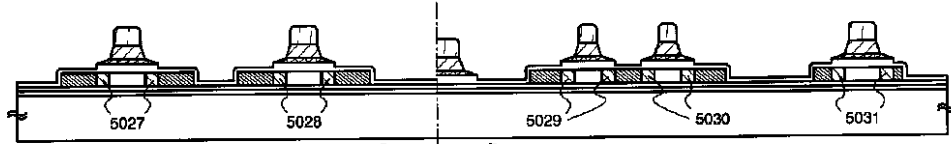
5008: 第1の導電膜
5009: 第2の導電膜
5010: レジストマスク
5011~5016: 第1の形状の導電層

5011a~5016a: 第1の導電層
5011b~5016b: 第2の導電層
5017~5020: 第1の不純物領域
5021~5026: 第2の形状の導電層

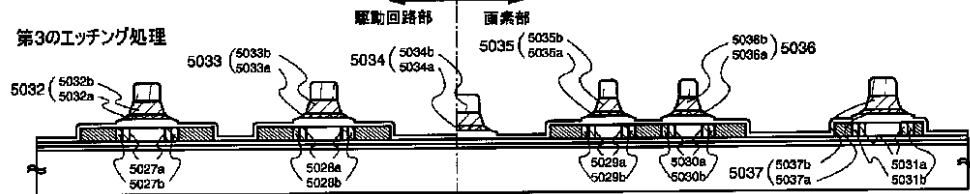
5021a~5026a: 第1の導電層
5021b~5026b: 第2の導電層

【図25】

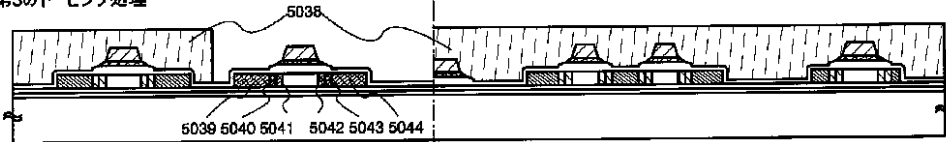
(A) 第2のドーピング処理



(B) 第3のエッチング処理



(C) 第3のドーピング処理

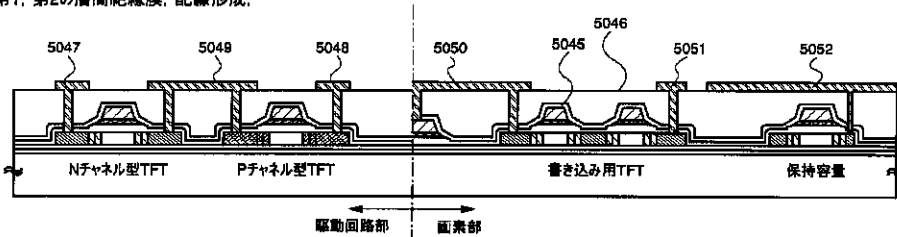


5027～5031 : 第2の不純物領域(エッチング前)
 5027a～5031a : 第2の不純物領域(エッチング後)
 5027b～5031b : 第3の不純物領域
 5032～5037 : 第3の形状の導電層

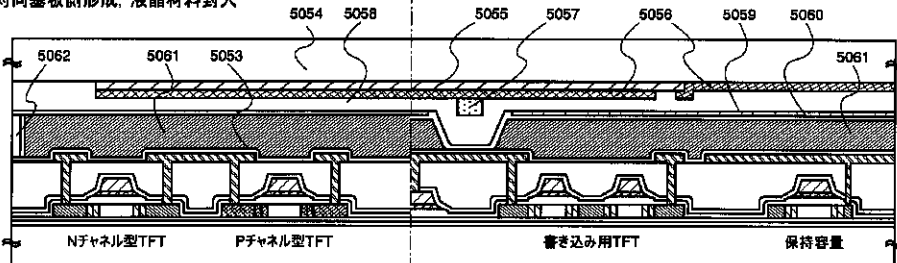
5032a～5037a : 第1の導電層
 5032b～5037b : 第2の導電層
 5038 : レジストマスク
 5039～5044 : 第4の不純物領域

【図26】

(A) 第1, 第2の層間絶縁膜, 配線形成.



(B) 対向基板側形成, 液晶材料封入



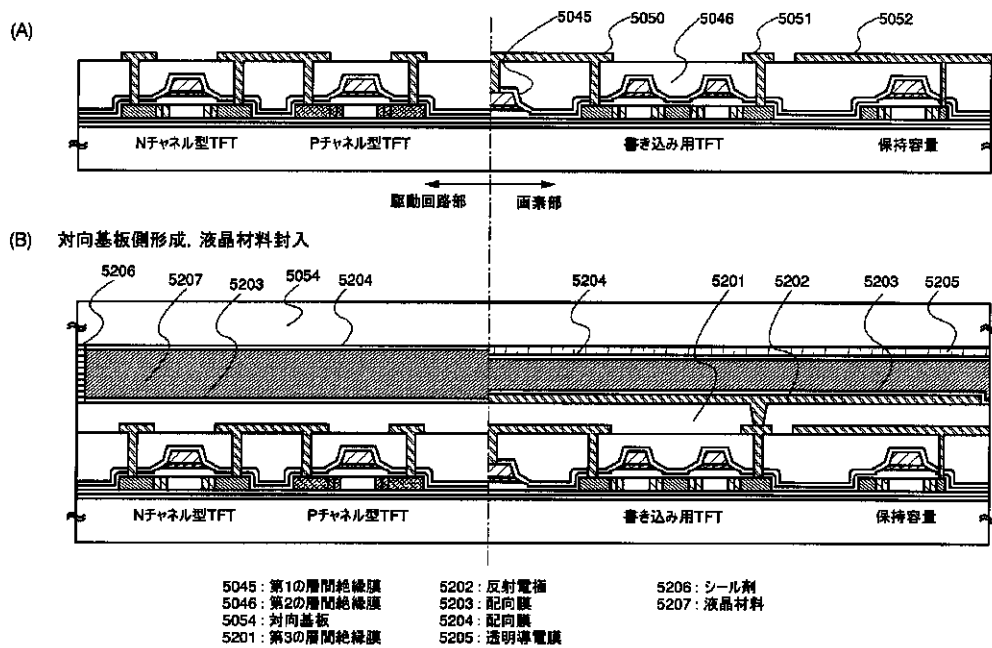
5045 : 第1の層間絶縁膜
 5048 : 第2の層間絶縁膜
 5047～5048 : ソース配線
 5049 : ドレイン配線

5050 : 接続電極
 5051～5052 : 画素電極
 5053 : 配向膜
 5054 : 対向基板

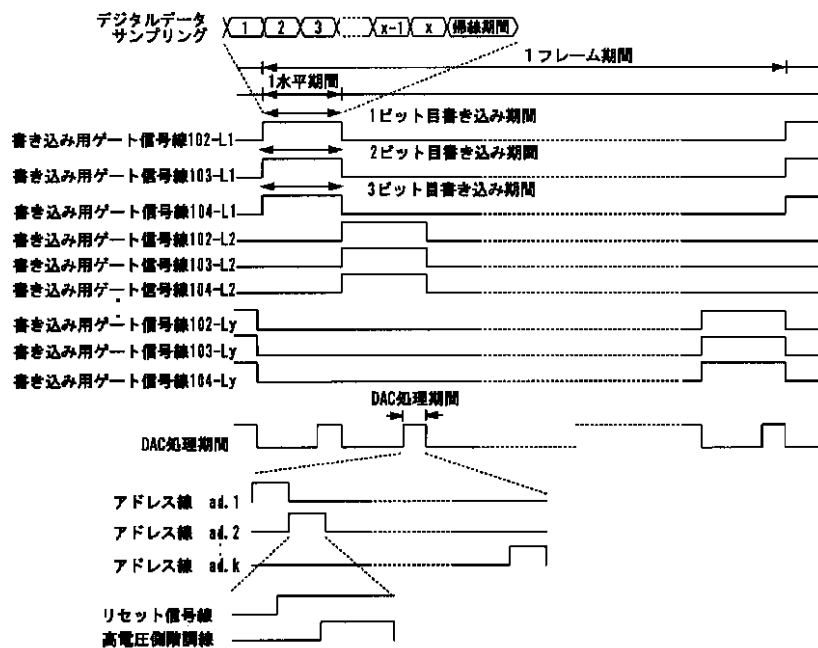
5055～5057 : カラーフィルタ層
 5058 : オーバーコート層
 5059 : 対向電極
 5060 : 配向膜

5061 : 液晶材料
 5062 : シール剤

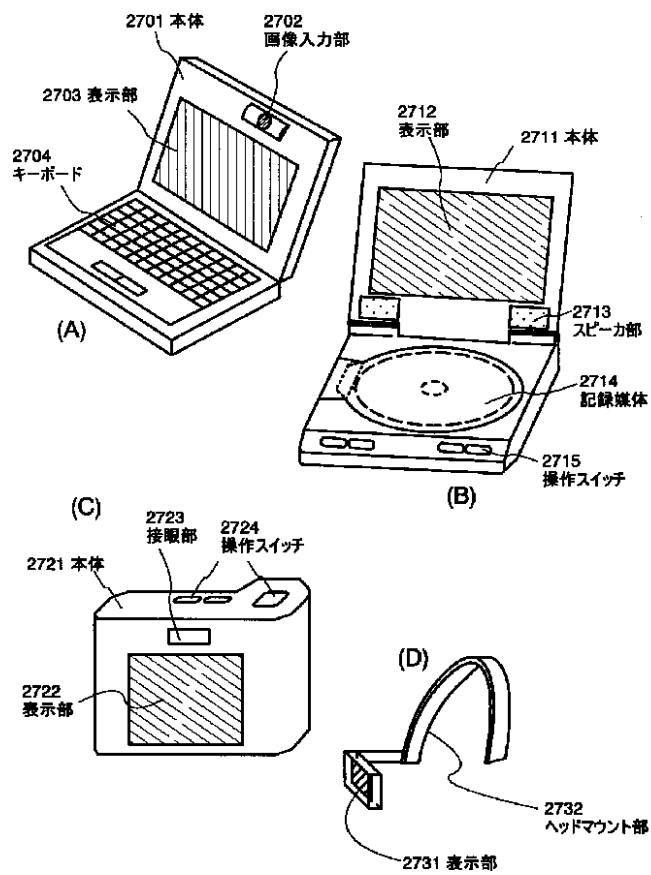
【図27】



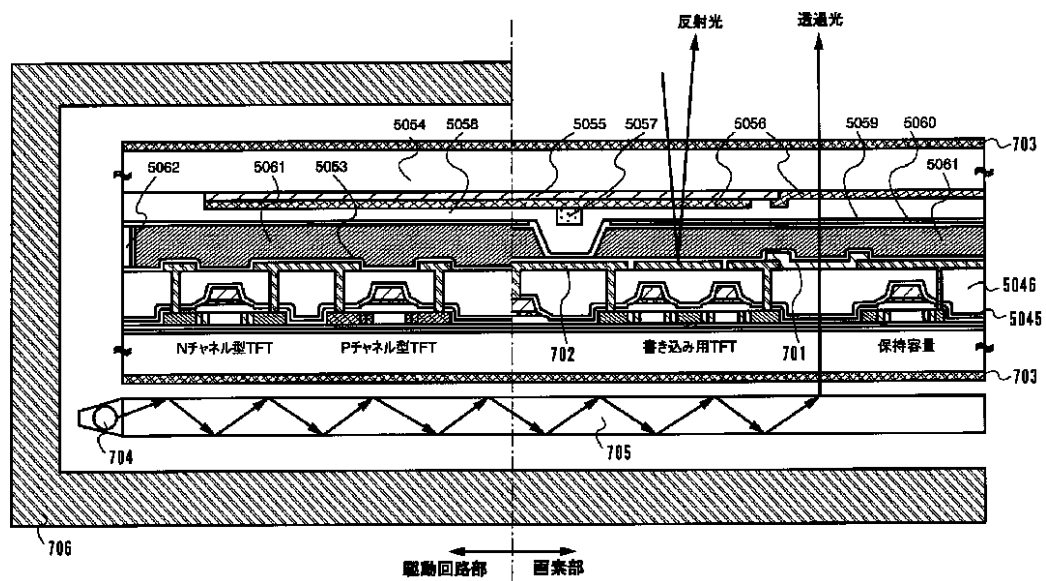
【図29】



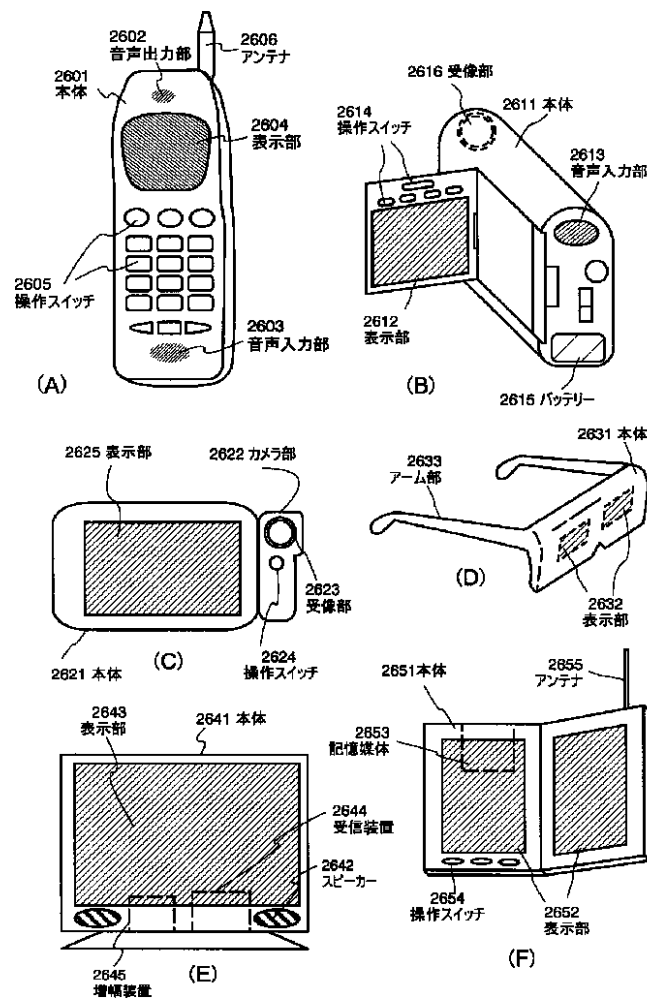
【図30】



【図32】



【図31】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

識別記号

6 2 3

6 2 4

6 4 2

6 6 0

F I

G 0 9 G 3/20

テ-マ-ド* (参考)

6 2 3 E

6 2 3 F

6 2 4 B

6 4 2 D

6 6 0 U

F ターム(参考) 2H093 NA32 NA33 NA42 NA43 NA52
NA62 NC22 NC24 NC26 NC28
NC34 NC35 NC40 ND39 ND42
ND49 NE10 NF04
5C006 AA01 AA02 AA16 AF71 AF83
BB16 BC03 BC06 BC12 BC20
BF03 BF04 EB05 FA47 FA54
5C080 AA10 BB05 DD03 DD26 EE17
EE29 FF11 JJ02 JJ03 JJ04
JJ06

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2002318570A	公开(公告)日	2002-10-31
申请号	JP2002030482	申请日	2002-02-07
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤		
发明人	小山 潤		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.621.M G09G3/20.623.E G09G3/20.623.F G09G3/20.624.B G09G3/20.642.D G09G3/20.660.U		
F-TERM分类号	2H093/NA32 2H093/NA33 2H093/NA42 2H093/NA43 2H093/NA52 2H093/NA62 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC40 2H093/ND39 2H093/ND42 2H093/ND49 2H093/NE10 2H093/NF04 5C006/AA01 5C006/AA02 5C006/AA16 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/EB05 5C006/FA47 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD26 5C080/EE17 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZA19 2H193/ZC02 2H193/ZC15 2H193/ZC22 2H193/ZD22 2H193/ZF24 2H193/ZF44 2H193/ZP20		
优先权	2001034377 2001-02-09 JP		
其他公开文献	JP2002318570A5		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种液晶显示装置及其驱动方法，该液晶显示装置及其驱动方法可以减少显示静止图像时的功耗。为液晶显示装置的每个像素提供多个存储电路。此外，多个像素（块）具有一个D/A转换电路。D/A转换电路将存储在多个像素的每个像素的存储电路中的数字信号依次转换为每个像素的模拟信号，并输入到相应像素的液晶元件。这使得可以减小每个像素的D/A转换电路所占据的面积。这样，可以在每个像素中布置大量的存储电路。

