

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2002 - 8388

(P2002 - 8388A)

(43)公開日 平成14年1月11日(2002.1.11)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マコード ( 参考 )
G 1 1 C 19/00		G 1 1 C 19/00	J 2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	550 5 C 0 0 6
G 0 9 G 3/20	621	G 0 9 G 3/20	621 H 5 C 0 8 0
	622		622 E
	623		623 H

審査請求 未請求 請求項の数 5 O L ( 全 15数 ) 最終頁に続く

(21)出願番号 特願2000 - 184721(P2000 - 184721)  
 (22)出願日 平成12年6月20日(2000.6.20)

(71)出願人 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 (72)発明者 山本 彰  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 富士通株式会社内  
 (72)発明者 高原 和博  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 富士通株式会社内  
 (74)代理人 100094525  
 弁理士 土井 健二 ( 外 1 名 )

最終頁に続く

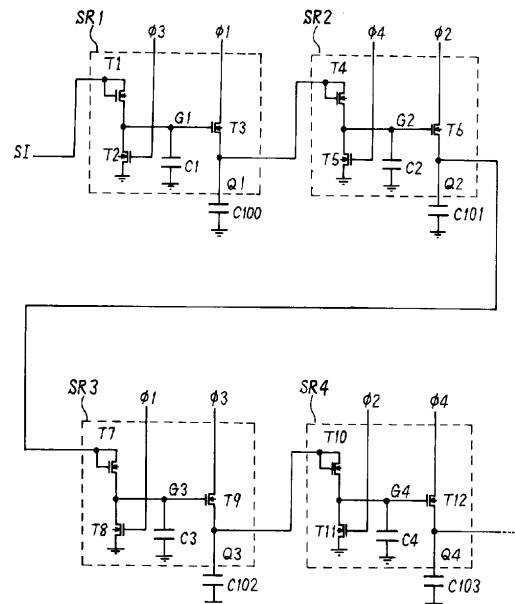
(54)【発明の名称】 液晶表示装置及びそれに用いるシフトレジスタ

### (57)【要約】

【課題】 MOS トランジスタのゲートに印加される電圧を低減したシフトレジスタ及びそのシフトレジスタを用いた液晶表示装置を提供する。

【解決手段】 シフトレジスタの各ブロックは、ゲートとドレインが接続され、該ゲート及びドレインに入力信号が供給される第1のトランジスタと、ゲートが第1のトランジスタのソースに接続され、ドレインに入力信号から遅れた第1のクロック信号が供給された時に、ソースから出力信号を出力する第2のトランジスタと、第2のトランジスタのゲートと所定電位間に接続されるコンデンサと、ドレインが第2のトランジスタのゲートに接続され、ソースが電源に接続され、ゲートに第1のクロック信号から遅れた第2のクロック信号が供給された時に、第2のトランジスタのゲートに蓄積された電荷を電源に放電する第3のトランジスタとを有する。

本発明の第1の実施の形態のシフトレジスタの回路図



## 【特許請求の範囲】

【請求項 1】複数のブロックが縦続に接続され、クロック信号にตอบสนองして入力信号を順次シフトさせ、負荷及び次のブロックに出力信号を供給するシフトレジスタにおいて、

前記複数のブロックに含まれるトランジスタは、同一導電型の薄膜トランジスタであり、

前記各ブロックは、ゲートとドレインが接続され、該ゲート及びドレインに前記入力信号が供給される第 1 のトランジスタと、

ゲートが前記第 1 のトランジスタのソースに接続され、ドレインに前記入力信号から遅れた第 1 のクロック信号が供給された時に、ソースから前記出力信号を出力する第 2 のトランジスタと、

前記第 2 のトランジスタのゲートと所定電位間に接続されるコンデンサと、

ドレインが前記第 2 のトランジスタのゲートに接続され、ソースが電源に接続され、ゲートに前記第 1 のクロック信号から遅れた第 2 のクロック信号が供給された時に、前記第 2 のトランジスタのゲートに蓄積された電荷を前記電源に放電する第 3 のトランジスタとを有することを特徴とするシフトレジスタ。

【請求項 2】請求項 1 において、

前記各ブロックは、更に、ドレインが前記第 2 のトランジスタのソースに接続され、ソースが前記電源に接続され、ゲートに前記第 2 のクロック信号が供給された時に、前記負荷に蓄積された電荷を前記電源に放電する第 4 のトランジスタと、

ドレインが前記第 2 のトランジスタのソースに接続され、ソースが前記電源に接続され、ゲートに前記第 1 及び第 2 のクロック信号と異なる位相の第 3 のクロック信号が供給された時に、前記負荷に蓄積された電荷を前記電源に放電する第 5 のトランジスタとの少なくとも 1 つのトランジスタを有することを特徴とするシフトレジスタ。

【請求項 3】請求項 1 において、

前記各ブロックは、更に、ゲートとドレインが接続され、該ゲート及びドレインに前記第 2 のクロック信号が供給される第 6 のトランジスタと、

ドレインが前記第 2 のトランジスタのソースに接続され、ソースが前記電源に接続され、ゲートが前記第 6 のトランジスタのソースに接続され、前記第 2 のクロック信号にตอบสนองして、前記負荷に蓄積された電荷を前記電源に放電する第 7 のトランジスタと、

ドレインが前記第 6 のトランジスタのソースに接続され、ソースが前記電源に接続され、ゲートに前記入力信号が供給された時に、前記第 3 及び第 7 のトランジスタのゲートに蓄積された電荷を前記電源に放電する第 8 のトランジスタとを有することを特徴とするシフトレジスタ。

【請求項 4】請求項 1 において、

前記クロック信号のデューティ比は、25%より小さいことを特徴とするシフトレジスタ。

【請求項 5】請求項 1 乃至 4 のいずれかに記載したシフトレジスタと、

前記シフトレジスタの出力信号により制御される液晶表示パネルとを同一のガラス基板上に形成したことを特徴とする液晶表示装置。

【発明の詳細な説明】

## 10 【0001】

【発明の属する技術分野】本発明は、液晶表示装置及びその駆動回路に関し、特に、薄膜トランジスタ (Thin Film Transistor: TFT) により、液晶表示パネルと同一のガラス基板上に形成したシフトレジスタに関する。

## 【0002】

【従来の技術】図 9 は、同一のガラス基板上に液晶表示パネルと駆動回路を形成した液晶表示装置の回路図である。液晶表示装置は、薄膜トランジスタ 12、表示電極 13 及び蓄積容量 18 を含む液晶表示パネル 16 と、ゲートバス 15 に選択信号 Q1、Q2 等を出力するゲート・シフトレジスタ 21 と、表示信号をデータバス 14 に供給するアナログスイッチ 23 と、アナログスイッチ 23 を順次導通する駆動信号 Q1、Q2 等を出力するデータ・シフトレジスタ 22 とを有する。

【0003】ゲート・シフトレジスタ 21 は、表示信号の 1 垂直期間で一巡するシフト動作を行い、ゲートバス 15 を液晶表示パネル 16 の上側から順番に選択する。一方、データ・シフトレジスタ 22 は、表示信号の 1 水平期間で一巡するシフト動作を行い、アナログスイッチ 23 を液晶表示パネル 16 の左側に設けられたものから順番に導通させる。

【0004】シフトレジスタ 21、22 は、通常、N 型 MOS トランジスタと P 型 MOS トランジスタによる CMOS 回路で構成されるが、液晶表示装置のプロセス行程を少なくするために、同一導電型の MOS トランジスタで構成することが望ましい。このため、近年、N 型又は P 型だけの MOS トランジスタで構成するシフトレジスタが開発されている。

【0005】P 型 MOS トランジスタだけで構成したシフトレジスタの回路例は、例えば、文献 (Euro Display 1999, pp105-109, Low temperature Poly-Si TFT LCD with 5 Mask Fabrication Process, Yong-Min Ha, Byeong-Koo Kim 等) に記載されている。

【0006】図 10 は、上記文献に記載されたシフトレジスタを、N 型 MOS トランジスタで構成した場合の回路例である。このシフトレジスタ 21 は、図 10(2) に示すように、所定の段数のブロック SR81、SR82 等が縦続に接続され、各ブロックは、図 10(1) に示すように 6 個の N 型 MOS トランジスタで構成される。

50 【0007】そして、スタート信号 SI が初段のブロック

SR81に入力され、1/4周期の位相差を有する4相のクロック信号 1~ 4にตอบสนองして、スタート信号SIを順次シフトさせた出力信号Q1、Q2等を負荷のデータバス等に供給する。なお、図10(1)において、コンデンサC100、C101は、出力信号Q1、Q2を供給するゲートバス等の等価容量を示す。

【0008】従来のシフトレジスタ21の動作を、図11に示すタイムチャートを参照して説明する。時間t1において、スタート信号SIが、ダイオード接続のトランジスタT81のゲート及びドレインに入力される。ここで、スタート信号SIの電圧が20Vとすると、トランジスタT83のゲート電圧G1は、20VからトランジスタT81の閾値電圧である3Vを引いた17Vになる。

【0009】一方、スタート信号SIによりトランジスタT85が導通し、トランジスタT82、T86のゲートを接地電位にしてトランジスタT82、T86を非導通にする。これによりトランジスタT83による負荷C100の充電が可能になる。

【0010】次に、時間t2において、クロック信号 1がトランジスタT83のドレインに入力される。この場合、トランジスタT83のドレインとゲートは、ドレイン - ゲート間容量Cdgにより結合しているため、クロック信号 1をHレベル(20V)にすると、トランジスタT83のゲート電圧G1は、17Vから20V上昇して37Vになる。

【0011】これによりトランジスタT83は導通状態となり、負荷C100の電圧Q1は、クロック信号 1と同じ電圧20Vまで充電される。また、この電圧Q1は、次段のブロックSR82のダイオード接続のトランジスタT87に供給されるため、トランジスタT89のゲート電圧G2は、ゲートG1と同様に17Vまで上昇する。

【0012】次に、時間t3において、クロック信号 1が0Vになると、負荷C100の電圧Q1も0Vになる。これは、トランジスタT83のゲートに蓄積された電荷の放電経路が、ダイオード接続のトランジスタT81により遮断されているため、ゲート電圧G1が17Vに維持され、トランジスタT83は導通状態を継続するためである。

【0013】また、時間t3において、クロック信号 2がHレベル(20V)になるため、次段のブロックSR82のトランジスタT89のドレイン - ゲート間容量Cdgにより、トランジスタT89のゲート電圧G2は、17Vから20V上昇して37Vとなる。

【0014】次に、時間t4において、クロック信号 3がHレベル(20V)になると、初段のブロックSR81のトランジスタT82のゲート電圧は、20Vからダイオード接続のトランジスタT84の閾値電圧3Vを差し引いた17Vになり、トランジスタT82が導通する。このため、トランジスタT83のゲート電圧G1は接地電位となり、トランジスタT83は非導通となる。従って、時間t4以降、クロック信号 1がHレベルになっても、トランジスタT83は非導通のままであり、負荷C100が充電されることはない。

【0015】また、クロック信号 3がHレベル(20V)になったことで、トランジスタT86のゲート電圧は、次のスタート信号SIが入力されるまで17Vに保持される。このためトランジスタT86は、次のスタート信号SIが入力されるまで導通状態を継続し、負荷C100を接地電位に保持する。以上によりシフトレジスタ21の出力信号Q1、Q2等は、順番にHレベルとなりゲートバス等に供給される。

【0016】

10 【発明が解決しようとする課題】このように、シフトレジスタを同一導電型のMOSトランジスタで構成することにより、液晶表示装置のプロセス行程を簡略化することができる。しかしながら、従来提案されたシフトレジスタは、図11のタイムチャートに示すように、MOSトランジスタのゲートG1、G2等に37V程度の高電圧が印加される。この場合、薄膜で形成するMOSトランジスタの耐圧は小さいため、MOSトランジスタのゲートに37V程度の高電圧が印加されると破壊される恐れがある。

20 【0017】一方、同一のガラス基板上に液晶表示パネルと駆動回路を形成する液晶表示装置では、高精細ディスプレイに対応した大量の画素を駆動する多段のシフトレジスタが必要であり、少数のMOSトランジスタで構成でき、回路面積の小さいシフトレジスタが必要である。

【0018】そこで、本発明の目的は、同一導電型の少数のMOSトランジスタで構成され、かつ、MOSトランジスタに印加される電圧を低減することができるシフトレジスタ及びそのシフトレジスタを用いた液晶表示装置を提供することにある。

30 【0019】

【課題を解決するための手段】上記の目的を達成するために、本発明の一つの側面は、出力トランジスタのゲートと所定電位間にコンデンサを接続することにある。本発明によれば、出力トランジスタのドレインに印加される電圧がドレイン - ゲート間容量とコンデンサで分圧されるため、出力トランジスタのゲートの昇圧電圧を従来より低下させることができる。

40 【0020】上記の目的を達成するために、本発明の別の側面は、複数のブロックが縦続に接続され、クロック信号にตอบสนองして入力信号を順次シフトさせ、負荷及び次のブロックに出力信号を供給するシフトレジスタにおいて、複数のブロックに含まれるトランジスタは、同一導電型の薄膜トランジスタであり、各ブロックは、ゲートとドレインが接続され、該ゲート及びドレインに入力信号が供給される第1のトランジスタと、ゲートが第1のトランジスタのソースに接続され、ドレインに入力信号から遅れた第1のクロック信号が供給された時に、ソースから出力信号を出力する第2のトランジスタと、第2のトランジスタのゲートと所定電位間に接続されるコンデンサと、ドレインが第2のトランジスタのゲートに接続

され、ソースが電源に接続され、ゲートに第1のクロック信号から遅れた第2のクロック信号が供給された時に、第2のトランジスタのゲートに蓄積された電荷を電源に放電する第3のトランジスタとを有することを特徴とする。

【0021】本発明によれば、シフトレジスタを、同一導電型の少数の薄膜トランジスタで構成できると共に、第2のトランジスタのゲートと所定電位間にコンデンサを接続することにより、第2のトランジスタのドレインに印加される電圧がドレイン - ゲート間容量とコンデンサで分圧されるため、第2のトランジスタのゲートに昇圧される電圧を低下させることができる。

【0022】また、上記の発明における好ましい態様として、各ブロックは、更に、ドレインが第2のトランジスタのソースに接続され、ソースが電源に接続され、ゲートに第2のクロック信号が供給された時に、負荷に蓄積された電荷を電源に放電する第4のトランジスタと、ドレインが第2のトランジスタのソースに接続され、ソースが電源に接続され、ゲートに第1及び第2のクロック信号と異なる位相の第3のクロック信号が供給された時に、負荷に蓄積された電荷を電源に放電する第5のトランジスタとの少なくとも1つのトランジスタを有することを特徴とする。

【0023】本発明によれば、負荷の抵抗成分により、負荷の電圧が長時間の間に接地電位から変化してしまう場合に、負荷の電圧を接地電位に戻し、液晶表示装置の表示品質を向上させることができる。

【0024】また、上記の発明における好ましい態様として、クロック信号のデューティ比は、25%より小さいことを特徴とする。

【0025】本発明によれば、シフトレジスタの隣り合う出力信号が重なり合うことがなく、その出力信号により駆動されるアナログスイッチが同時に導通することがない。従って、液晶表示パネルの隣り合うデータバスにおける表示信号が相互に影響し合うことがなく、液晶表示装置の表示品質を向上させることができる。

【0026】更に、上記の発明における好ましい態様として、液晶表示装置は、上記のいずれかのシフトレジスタと、シフトレジスタの出力信号により制御される液晶表示パネルとを同一のガラス基板上に形成したことを特徴とする。

【0027】本発明によれば、シフトレジスタを、液晶表示パネルと同一のガラス基板上に、同一導電型の薄膜トランジスタで構成することができるので、液晶表示装置の製造プロセスを簡略化することができる。

【0028】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0029】図1は、本発明の第1の実施の形態のシフ

トレジスタの回路図である。本実施の形態のシフトレジスタは、駆動するゲートバス等の本数に応じて所定の段数が縦続に接続され、各段の出力がそれぞれのゲートバス等に供給されるが、図1では最初の4段のみを示す。

【0030】本実施の形態のシフトレジスタは、スタート信号SIが初段のブロックSR1に入力され、1/4周期の位相差を有する4相のクロック信号 1~ 4にตอบสนองして、スタート信号SIを順次シフトさせた出力信号Q1、Q2等を負荷のデータバス等に出力する。なお、図において、コンデンサC100、C101等は、出力信号Q1、Q2等が供給されるゲートバス等の等価容量を示す。

【0031】本実施の形態のシフトレジスタの各段は同一の構成であり、例えば、初段のブロックSR1は、ドレインとゲートが接続されるダイオード接続の第1のトランジスタT1と、ゲートがトランジスタT1のソースに接続される第2のトランジスタT3と、ドレインがトランジスタT1のソースに接続され、ソースが接地される第3のトランジスタT2と、トランジスタT3のゲートと接地間に接続されるコンデンサC1とを有する。なお、トランジスタはすべて、N型MOSによる薄膜トランジスタである。

【0032】トランジスタT1のゲート及びドレインにスタート信号SIが入力され、トランジスタT2のゲートに、スタート信号SIと3/4周期の位相差を有するクロック信号 3が入力される。また、トランジスタT3のドレインに、スタート信号SIと1/4周期の位相差を有するクロック信号 1が入力される。そして、トランジスタT3のソースから、出力信号Q1が負荷C100及び次段のブロックSR2のトランジスタT4に供給される。

【0033】なお、縦続に接続される各段のブロックSR1、SR2、SR3、SR4は同じ構成であるが、各ブロックのトランジスタT3、T6、T9、T12、・・・のドレインに供給されるクロック信号は、それぞれ 1、2、3、4、1、2、3、4、・・・の順番であり、トランジスタT2、T5、T8、T11、・・・のゲートに供給されるクロック信号は、それぞれ 3、4、1、2、3、4、1、2、・・・の順番である。ここに、クロック信号 1、2、3、4は、それぞれ1/4周期の位相差を有する4相のクロック信号である。

【0034】図2は、本実施の形態のシフトレジスタの動作を示すタイムチャートである。図2を参照して本実施の形態のシフトレジスタの動作を説明する。時間t1において、スタート信号SIがダイオード接続のトランジスタT1のゲート及びドレインに入力される。ここで、スタート信号SIの電圧が20Vとすると、トランジスタT3のゲート電圧G1は、20VからトランジスタT1の閾値電圧3Vを引いた17Vになる。

【0035】次に、時間t2において、クロック信号 1がトランジスタT3のドレインに入力される。この場合、トランジスタT3のドレインとゲートは、ドレイン - ゲート間容量Cdgにより結合しているため、トランジスタT3

のゲートには、クロック信号 1 の電圧 (20V) をドレイン - ゲート間容量  $C_{dg}$  とコンデンサ  $C_1$  で分圧した電圧が重畳される。

【0036】即ち、トランジスタ  $T_3$  のゲートに印加される最大電圧は、

$$1.7V + 2.0V \times (C_{dg} / (C_{dg} + C_1))$$

となり、コンデンサ  $C_1$  の値をトランジスタ  $T_3$  のドレイン - ゲート間容量  $C_{dg}$  と同一に選定すると、トランジスタ  $T_3$  のゲートに印加される最大電圧は、

$$1.7V + 2.0V \times (1/2) = 2.7V$$

となる。この場合、トランジスタ  $T_3$  のゲート電圧は、トランジスタ  $T_3$  の閾値電圧を 3V とすると、負荷  $C_{100}$  にクロック信号 1 のレベルである電源電圧 20V を出力するためには 23V より大きくすれば良い。

【0037】但し、トランジスタ  $T_3$  のゲートに印加される電圧を、電源電圧プラス閾値電圧近傍の低いレベルにすると、トランジスタ  $T_3$  の導通抵抗が上昇して負荷  $C_{100}$  の充電時間が長くなる。そこで、コンデンサ  $C_1$  の大きさを調整し、トランジスタ  $T_3$  のゲートに印加される電圧をトランジスタの最大耐圧よりは小さいが、電源電圧プラス閾値電圧より十分大きい値にすれば、信頼性を確保しつつ負荷  $C_{100}$  の充電時間を短くすることができる。なお、図 2 において、従来のシフトレジスタの場合にトランジスタのゲートに印加される電圧を点線 (37V) で示す。

【0038】これによりトランジスタ  $T_3$  は導通状態となるため、負荷  $C_{100}$  の電圧  $Q_1$  は、クロック信号 1 と同じ 20V まで充電される。一方、その電圧  $Q_1$  は、次段のブロック  $SR_2$  のダイオード接続のトランジスタ  $T_4$  にも供給されるため、トランジスタ  $T_6$  のゲート電圧  $G_2$  は、20V からトランジスタ  $T_4$  の閾値電圧 3V を引いた 17V まで上昇する。

【0039】次に、時間  $t_3$  において、クロック信号 1 が 0V になると、負荷  $C_{100}$  の電圧  $Q_1$  も 0V になる。これは、トランジスタ  $T_3$  のゲート電荷の放電経路が、ダイオード接続のトランジスタ  $T_1$  により遮断されているため、トランジスタ  $T_3$  のゲート電圧  $G_1$  が 17V に維持され、トランジスタ  $T_3$  の導通状態が継続されるためである。

【0040】また、時間  $t_3$  において、クロック信号 2 が H レベル (20V) になるため、トランジスタ  $T_6$  のドレイン - ゲート間容量  $C_{dg}$  により、トランジスタ  $T_6$  のゲート電圧  $G_2$  は、17V から 10V 上昇して 27V となる。

【0041】次に、時間  $t_4$  において、クロック信号 3 が H レベル (20V) になると、トランジスタ  $T_2$  が導通する。このため、トランジスタ  $T_3$  のゲート電圧  $G_1$  は接地電位となり、トランジスタ  $T_3$  は非導通となる。従って、時間  $t_4$  以降、クロック信号 1 が H レベルになっても、トランジスタ  $T_3$  は非導通のままであり、負荷  $C_{100}$  が充電されることはない。以上によりシフトレジスタの各ブロック  $SR_1$ 、 $SR_2$ 、 $SR_3$ 、 $SR_4$  等の出力  $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$  等は順番に H レベルとなり、液晶表示パネルのゲートバス等を順

次駆動することができる。

【0042】このように、本実施の形態のシフトレジスタは、少数の N 型 MOS トランジスタで構成することができると共に、トランジスタ  $T_3$ 、 $T_6$  等のゲートにコンデンサ  $C_1$ 、 $C_2$  等を接続することにより、トランジスタ  $T_3$ 、 $T_6$  のゲートに印加される最大電圧を低下させることができる。

【0043】従って、シフトレジスタを構成する MOS トランジスタを、液晶画素を駆動する薄膜トランジスタと同じプロセスで生成することができ、液晶表示装置の製造プロセスを簡略化することができる。

【0044】図 3 は、本発明の実施の形態の液晶表示装置の構成図である。本実施の形態の液晶表示装置 17 は、ガラス基板上に、薄膜トランジスタ 12、表示電極 13 及び蓄積容量 18 を含む液晶表示パネル 16 と、液晶表示パネル 16 に各種の信号を供給する駆動回路 11、ゲート・シフトレジスタ 21、データ・シフトレジスタ 22、アナログスイッチ 23 等が形成される。ここに、ゲート・シフトレジスタ 21 及びデータ・シフトレジスタ 22 は、薄膜による同一導電型の MOS トランジスタで構成される。

【0045】駆動回路 11 から出力される垂直期間のスタート信号  $S_1$  は、ゲート・シフトレジスタ 21 の初段のブロック  $SR_1$  に入力され、各段の出力信号  $Q_1$ 、 $Q_2$  等が、順次、液晶表示パネル 16 のゲートバス 15 に供給される。また、駆動回路 11 から出力される水平期間のスタート信号  $S_1$  は、データ・シフトレジスタ 22 の初段のブロック  $SR_1$  に入力され、各段の出力信号  $Q_1$ 、 $Q_2$  等が、所定のブロックに分割されたアナログスイッチ 23 に供給される。

【0046】一方、駆動回路 11 から出力される表示信号は、アナログスイッチ 23 を介して液晶表示パネル 16 のデータバス 14 に供給される。表示信号の 1 水平期間において、データ・シフトレジスタ 22 の出力  $Q_1$ 、 $Q_2$  等は、液晶表示パネル 16 の左側から右側にシフト動作し、アナログスイッチ 23 の各ブロックを順次導通させて、すべてのデータバス 14 に表示信号を転送する。

【0047】このように本実施の形態の液晶表示装置は、シフトレジスタを、液晶表示パネル 16 と同一のガラス基板上に、同一導電型の薄膜トランジスタで構成することができるので、液晶表示装置の製造プロセスを簡略化することができる。

【0048】図 4 は、図 1 のシフトレジスタの駆動方法を示す別のタイムチャートである。図 1 のシフトレジスタは、図 2 のタイムチャートにより動作するが、図 2 のタイムチャートでは、シフトレジスタの出力信号  $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$  等の立ち上がり立ち下がりが同時であり、出力信号の遅延時間のばらつき等により、隣り合う出力信号がともに H レベルになる場合が生じる。

【0049】このため、この出力信号  $Q_1$ 、 $Q_2$  等により、例えば、表示信号をデータバス 14 に供給するアナログスイッチ 23 を駆動すると、隣り合うアナログスイッチ 23 が

同時に導通し、表示信号が供給されたデータバス14に隣りのデータバス14の表示信号が漏れ、液晶表示装置の表示品質を低下させてしまう。

【0050】そこで、図4に示すように、シフトレジスタに供給する4相のクロック信号 1~ 4を、前のクロック信号の立ち下がりから時間  $t$  の経過後に立ち上がらせる。即ち、クロック信号 1~ 4のデューティ比を25%より小さくして、クロック信号 1~ 4が同時にLレベル(0V)になる期間を作る。

【0051】この駆動方法によれば、クロック信号 1 ~ 4が重なることがなく、シフトレジスタの各段の出力Q1、Q2、Q3、Q4は、前段の出力信号が確実にLレベル(0V)に戻ってからHレベル(20V)になる。

【0052】従って、この駆動方法により、例えば、表示信号をデータバス14に供給するアナログスイッチ23を駆動すれば、隣り合うアナログスイッチ23が同時に導通することがなく、隣り合うデータバス14における表示信号の漏れを防止して、液晶表示装置の表示品質を向上させることができる。

【0053】図5は、本発明の第2の実施の形態のシフトレジスタの回路図である。本実施の形態のシフトレジスタは、第1の実施の形態のN型MOSトランジスタをP型MOSトランジスタに置き換えたものである。

【0054】本実施の形態のシフトレジスタは、各ブロックが3つのP型MOSトランジスタとコンデンサにより構成され、スタート信号SIが初段のブロックSR11に入力される。そして、1/4周期の位相差を有する4相のクロック信号 1~ 4にตอบสนองして、スタート信号SIを順次シフトさせた出力信号Q1、Q2等を負荷のデータバス等に出力する。

【0055】本実施の形態のシフトレジスタのタイムチャートを図6に示す。スタート信号SI及びクロック信号 1~ 4の論理レベルを図2のタイムチャートと逆にすることにより、逆極性の出力信号Q1、Q2、Q3、Q4を液晶表示装置のデータバス等に出力することができる。

【0056】本実施の形態のシフトレジスタにおいても、例えば、トランジスタT16のゲートには、クロック信号 1の電圧をトランジスタT16のドレイン - ゲート間容量  $C_{dg}$  とコンデンサC11とにより分圧した電圧が重畳されるので、トランジスタT16のゲートに印加される電圧G1を小さくすることができる。

【0057】従って、シフトレジスタを構成するP型MOSトランジスタを、液晶画素を駆動する薄膜トランジスタと同じプロセスで生成することができ、液晶表示装置の製造プロセスを簡略化することができる。

【0058】図7は、本発明の第3の実施の形態のシフトレジスタの回路図である。本実施の形態のシフトレジスタは、図1に示したシフトレジスタの各段に、出力信号Q1等の電圧変動を防止する第4のトランジスタT24及び第5のトランジスタT25、T26を付加したものである。

【0059】即ち、本実施の形態のシフトレジスタの初段のブロックSR21において、トランジスタT23のソースに、並列接続したトランジスタT24、T25、T26のドレインを接続し、それらのトランジスタT24、T25、T26のソースを接地する。そして、トランジスタT24、T25、T26のそれぞれのゲートに、クロック信号 3、2、4を供給する。

【0060】本実施の形態のシフトレジスタのタイムチャートは図2に示したものと同様である。ただし、本実施の形態によれば、負荷C100を充電するクロック信号1以外のクロック信号 2、3、4により、並列接続されたトランジスタT25、T24、T26が導通する。このため、クロック信号 2、3、4の期間に、負荷C100の電圧Q1を確実に接地電位にしておくことができる。

【0061】従って、例えば、負荷C100、C101等の抵抗成分により、負荷C100、C101等の電圧Q1、Q2等が、長時間の間に接地電位から変化してしまう場合に、負荷C100、C101等の電圧Q1、Q2等を接地電位に戻し、液晶表示装置の表示品質を向上させることができる。なお、トランジスタT25、T24、T26はいずれか1つ又は2つでもよく、また、各トランジスタをP型MOSトランジスタで構成することもできる。

【0062】図8は、本発明の第4の実施の形態のシフトレジスタの回路図である。本実施の形態のシフトレジスタは、図10に示した従来のシフトレジスタに、トランジスタに印加される電圧を制限するコンデンサを付加したものである。

【0063】即ち、図8に示すように、本実施の形態のシフトレジスタの初段のブロックSR41において、トランジスタT43のゲートと接地間にコンデンサC41が付加され、次段のブロックSR42において、トランジスタT49のゲートと接地間にコンデンサC42が付加される。なお、初段のブロックSR41において、トランジスタT44、T46、T45が、それぞれ請求項3における第6、第7、第8のトランジスタに対応する。

【0064】本実施の形態のタイムチャートは図2に示したものと同様である。即ち、時間 $t_1$ において、スタート信号SIが、ダイオード接続のトランジスタT41のゲート及びドレインに入力される。ここで、スタート信号SIの電圧が20Vとすると、トランジスタT43のゲート電圧G1は、20VからトランジスタT41の閾値電圧である3Vを引いた17Vになる。

【0065】また、スタート信号SIが入力されると、トランジスタT45が導通してトランジスタT42、T46のゲートを接地電位にし、トランジスタT42、T46を非導通にする。これにより、トランジスタT43による負荷C100の充電が可能になる。

【0066】次に、時間 $t_2$ において、クロック信号 1がトランジスタT43のドレインに入力される。この場合、トランジスタT43のドレインとゲートは、ドレイン

- ゲート間容量  $C_{dg}$ により結合しているため、トランジスタT43のゲートには、クロック信号 1のHレベル(20V)を、ドレイン - ゲート間容量  $C_{dg}$ とコンデンサC41で分圧した電圧が重畳される。

【0067】即ち、トランジスタT43のゲート電圧G1は、コンデンサC41をドレイン - ゲート間容量  $C_{dg}$ と同じに設定すると、17Vから10Vだけ上昇し27Vとなる。これによりトランジスタT43は導通状態となり、負荷C100はクロック信号 1と同じ電圧20Vまで充電される。なお、コンデンサC41をトランジスタT43のドレイン - ゲート間容量  $C_{dg}$ の2倍とすれば、ゲート電圧G1は23.6V(=17V+20V/3)までしか上昇しない。

【0068】次に、時間t3において、クロック信号 1が0Vになると、負荷C100の電圧Q1も0Vになる。これは、トランジスタT43のゲートに蓄積された電荷の放電経路が、ダイオード接続のトランジスタT41により遮断されているため、ゲート電圧G1が17Vに維持され、トランジスタT43は導通状態を継続するためである。

【0069】次に、時間t4において、クロック信号 3がHレベル(20V)になると、初段のブロックSR41のトランジスタT42のゲート電圧は、20Vからダイオード接続のトランジスタT44の閾値電圧3Vを差し引いた17Vになり、トランジスタT42が導通する。このため、トランジスタT43のゲート電圧G1は接地電位となり、トランジスタT43は非導通となる。従って、時間t4以降、クロック信号 1がHレベルになっても、トランジスタT43は非導通のままであり、負荷C100が充電されることはない。

【0070】また、クロック信号 3がHレベル(20V)になったことにより、トランジスタT46のゲート電圧は、次のスタート信号SIが入力されるまで17Vに保持される。このためトランジスタT46は、次のスタート信号SIが入力されるまで導通状態を継続し、負荷C100を接地電位に保持する。以上によりシフトレジスタの出力信号Q1、Q2等は、順番にHレベルとなりゲートバス等に供給される。

【0071】このように本実施の形態のシフトレジスタによれば、トランジスタT43のゲートには、クロック信号 1の電圧がトランジスタT43のドレイン - ゲート間容量  $C_{dg}$ とC41とにより分圧された電圧が重畳されるので、トランジスタT43のゲートに印加される電圧を小さくすることができる。

【0072】従って、シフトレジスタを構成するMOSトランジスタを、液晶画素を駆動する低耐圧の薄膜トランジスタと同じプロセスで生成することができ、液晶表

示装置の製造プロセスを簡略化することができる。なお、本実施の形態のシフトレジスタは、P型MOSトランジスタにより構成することもできる。

【0073】本発明の保護範囲は、上記の実施の形態に限定されず、特許請求の範囲に記載された発明とその均等物に及ぶものである。

【0074】

【発明の効果】以上、本発明によれば、出力トランジスタのドレインに印加される電圧がドレイン - ゲート間容量とコンデンサで分圧されるため、出力トランジスタのゲートの昇圧電圧を従来より低下させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のシフトレジスタの回路図である。

【図2】本発明の第1の実施の形態のシフトレジスタのタイムチャート(1)である。

【図3】本発明の実施の形態の液晶表示装置の構成図である。

【図4】本発明の第1の実施の形態のシフトレジスタのタイムチャート(2)である。

【図5】本発明の第2の実施の形態のシフトレジスタの回路図である。

【図6】本発明の第2の実施の形態のシフトレジスタのタイムチャートである。

【図7】本発明の第3の実施の形態のシフトレジスタの回路図である。

【図8】本発明の第4の実施の形態のシフトレジスタの回路図である。

【図9】従来の液晶表示装置の回路図である。

【図10】従来のシフトレジスタの回路図である。

【図11】従来のシフトレジスタのタイムチャートである。

【符号の説明】

T1、T2 N型MOSトランジスタ

T14、T15 P型MOSトランジスタ

C1、C2 コンデンサ

12 薄膜トランジスタ

14 データバス

15 ゲートバス

16 液晶表示パネル

17 液晶表示装置

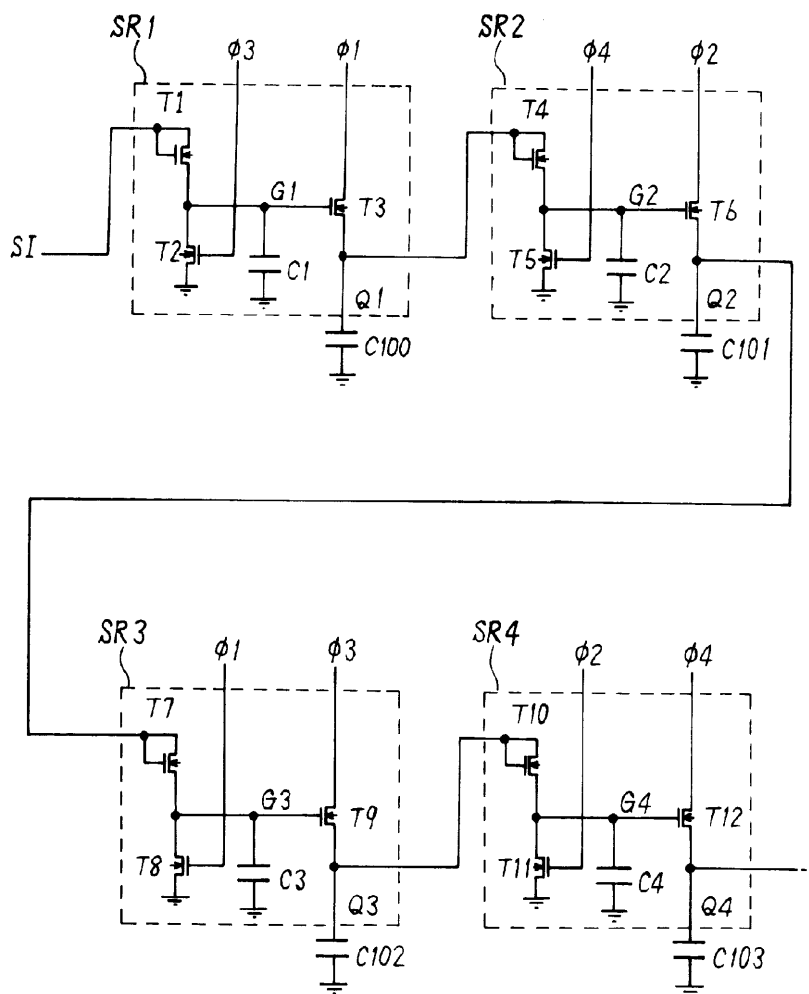
21 ゲート・シフトレジスタ

22 データ・シフトレジスタ

23 アナログスイッチ

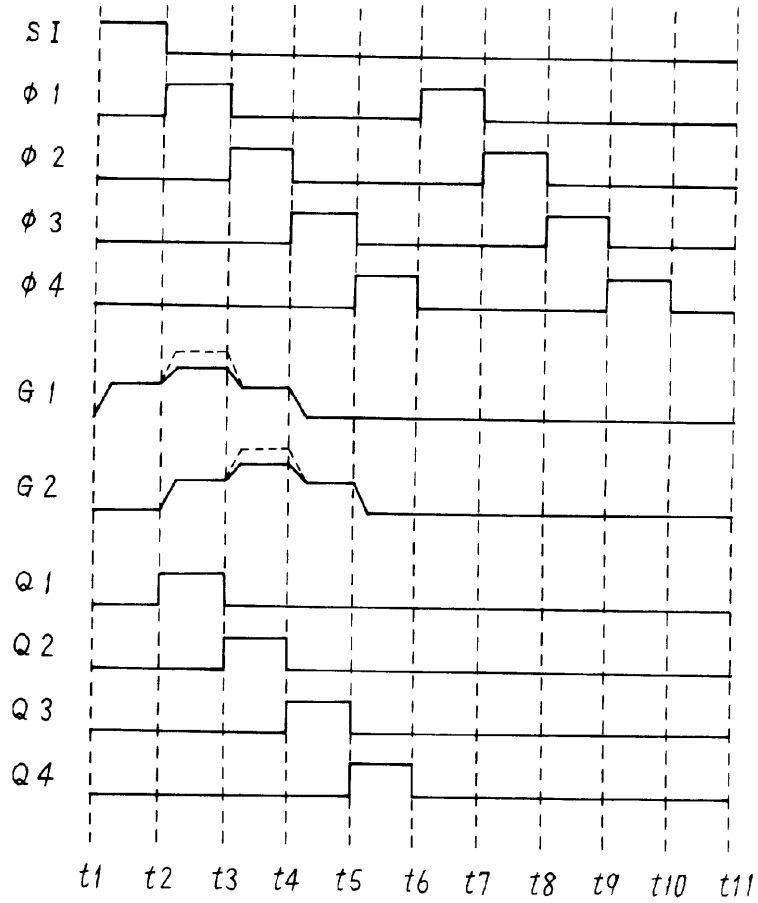
【図1】

本発明の第1の実施の形態のシフトレジスタの回路図



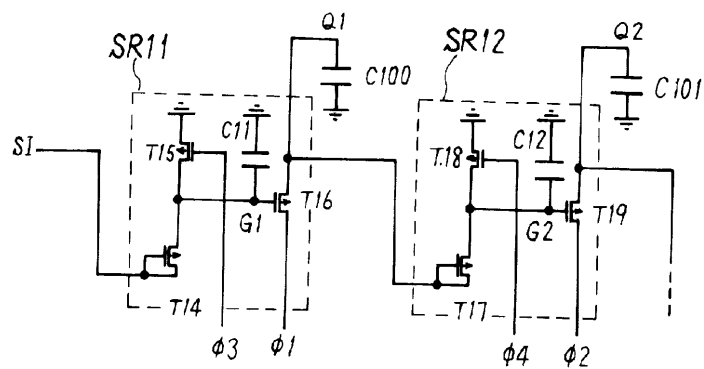
【図2】

本発明の第1の実施の形態のシフトレジスタのタイムチャート(1)



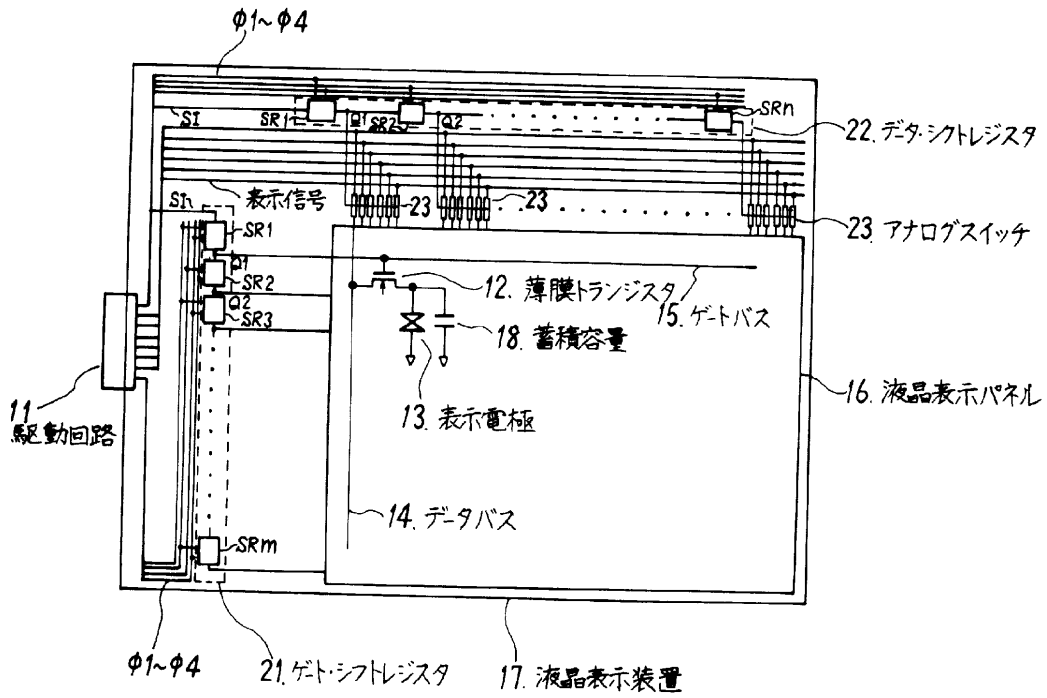
【図5】

本発明の第2の実施の形態のシフトレジスタの回路図



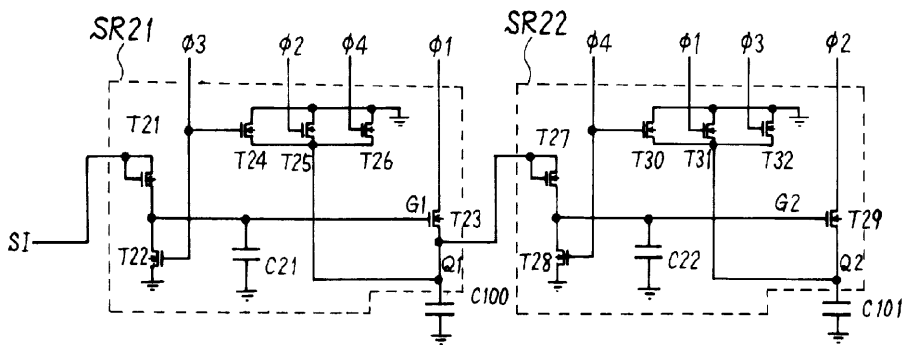
【図3】

本発明の実施の形態の液晶表示装置の構成図



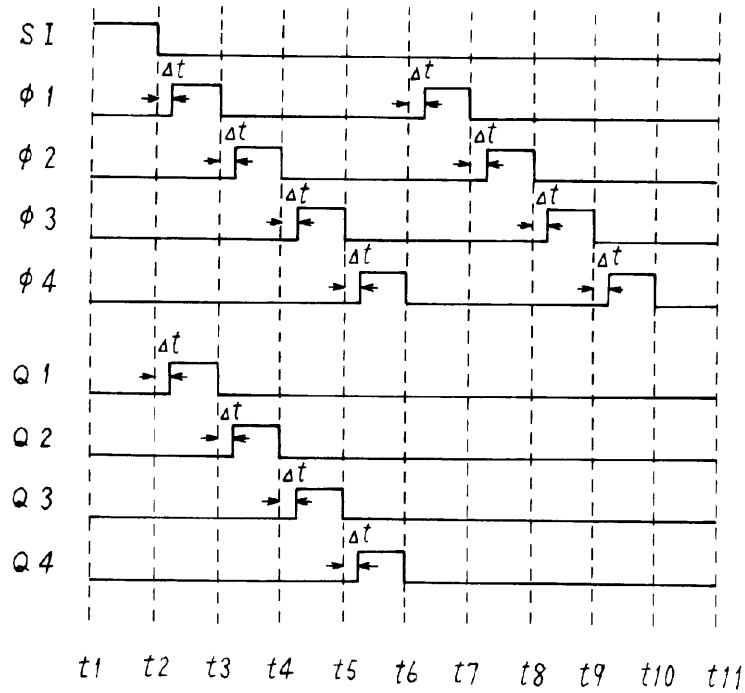
【図7】

本発明の第3の実施の形態のシフトレジスタの回路図



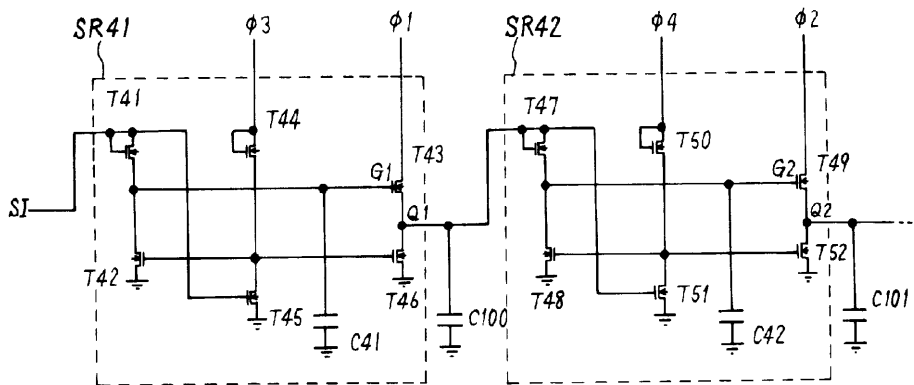
【図4】

本発明の第1の実施の形態のシフトレジスタのタイムチャート(2)



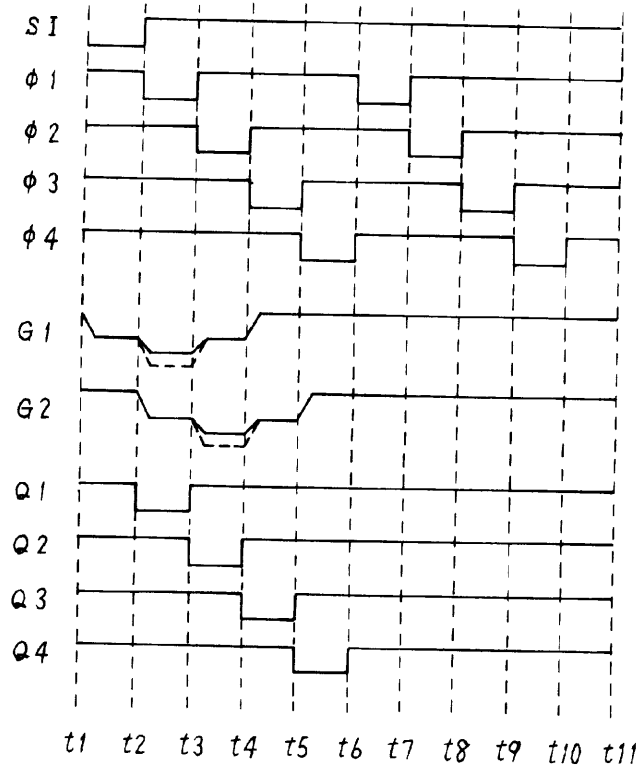
【図8】

本発明の第4の実施の形態のシフトレジスタの回路図



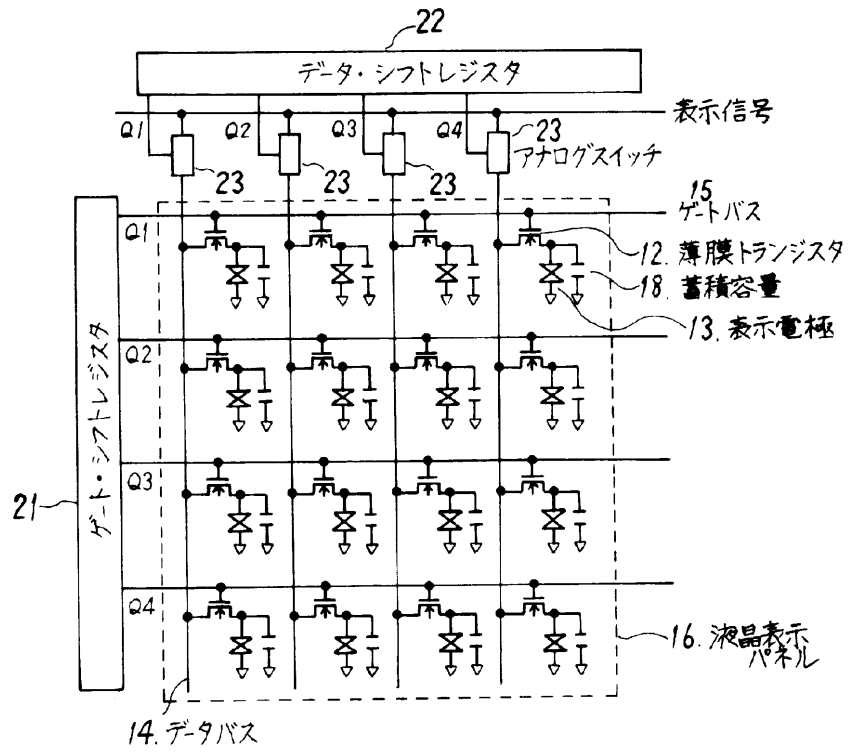
【図6】

本発明の第2の実施の形態のシフトレジスタのタイムチャート



【図9】

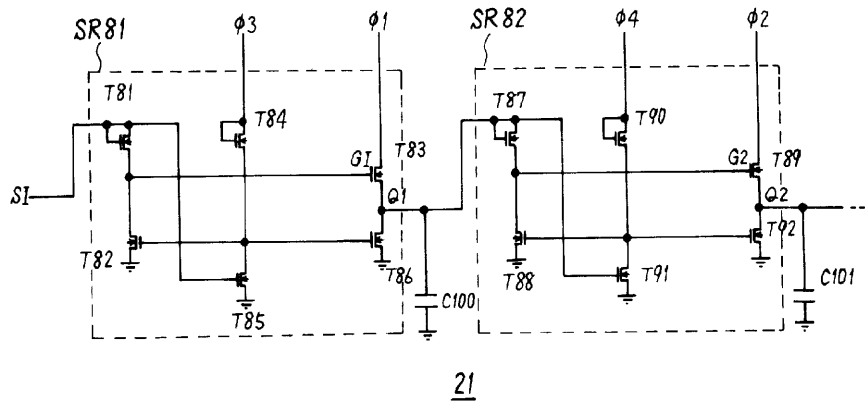
液晶表示装置の回路図



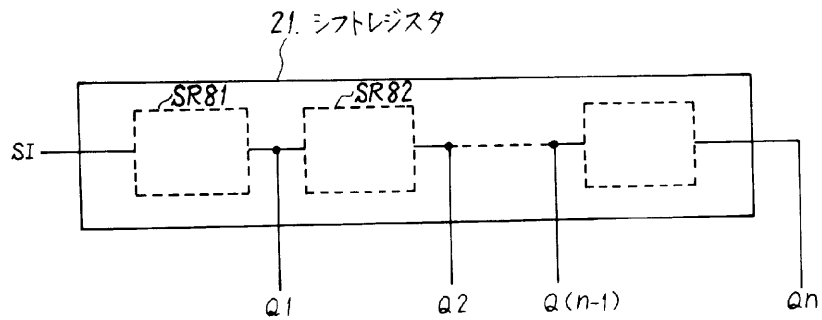
【図10】

従来のシフトレジスタの回路図

(1)

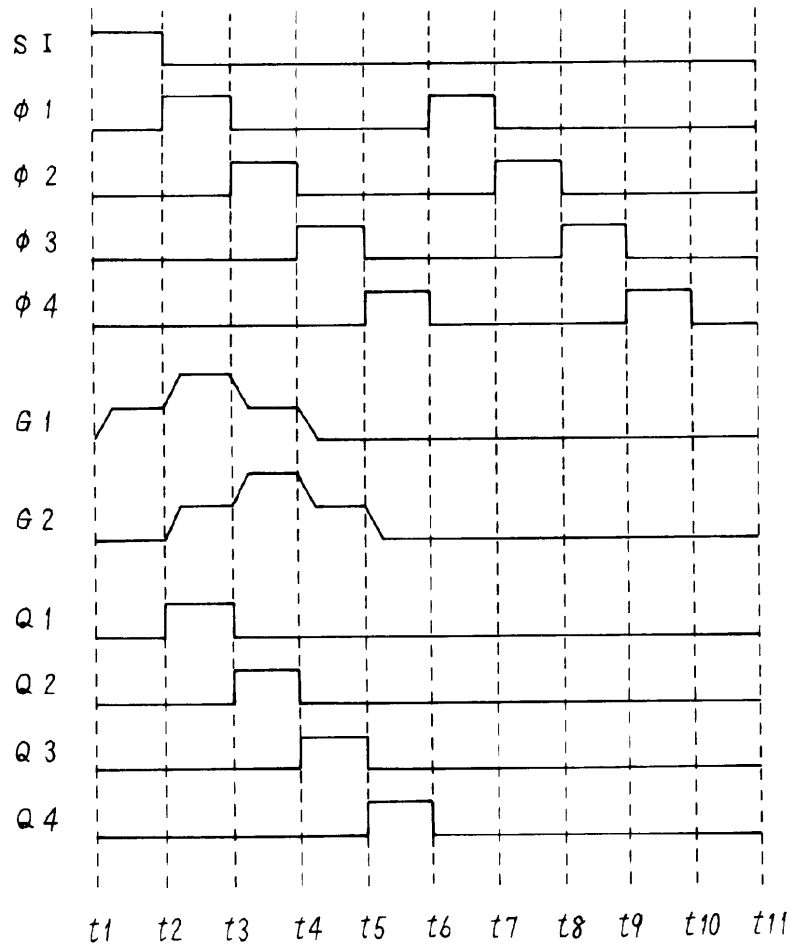


(2)



【図11】

従来のシフトレジスタのタイムチャート



フロントページの続き

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/36

G 1 1 C 19/28

識別記号

F I

G 0 9 G 3/36

G 1 1 C 19/28

テ-マコード(参考)

Z

Fターム(参考) 2H093 NA16 NA80 NC22 NC26 NC34  
 NC90 ND38 ND49 NE07  
 5C006 BB16 BC20 BF03 BF31 FA46  
 5C080 AA10 BB05 DD25 DD28 JJ02  
 JJ03 JJ04 JJ06

