

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000 - 206943

(P2000 - 206943A)

(43)公開日 平成12年7月28日 (2000.7.28)

| (51) Int.Cl ⁷ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|--------|---------------|--------|
| G 0 9 G 3/36 | | | G 0 9 G 3/36 | |
| G 0 2 F 1/133 | 550 | | G 0 2 F 1/133 | 550 |
| G 0 9 G 3/20 | 611 | | G 0 9 G 3/20 | 611 C |
| | 612 | | | 612 L |

審査請求 未請求 請求項の数 19 O L (全 9 数)

(21)出願番号 特願2000 - 262(P2000 - 262)

(22)出願日 平成12年1月5日(2000.1.5)

(31)優先権主張番号 1999P69

(32)優先日 平成11年1月5日(1999.1.5)

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 文 勝 煥

大韓民国ソウル市瑞草區蠶院洞バンボタワ

ーハンシアパート102棟1207号

(74)代理人 100094145

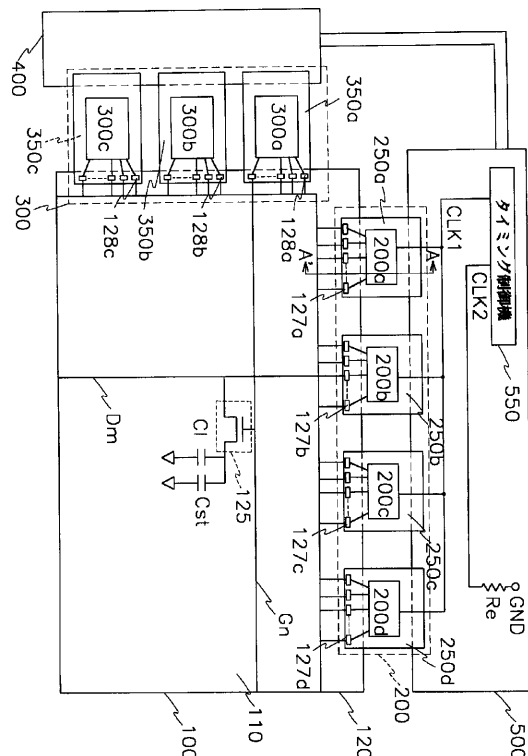
弁理士 小野 由己男 (外1名)

(54)【発明の名称】 デュアルシフトクロック配線を有する液晶表示装置

(57)【要約】

【課題】 シフトクロック信号の伝送に起因する電磁波の干渉の減少。

【解決手段】 画像データ信号及びこの画像データ信号をシフトするためのシフトクロック信号を生成するタイミング制御機550を、データドライバIC200とは異なる印刷回路基板500に形成する。印刷回路基板500には、シフトクロック信号を伝送するための第1信号配線CLK1と、シフトクロック信号と同一周波数で位相が反対である第1クロック信号を伝送するための第2信号配線CLK2とを形成する。第2信号配線CLK2により、シフトクロック信号と反対位相のクロック信号を伝送するので、シフトクロック信号の伝送に起因する電磁波の干渉が減少する。シフトクロック信号と第1クロック信号との位相差は、90°~270°とすることが出来る。



【特許請求の範囲】

【請求項1】データ線と、前記データ線に交差するゲート線と、マトリクス形態に配列されており、前記ゲート線及びデータ線に連結されているスイッチング素子を有する画素とを含む液晶表示装置パネルと、前記スイッチング素子をオンにするためのゲート電圧を前記ゲート線に順次に印加するゲート駆動部と、画像データ信号を示す階調電圧を前記データ線にライン単位で印加するデータ駆動部と、前記データ駆動部に伝送されるシフトクロック信号を生成するタイミング制御機とを含み、前記シフトクロック信号は第1信号配線を通じて伝送され、前記シフトクロック信号と同一周波数であり、かつ90#~270#の位相差を有する第1クロック信号は第2信号配線を通じて伝送されることを特徴とする液晶表示装置。

【請求項2】前記第2信号配線は所定の抵抗を通じて接地点に連結されることを特徴とする、請求項1に記載の液晶表示装置。

【請求項3】前記第1クロック信号は前記タイミング制御機により生成されることを特徴とする、請求項2に記載の液晶表示装置。

【請求項4】前記第1信号配線と前記第2信号配線とは回路基板に形成されることを特徴とする、請求項2に記載の液晶表示装置。

【請求項5】前記回路基板は印刷回路基板であることを特徴とする、請求項4に記載の液晶表示装置。

【請求項6】前記印刷回路基板は多層の配線領域を有し、前記第1信号配線と前記第2信号配線とは同一層に互いに平行して形成されることを特徴とする、請求項5に記載の液晶表示装置。

【請求項7】前記印刷回路基板は多層の配線領域を有し、前記第1信号配線と前記第2信号配線とは互いに異なる層に形成されることを特徴とする、請求項5に記載の液晶表示装置。

【請求項8】前記第1クロック信号は、前記シフトクロック信号と180#の位相差を有することを特徴とする、請求項1に記載の液晶表示装置。

【請求項9】前記データ駆動部は、それぞれ前記画像データ信号及びシフトクロック信号を受信し、前記画像データ信号に対応する階調電圧を所定のデータ線に印加するデータドライバ集積回路を含む、請求項1~8のいずれかに記載の液晶表示装置。

【請求項10】前記データドライバ集積回路は、前記シフトクロック信号に同期し、前記画像データ信号をシフトしながら保存するシフトレジスタと、前記シフトレジスタに保存された画像データ信号を受信し、前記画像データ信号に対応する階調電圧に変換する

D/Aコンバータと、前記D/Aコンバータから出力される階調電圧を臨時保存した後、ロード信号に応答して前記階調電圧を前記所定のデータ線にライン単位で印加する出力バッファと、を含む請求項9に記載の液晶表示装置。

【請求項11】データ線と、前記データ線に交差するゲート線と、マトリクス形態で配列されており、前記ゲート線及びデータ線に連結されているスイッチング素子を有する画素とを含む液晶表示装置パネルと、前記スイッチング素子をオンにするためのゲート電圧を前記ゲート線に順次に印加するゲート駆動部と、画像データ信号を示す階調電圧を、前記データ線にライン単位で印加するデータ駆動部と、直列で伝送される画像データ信号を受信し、前記画像データ信号から第1画像データ信号と第2画像データ信号とを生成し、互いに90#~270#の位相差を有し、前記第1及び第2画像信号をそれぞれシフトするための第1及び第2シフトクロック信号を生成するタイミング制御機と、前記第1及び第2画像データ信号をそれぞれ伝送するための第1及び第2画像信号配線と、前記第1及び第2シフトクロック信号をそれぞれ伝送するための第1及び第2クロック配線とが形成されている回路基板と、を含む液晶表示装置。

【請求項12】前記回路基板は印刷回路基板であることを特徴とする、請求項11に記載の液晶表示装置。

【請求項13】前記第1画像データ信号は、前記画像データ信号の中の奇数番目の信号であり、前記第2画像データ信号は前記画像データ信号の中の偶数番目の信号であることを特徴とする、請求項12に記載の液晶表示装置。

【請求項14】前記第1及び第2シフトクロック信号は互いに180#の位相差を有することを特徴とする、請求項13に記載の液晶表示装置。

【請求項15】前記第1画像データ信号と前記第2画像データ信号とは互いに90#~270#の範囲内の位相差を有することを特徴とする、請求項14に記載の液晶表示装置。

【請求項16】前記第1画像データ信号と前記第2画像データ信号とは互いに180#の位相差を有することを特徴とする、請求項15に記載の液晶表示装置。

【請求項17】前記第1画像データ信号は前記第1シフトクロック信号のライジングエッジに同期してシフトされ、前記第2画像データ信号は前記第2シフトクロック信号のフォールディングエッジに同期してシフトされることを特徴とする、請求項16に記載の液晶表示装置。

【請求項18】前記第1及び第2シフトクロック信号のパルス幅は、前記第1及び第2画像データ信号のハイまたはロー信号の区間内にあることを特徴とする、請求項16に記載の液晶表示装置。

【請求項19】前記第1及び第2画像データ信号は互いに90#または270#の位相差を有することを特徴とする、請求項15に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関し、特に、デュアルシフトクロック配線を有する液晶表示装置に関する。

【0002】

【従来の技術】図1は従来の薄膜トランジスタ液晶表示(thin film transistor liquid crystal display; TFT-LCD)を示す図面である。図1に示すように、TFT-LCDは、通常LCDパネル10、データ駆動部20、ゲート駆動部30及びタイミング制御機40からなる。

【0003】LCDパネル10には、走査線(scan line)である複数のゲート線(図示せず)が平行に形成されており、画像信号が印加される複数のデータ線(図示せず)が前記ゲート線と絶縁されて交差するように形成されている。複数のデータ線とゲート線とによって囲まれた領域は画素を形成する。各画素には、スイッチング素子である薄膜トランジスタ(thin film transistor; TFT)が形成されている。このTFTのゲート電極、ソース電極及びドレーン電極には、それぞれゲート線、データ線及び画素電極が連結される。

【0004】データ駆動部20は、LCDパネル10のデータ線に電気的に連結されており、タイミング制御機40から出力されるデジタル信号であるR、G、Bデータ信号と制御信号との入力を受け、アナログ信号であるR、G、Bデータ電圧をLCDパネル10の各データ線にライン単位で印加する。この時、一つの集積回路(integrated circuit; IC)でLCDパネルの全てのデータ線を連結する場合、出力ピンの個数が増加する。そこで通常、多数のデータドライバIC20a、20b、20c、20dでデータ駆動部20を構成する。

【0005】ゲート駆動部30は、LCDパネル10のゲート線に電気的に連結されており、スイッチング素子であるTFTをオンにするためのゲートオン電圧をゲート線に順次印加する。ゲートオン電圧によって複数のゲート線の中の一つのゲート線に連結されたTFTがオンになると、データ線に印加されたデータ電圧がTFTのドレーン電極を通じて画素電極に伝達される。ゲート駆動部30も、データ駆動部と同一の理由で、多数のゲートドライバIC(30a、30b、30c、30d)からなる。

【0006】タイミング制御機40は、R、G、Bデータ信号及び各種のタイミング信号をデータ駆動部20及びゲート駆動部30に出力する。タイミング制御機40

は、データ駆動部20及びゲート駆動部30と分離された印刷回路基板(printed circuit board; PCB)50に形成されている。このPCB50に形成された配線を通じ、各種のタイミング信号及びR、G、Bデータ信号をデータ駆動部20またはゲート駆動部30に伝送する。

【0007】この時、タイミング制御機40からデータ駆動部20に伝送される信号の中には、高周波である画像データ信号と、この画像データ信号をデータ駆動部20のシフトレジスタ(図示せず)に保存するためのシフトクロック信号とがある。

【0008】

【発明が解決しようとする課題】前記のようなシフトクロック信号は、例えば、XGA級TFT-LCDである場合、クロック周波数が65MHz以上となる。このシフトクロックをPCB50の配線を通じて全てのデータドライバIC(20a、20b、20c、20d)に伝送する場合、電磁波の干渉(electro-magnetic interference; EMI)の問題が発生する。

【0009】特に、TFT-LCDのPCB50は、図1に示すように、LCDパネルの長辺の長さと同様である。また、全てのデータドライバIC20a、20b、20c、20dに前記シフトクロック信号を伝送する。従って、高速のシフトクロックを伝送する配線の長さが非常に長くなる。これにより、高速のシフトクロックの伝送に起因するEMIはTFT-LCDにとって問題となる。

【0010】本発明は、前記の問題点を解決し、高速のシフトクロック信号及びデータ信号の伝送に起因するEMIを減少させることを目的とする。

【0011】

【課題を解決するための手段】前記目的を達成するための本発明の一つの特徴による液晶表示装置は、データ線と、前記データ線に交差するゲート線と、マトリクス形態で配列されていて前記ゲート線及びデータ線に連結されているスイッチング素子を有する画素とを含む液晶表示装置パネル;前記スイッチング素子をオンにするためのゲート電圧を前記ゲートラインに順次に印加するゲート駆動部;画像データの信号を示す階調電圧を前記データ線にライン単位で印加するデータ駆動部;前記データ駆動部に伝送されるシフトクロック信号を生成するタイミング制御機;及び前記シフトクロック信号を伝送するための第1信号配線と、前記シフトクロック信号と同一周波数であり、90#乃至270#の位相差を有する第1クロック信号を伝送するための第2信号配線とが形成されている回路基板;を含む。

【0012】ここで、前記第2信号配線は、所定の抵抗を通じて接地点に連結されるのが好ましい。また、前記第1クロック信号は、前記タイミング制御機により生成

され、前記シフトクロック信号と180#の位相差を有するのが好ましい。また、前記データ駆動部は、それぞれ前記画像データ信号及びシフトクロック信号が伝送され、前記画像データ信号に対応する階調電圧を所定のデータ線に印加するデータドライバ集積回路から構成できる。

【0013】このとき、各データドライバ集積回路は、前記シフトクロック信号に同期して前記画像データ信号をシフトしながら保存するシフトレジスタと、前記シフトレジスタに保存された画像データ信号を受信し、前記画像データ信号に対応する階調電圧に変換するD/Aコンバータと、前記D/Aコンバータから出力される階調電圧を臨時保存した後、ロード信号に反応して前記階調電圧を前記所定のデータ線にライン単位で印加する出力バッファを含む。

【0014】一方、本発明の他の特徴による液晶表示装置は、データ線と、前記データ線に交差するゲート線と、マトリクス形態で配列されており、前記ゲート線及びデータ線に連結されているスイッチング素子を有する画素を含む液晶表示装置パネル；前記スイッチング素子をオンにするためのゲート電圧を前記ゲートラインに順次印加するゲート駆動部；画像データ信号を示す階調電圧を前記データ線にライン単位で印加するデータ駆動部；直列で伝送される画像データ信号を受信し、前記画像データ信号から第1画像データ信号と第2画像データ信号とを生成し、互いに90#~270#以内の位相差を有する、前記第1及び第2画像データ信号をそれぞれシフトするための第1及び第2シフトクロック信号をそれぞれ生成するタイミング制御機；及び前記第1及び第2画像データ信号をそれぞれ伝送するための第1及び第2画像データ信号の配線と前記第1及び第2シフトクロック信号をそれぞれ伝送するための第1及び第2クロック配線とが形成されている回路基板；を含む。

【0015】ここで、前記第1画像データ信号は、前記画像データ信号の中の奇数番目の信号であり、前記第2画像データ信号は前記画像データ信号の中の偶数番目の信号であるのが好ましい。また、前記第1及び第2シフトクロック信号は互いに180#の位相差を有するのが好ましい。このとき、前記第1画像データ信号と前記第2画像データ信号とは、互いに90#~270#の範囲内の位相差を有するのが好ましい。

【0016】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態例を詳細に説明する。図2は、本発明の第1実施形態例によるTFT-LCDを示す図面である。図2に示すように、本発明の第1実施形態例によるTFT-LCDは、LCDパネル100、データ駆動部200、ゲート駆動部300及びタイミング制御機550からなる。

【0017】LCDパネル100は、TFT基板12

0、カラーフィルタ基板110及び二つの基板の間に注入される液晶層からなる。カラーフィルタ基板110には、共通電圧が印加される共通電極（図示せず）とR、G、Bカラーフィルタ層（図示せず）とが形成されている。TFT基板120には、走査線である複数のゲート線Gnが平行に形成されている。さらに、画像信号が印加される複数のデータ線Dmが、前記ゲート線と絶縁して交差するように形成されている。複数のデータ線とゲート線とによって囲まれた領域は画素を形成する。各画素には、スイッチング素子であるTFT125が形成されている。TFT125のゲート電極、ソース電極及びドレーン電極には、それぞれゲート線、データ線及び画素電極が連結される。画素電極と共通電極との間には液晶層が注入されており、これを等価的に液晶キャパシタC1で示している。また、画素電極には液晶容量に充電された電圧を維持するための維持キャパシタCstが形成されている。

【0018】データ駆動部200は、多数のデータドライバIC200a、200b、200c、200dと、前記ドライバICがそれぞれ付着されているテープキャリアプレート（tape carrier plate；TCP）250a、250b、250c、250dとからなる。図2において、TCP250a、250b、250c、250dの上にはそれぞれデータドライバIC200a~dが付着されている。このTCPには、PCB500と、データドライバIC200a~dを連結するための信号線と、データドライバIC200a~dとTFT基板との各データ線の端に形成されるデータパッド127a、127b、127c、127dを連結するための信号線とが形成されている。このTCPは、図3に示すように、LCDパネル100とPCB500とをデータドライバIC200に電気的に連結する。

【0019】図3は、図2のA-A'線で切った垂直断面図を示す図面である。図3に示すように、TFT基板120とカラーフィルタ基板110との間には液晶104が注入されている。この液晶104は、二つの基板の間に形成される封印材106によって封持されている。TFT基板120の上に形成されるデータ線Dnの端部にはデータパッド127aが形成されている。このデータパッド127aの上に、異方性導電フィルム（anisotropic conduction film；ACF）270aが形成されている。このACF270aは、TCP250aに付着され、データパッド127aとデータドライバIC200aとを電気的に連結する。また、TCP250aは、PCB500と連結され、タイミング制御機550からの各種の信号をデータドライバIC200aに伝送する。このとき、TCP250aとPCB500とは、図3に示すようにACF290aを通じて連結することができ、半田付けを通じて連結することもできる。

【0020】データドライバIC200a、200b、200c、200dは、それぞれタイミング制御機550から出力されるR、G、Bデータ信号、クロック信号及び制御信号の入力を受け、アナログ信号であるR、G、Bデータ電圧をTFT基板120の各データ線にライン単位で印加する。図4に示すように、データドライバ200a～dは、シフトレジスタ210a、D/A(digital/analog)コンバータ220aと出力バッファ230aとからなる。

【0021】図4において、シフトレジスタ210aは、タイミング制御機550から伝送されるR、G、Bデータを、シフトクロックCLK1に同期して順次にシフトしながら保存する。この時、データドライバIC200aのシフトレジスタにデータが全て保存されると、データドライバICは、「Carry Out」信号を次のデータドライバIC200bに送る。次のデータドライバIC200bは、前のデータドライバICと同様に動作する。

【0022】D/Aコンバータ220aは、シフトレジスタ210aに保存されたデータ信号を、データ信号に対応するアナログ階調電圧値に変換する。即ち、D/Aコンバータ220aは、シフト階調電圧の発生部(図示せず)から出力される階調電圧V1、V2...Vnと、シフトレジスタ210aから出力されるデータ信号とを受信し、シフトレジスタに保存されたデータ信号に対応するアナログ階調電圧値を出力する。

【0023】出力バッファ230aは、D/Aコンバータ220aから出力されるアナログ階調電圧を保存し、「LOAD」信号が印加されると、データドライバICに電氣的に連結されたデータ線にアナログ階調電圧をライン単位で印加する。ゲート駆動部300は、TFT基板120のゲート線に電氣的に連結されている。ゲート駆動部300は、多数のゲートドライバIC300a、300b、300c、300dと、ゲートドライバICがそれぞれ付着されているTCP350a、350b、350c、350dとからなる。ゲートドライバIC300a、300b、300c、300dは、データドライバICと同様にTCP350a、350b、350c、350dを用いてTFT基板のゲートパッド128a、128b、128c、128dとPCB400とを電氣的に連結する。

【0024】ゲート駆動部300は、スイッチング素子であるTFTをオンにするためのゲートオン電圧をゲート線に順次印加する。ゲートオン電圧により複数のゲート線の中の一つのゲート線に連結されたTFTがオンになると、データ線に印加されたデータ電圧がTFTのドレーン電極と通じて画素電極に伝達される。タイミング制御機550は、R、G、Bデータ信号及び各種のタイミング信号を、データ駆動部200及びゲート駆動部300に出力する。タイミング制御機550は、多層基板

であるPCB500に形成されている。このPCB500に形成された配線を通じ、各種のタイミング信号及びR、G、Bデータ信号を、データ駆動部200またはゲート駆動部300に伝送する。

【0025】タイミング制御機550は、シフトクロック信号CLK1を各データドライバIC200a、200b、200c、200dに伝送する。さらに、シフトクロック信号CLK1によるEMI問題を減少させるために、図5に示すように前記シフトクロック信号CLK1と同一周波数で位相が反対であるクロック信号CLK2を、抵抗Reを通じて接地面に印加する。

【0026】即ち、一種のダミー配線であるクロック信号CLK2配線を、前記シフトクロック信号CLK1配線に平行してPCB500上に配置する。このダミー配線に、前記シフトクロック信号CLK1と位相が反対であるクロック信号CLK2を印加することにより、以下に説明するように前記シフトクロック信号CLK1に起因するEMIを相殺する。

【0027】通常、TFT-LCDにおける高周波信号の伝送に起因するEMI問題は、多層基板であるPCBにおけるストリップライン形態の高周波線路と、この線路と隣接して形成される接地面との関係から起こる。即ち、高周波線路と接地面との間に発生する電界により、接地面には高周波線路と反対の極性を有する電荷が集まる。この時、EMIの大きさは電荷の動きによる接地面における電流の変化に比例する。したがって、接地面における電流の変化量を最小化することができれば、EMI問題も最少化することができる。

【0028】本発明の第1実施形態例による液晶表示装置はこのような点を考慮し、シフトクロック信号CLK1と同一周波数で反対の位相を有するクロック信号CLK2を抵抗Reを通じて接地面に印加する。このようにすれば、たとえば、シフトクロック信号CLK1の伝送で周囲の接地面に(-)電荷が誘導されると仮定する時、クロック信号CLK2の伝送路の周囲の接地面には(+)電荷が誘導されるので、接地面に誘導される電荷は互いに相殺する。したがって、本発明の第1実施形態例によると、シフトクロック信号に対応する接地面の電流を最小化することができるのでEMIの発生を抑制することができる。

【0029】一方、本発明の第1実施形態例におけるクロック信号CLK2は、シフトクロック信号CLK1と同様にタイミング制御機550から出力されているが、別途のICから出力されることもある。また、本発明の第1実施形態例におけるシフトクロック信号CLK1配線とクロック信号CLK2配線とは互いに平行して配列されて同一層に形成するのが好ましいが、必ずこれに限られるわけではなく、他の層に形成することもできる。

【0030】つまり、一般的に多層PCBは複数層の配線領域と配線領域の間の絶縁層とから構成されるが、前

記シフトクロック信号CLK1配線とクロック信号配線CLK2とは同一層だけでなく、互いに異なる層に形成することもできる。また、本発明の第1実施形態例におけるシフトクロック信号CLK1とクロック信号CLK2の位相を反対に、即ち、180#にしたが、この他に90#~270#の位相差を有するようにすることもできる。

【0031】次に、本発明の第2実施形態例を説明する。図6は、本発明の第2実施形態例による液晶表示装置を概略的に示す図面である。図6に示すように、本発明の第2実施形態例によるTFT-LCDは、LCDパネル100、ゲート駆動部300、データ駆動部600、タイミング制御機750からなる。本発明の第2実施形態例におけるLCDパネル100及びゲート駆動部300は、図2に示す第1実施形態例と同一であるので重複する説明は省略する。

【0032】図6に示すように、本発明の第2実施形態例によるタイミング制御機750は、奇数データ線に印加される奇数画像データ信号と、偶数データ線に印加される偶数画像データ信号とを、別途の信号線L1、L2を通してデータドライバIC600a、600b、600c、600dに伝送する。また、この画像データ信号と同期信号であるシフトクロック信号CLK3、CLK4を、信号線D1、D2を通じてデータドライバICに伝送する。

【0033】即ち、本発明の第2実施形態例によると、タイミング制御機750は、奇数画像データとシフトクロック信号CLK3とを信号線L1と信号線D1とを通じてデータドライバIC600a、600cに伝送する。また、偶数画像データとシフトクロック信号CLK4とを、信号線L2と信号線D2とを通じてデータドライバIC600b、600dに伝送する。

【0034】このように、本発明の第2実施形態例においては、画像データを2分してそれぞれドライバICに伝送するので、第1実施形態例に比べて画像データ信号とシフトクロック信号との周波数を1/2に減少することができ、これによってEMI問題を減少することができる。図7は、本発明の第2実施形態例による奇数及び偶数の画像データ信号とシフトクロック信号CLK3、CLK4との波形を示す図面である。

【0035】図7のように、本発明の第2実施形態例によると、シフトクロック信号CLK3とCLK4とは同一周波数で反対の位相を有する。また、奇数画像データと偶数画像データとは同一周波数で反対の位相を有する。この時、奇数画像データは、シフトクロック信号CLK3のライジングエッジに同期してデータドライバIC600a、600cのシフトレジスタに保存される。偶数画像データは、シフトクロック信号CLK4のフォールディングエッジに同期してデータドライバIC600b、600dのシフトレジスタに保存される。

【0036】したがって、本発明の第2実施形態例によると、データドライバICはそれぞれライジングエッジに同期するかどうかまたはフォールディングエッジに同期するかどうかを選択することができる機能、つまり、クロックトリガリング(triggering)をポジティブまたはネガティブのどちらにするかを選択できる機能がなければならない。

【0037】本発明の第3及び4実施形態例は、このようなクロックトリガリング問題を解決するためのものである。図8及び9は、本発明の第3実施形態例による奇数及び偶数画像データ信号と、シフトクロック信号CLK3、CLK4との波形を示す図面である。図10は、本発明の第4実施形態例による奇数及び偶数画像データ信号と、シフトクロック信号CLK3、CLK4との波形を示す図面である。

【0038】図8に示すように、本発明の第3実施形態例によると、シフトクロック信号CLK3とCLK4とは同一周波数で反対の位相を有する。また、奇数画像データと偶数画像データも同一周波数で反対の位相を有する。この時、シフトクロック信号CLK3とCLK4とのパルス幅は、それぞれ奇数画像データ及び偶数画像データがハイになっている信号区間(または、ローになっている信号の区間)内に存在する。したがって、奇数画像データ信号及び偶数画像データ信号は、図8に示すようにそれぞれシフトクロック信号CLK3及びCLK4のライジングエッジ(またはフォールディングエッジ)に同期してデータドライバIC内のシフトレジスタに保存される。

【0039】その結果、本発明の第3実施形態例によるデータドライバICは、クロックトリガリングをポジティブにするかどうか、またはネガティブにするかどうかを選択する機能をそえる必要はなく、たとえば、ポジティブのクロックトリガリングだけを有するデータドライバICを用いることができる。一方、図9は、図8に示すシフトクロック信号のパルス幅を1/2に減少させたものである。シフトクロック信号のパルス幅を減少させただけデータドライバICのタイミングマージンを改善することができる。

【0040】本発明の第4実施形態例によると、図10に示すようにシフトクロック信号CLK3とCLK4とは同一周波数で反対の位相を有する。反面、奇数画像データと偶数画像データとは同一周波数を有するが90#の位相差を有する。本発明の第4実施形態例によると、奇数画像データと偶数画像データとが90#の位相差を有するので、それぞれシフトクロック信号CLK3及びCLK4のライジングエッジ(または、フォールディングエッジ)に同期してデータドライバIC内のシフトレジスタに保存される。

【0041】その結果、本発明の第4実施形態例によるデータドライバICも第3実施形態例と同様に、クロック

クトリガリングをポジティブにするかどうか、またはネガティブにするかどうかを選択する機能をそろえる必要はなく、たとえば、ポジティブのクロックトリガリングだけを有するデータドライバICを用いることができる。

【0042】以上、本発明の実施形態例について説明したが、本発明は前記実施形態例だけに限られるわけではなく、その他に様々な変形や変更が可能であるのは当然のことである。たとえば、本発明の第2実施形態例におけるシフトクロック信号CLK3、CLK4の位相差は180°だけでなく、90°ないし270°の範囲以内に入るようにすることもできる。

【0043】また、第2実施形態例におけるシフトクロック信号CLK3、CLK4の位相を同一にし、第1実施形態例と同様に各シフトクロック信号CLK1、クロック信号CLK2と位相が反対であるクロック信号を別途の信号線を通じて接地面に印加することもできる。また、本発明の実施形態例における信号配線は多層形印刷回路基板の上に形成されているが、その他の回路基板に形成することもでき、また、LCD基板に直接形成することもできる。

【0044】

【発明の効果】上述したように、本発明によると、高速のシフトクロック信号と同時に前記クロック信号と反対の位相を有するクロック信号を伝送するので、シフトクロックの信号の伝送に起因するEMIを減少することができる。また、奇数の画像データと反対の位相を有する偶数画像データを別途の信号線を通して伝送するので、高速の画像データの伝送に起因するEMIを減少することができる。

【図面の簡単な説明】

【図1】従来の薄膜トランジスタ液晶表示装置を示す図面である。

【図2】本発明の第1実施形態例による薄膜トランジスタ液晶表示装置を示す図面である。

【図3】図2のA-A'線の垂直断面図である。

【図4】本発明の第1実施形態例によるデータドライバ

ICの詳細ブロック図である。

【図5】本発明の第1実施形態例によるクロック信号の波形を示す図面である。

【図6】本発明の第2実施形態例による薄膜トランジスタ液晶表示装置を概略的に示す図面である。

【図7】本発明の第2実施形態例による画像信号及びシフトクロック信号の波形を示す図面である。

【図8】第3実施形態例による画像信号及びシフトクロック信号の波形を示す図面である。

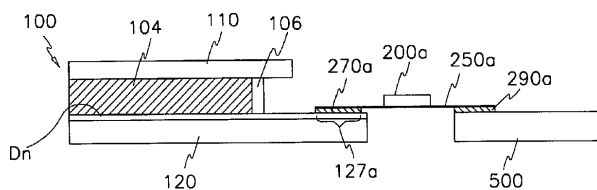
【図9】第3実施形態例による画像信号及びシフトクロック信号の波形を示す図面である。

【図10】本発明の第4実施形態例による画像信号及びシフトクロック信号の波形を示す図面である。

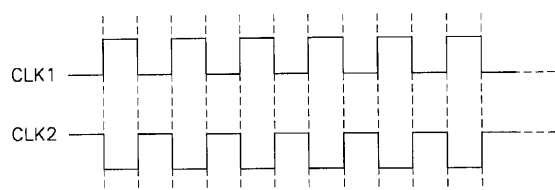
【符号の説明】

- 100 LCDパネル
- 104 液晶
- 110 カラーフィルタ基板
- 120 TFT基板
- 125 TFT
- 127 a、b、c、d データパッド
- 128 a、b、c、d ゲートパッド
- 200 データ駆動部
- 200 a、b、c、d データドライバIC
- 210 a シフトレジスタ
- 220 a D/Aコンバータ
- 230 a 出力バッファ
- 250 a、b、c、d TCP
- 270 a ACF
- 300 ゲート駆動部
- 300 a、b、c、d ゲートドライバ
- 350 a、b、c、d TCP
- 400 PCB
- 500 PCB
- 550 タイミング制御機
- 600 データ駆動部
- 600 a、b、c、d データドライバIC

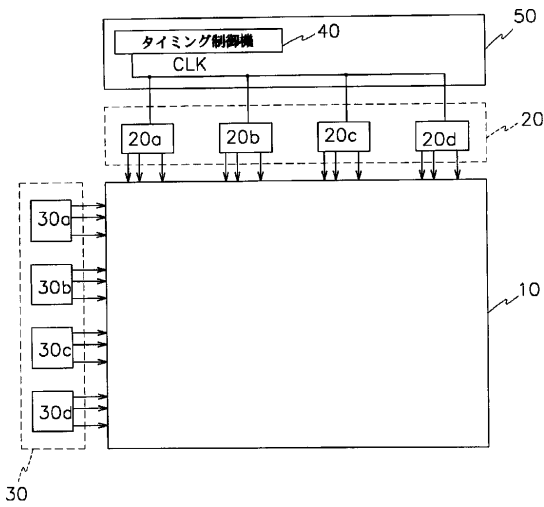
【図3】



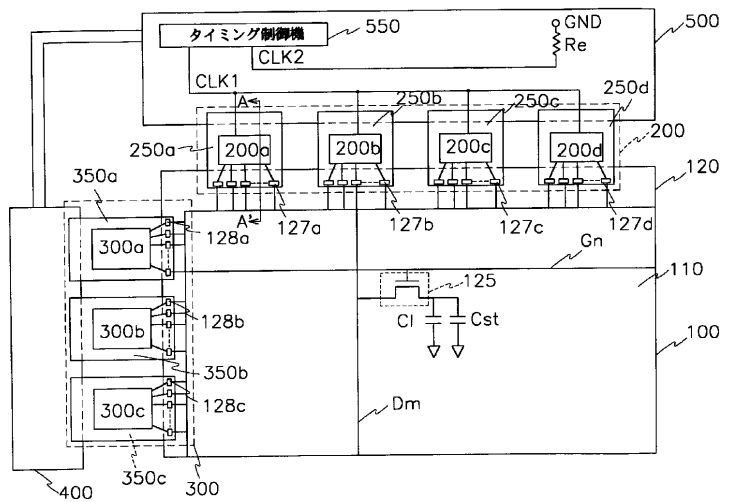
【図5】



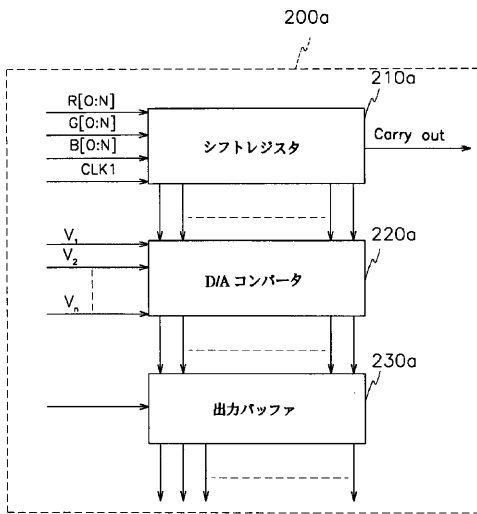
【図1】



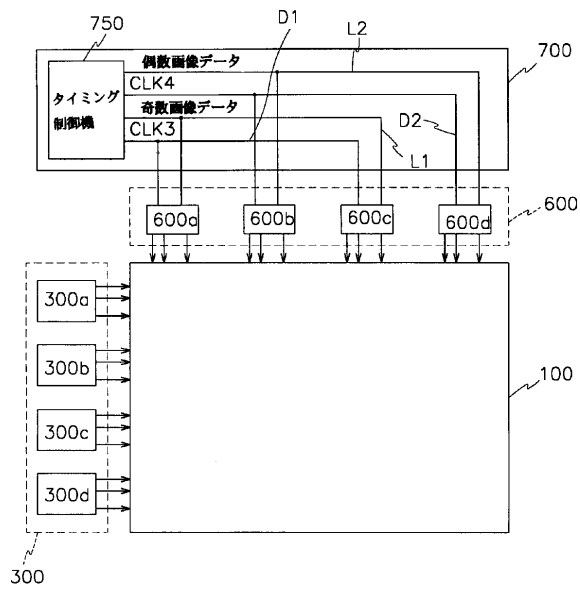
【図2】



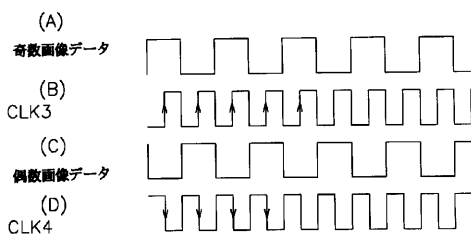
【図4】



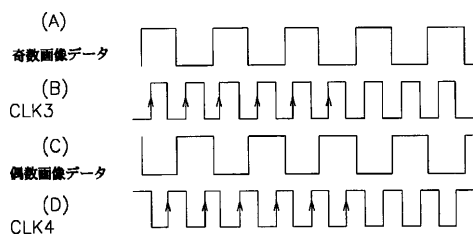
【図6】



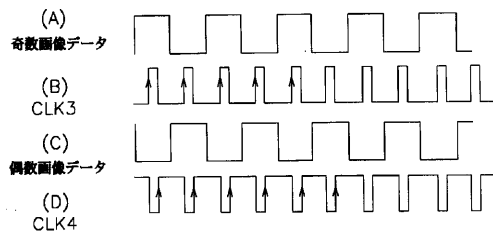
【図7】



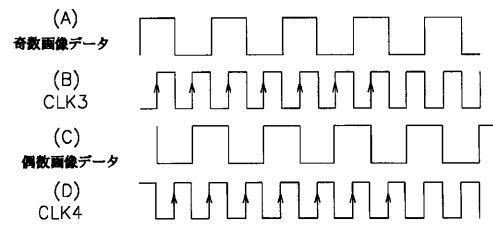
【図8】



【図9】



【図10】



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | <无法获取翻译> | | |
| 公开(公告)号 | JP2000206943A5 | 公开(公告)日 | 2006-09-28 |
| 申请号 | JP2000000262 | 申请日 | 2000-01-05 |
| [标]申请(专利权)人(译) | 三星电子株式会社 | | |
| 申请(专利权)人(译) | 三星电子株式会社 | | |
| [标]发明人 | 文勝煥 | | |
| 发明人 | 文勝煥 | | |
| IPC分类号 | G09G3/36 G02F1/133 G09G3/20 | | |
| CPC分类号 | G09G2330/06 G09G3/3688 G09G2310/08 G09G2300/0426 | | |
| FI分类号 | G09G3/36 G02F1/133.550 G09G3/20.611.C G09G3/20.612.L | | |
| F-TERM分类号 | 2H093/NA16 2H093/NA53 2H093/NC16 2H093/NC24 2H093/NC34 2H093/ND40 2H193/ZA04 2H193/ZD23 5C006/AA16 5C006/AA22 5C006/AF42 5C006/AF72 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF03 5C006/EB05 5C006/FA16 5C006/FA32 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD12 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 | | |
| 优先权 | 1019990000069 1999-01-05 KR | | |
| 其他公开文献 | JP2000206943A | | |

摘要(译)

要解决的问题：减少由于移位时钟信号的传输而引起的电磁波干扰。产生图像数据信号和用于使图像数据信号移位的移位时钟信号的时序控制器550形成在与数据驱动器IC 200不同的印刷电路板500上。印刷电路板500设置有用於传输移位时钟信号的第一信号布线CLK1和用於传输具有与移位时钟信号相同的频率但是相反的相位的第一时钟信号的第二信号布线CLK2。形成。由于第二信号布线CLK2传输具有与移位时钟信号的相位相反的相位的时钟信号，所以减少了由于移位时钟信号的传输而引起的电磁波的干扰。移位时钟信号和第一时钟信号之间的相位差可以是90到270。