(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5364912号
(P5364912)

(45)発行日　平成25年12月11日(2013.12.11)　(24)登録日　平成25年9月20日(2013.9.20)

(51)Int.Cl.			F I		
G09G	3/36	(2006.01)	G09G	3/36	
G02F	1/133	(2006.01)	G02F	1/133	550
G09G	3/20	(2006.01)	G09G	3/20	624A
			G09G	3/20	624D
			G09G	3/20	624E

請求項の数 16　(全 25 頁)　最終頁に続く

(21)出願番号　特願2007-16238(P2007-16238)
(22)出願日　平成19年1月26日(2007.1.26)
(65)公開番号　特開2007-199723(P2007-199723A)
(43)公開日　平成19年8月9日(2007.8.9)
審査請求日　平成22年1月22日(2010.1.22)
(31)優先権主張番号　10-2006-0008148
(32)優先日　平成18年1月26日(2006.1.26)
(33)優先権主張国　韓国(KR)

(73)特許権者　512187343
三星ディスプレイ株式會社
Ｓａｍｓｕｎｇ　Ｄｉｓｐｌａｙ　Ｃｏ．，Ｌｔｄ．
大韓民国京畿道龍仁市器興区三星二路９５９５，Ｓａｍｓｕｎｇ　２　Ｒｏ，Ｇｉｈｅｕｎｇ－Ｇｕ，Ｙｏｎｇｉｎ－Ｃｉｔｙ，Ｇｙｅｏｎｇｇｉ－Ｄｏ，Ｋｏｒｅａ
(74)代理人　110000051
特許業務法人共生国際特許事務所
(72)発明者　全　珍
大韓民国　京畿道　水原市　長安区　泉川洞　三星レミアンアパート　１０７棟　２０４号

最終頁に続く

(54)【発明の名称】表示装置

(57)【特許請求の範囲】

【請求項１】

ゲート信号を伝達する複数のゲート線と、

データ電圧を伝達する複数のデータ線と、

維持信号を伝達する複数の維持電極線と、

三端子素子であって、その制御端子は前記ゲート線に接続され、入力端子はデータ線に接続されるスイッチング素子と、該スイッチング素子の出力端子と一定の大きさを有する直流電圧である共通電圧との間に接続される液晶キャパシタと、前記スイッチング素子の出力端子と前記維持電極線との間に接続されるストレージキャパシタとを各々含み、行列状に配列される複数の画素と、

前記ゲート信号に基づいて前記維持信号を生成する複数の信号生成回路とを有し、

前記各画素に印加される維持信号は、前記液晶キャパシタ及び前記ストレージキャパシタにデータ電圧の充電が終了した直後に電圧レベルが変化し、

前記各信号生成回路は、印加される第１制御信号の電圧レベルの変化と、（ｋ＋１）番目（ｋは自然数）ゲート線に印加される（ｋ＋１）番目ゲート信号の電圧上昇とに合わせて、動作状態が変化して、第１電圧レベルまたは第２電圧レベルを有する維持信号をｋ番目維持電極線に印加する維持信号印加部と、

印加される第２及び第３制御信号の電圧レベルの変化と、前記（ｋ＋１）番目ゲート信号の電圧上昇とに合わせて、動作状態が変化する制御部と、

前記制御部の動作によって前記維持信号印加部から出力される前記維持信号をその電圧

レベルが変化するまでの所定時間維持する信号維持部とを含み、
前記第１乃至第３制御信号は、同一の周期を有することを特徴とする表示装置。
【請求項２】
隣接した前記維持電極線に印加される維持信号の電圧レベルは、互いに異なることを特徴とする請求項１に記載の表示装置。
【請求項３】
同一の前記維持電極線に印加される維持信号の電圧レベルは、フレームごとに反転することを特徴とする請求項１に記載の表示装置。
【請求項４】
前記共通電圧は、一定の値を有することを特徴とする請求項１に記載の表示装置。
【請求項５】
前記第１制御信号は、前記第３制御信号と同一の位相を有することを特徴とする請求項１に記載の表示装置。
【請求項６】
前記第２制御信号は、前記第３制御信号と反対の位相を有することを特徴とする請求項５に記載の表示装置。
【請求項７】
前記第１乃至第３制御信号の周期は２Ｈ（２水平周期）であることを特徴とする請求項１に記載の表示装置。
【請求項８】
前記第１乃至第３制御信号のデューティ比は同一であることを特徴とする請求項１に記載の表示装置。
【請求項９】
前記第１乃至第３制御信号のデューティ比は５０％であることを特徴とする請求項８に記載の表示装置。
【請求項１０】
前記複数の信号生成回路のうちの一つにゲート信号を伝達する付加ゲート線をさらに含むことを特徴とする請求項１に記載の表示装置。
【請求項１１】
前記付加ゲート線は、最後の信号生成回路に接続されることを特徴とする請求項１０に記載の表示装置。
【請求項１２】
前記ゲート信号はゲートオン電圧とゲートオフ電圧とを備え、隣接した二つのゲート信号のゲートオン電圧は、所定期間重畳することを特徴とする請求項１に記載の表示装置。
【請求項１３】
隣接した二つのゲート信号のゲートオン電圧は、１Ｈの間に重畳することを特徴とする請求項１２に記載の表示装置。
【請求項１４】
前記維持信号印加部は、（ｋ＋１）番目ゲート線に印加される（ｋ＋１）番目ゲート信号に制御端子が接続され、前記第１制御信号に入力端子が接続され、前記ｋ番目維持電極線に出力端子が接続される第１トランジスタを含むことを特徴とする請求項１に記載の表示装置。
【請求項１５】
前記制御部は、前記（ｋ＋１）番目ゲート信号に制御端子が接続され、前記第２制御信号に入力端子が接続される第２トランジスタと、
前記（ｋ＋１）番目ゲート信号に制御端子が接続され、前記第３制御信号に入力端子が接続される第３トランジスタとを含むことを特徴とする請求項１４に記載の表示装置。
【請求項１６】
前記信号維持部は、前記第３トランジスタの出力端子に制御端子が接続され、第１駆動電圧に入力端子が接続され、前記ｋ番目維持電極線に出力端子が接続される第４トランジ

スタと、
前記第２トランジスタの出力端子に制御端子が接続され、前記ｋ番目維持電極線に入力端子が接続され、第２駆動電圧に出力端子が接続される第５トランジスタと、
前記第４トランジスタの入力端子と制御端子との間に接続される第１キャパシタと、
前記第５トランジスタの制御端子と出力端子との間に接続される第２キャパシタとを含むことを特徴とする請求項１５に記載の表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は表示装置に関し、特に、表示装置の消費電力を減少させることのできる表示装置に関する。
【背景技術】
【０００２】
一般的な液晶表示装置（ｌｉｑｕｉｄ　ｃｒｙｓｔａｌ　ｄｉｓｐｌａｙ、ＬＣＤ）は、画素電極及び共通電極が具備された二つの表示板と、その間に入っている誘電率異方性（ｄｉｅｌｅｃｔｒｉｃ　ａｎｉｓｏｔｒｏｐｙ）を有する液晶層とを有する。画素電極は、行列状に配列されており、薄膜トランジスタ（ＴＦＴ）などスイッチング素子に接続されて一つの行ずつ順次にデータ電圧の印加を受ける。共通電極は、表示板の全面にわたって形成されており、共通電圧の印加を受ける。画素電極と共通電極及びその間の液晶層は、回路的に見れば液晶キャパシタをなし、液晶キャパシタはこれに接続されたスイッチング素子と共に画素を構成する基本単位となる。
【０００３】
このような液晶表示装置においては、二つの電極に電圧を印加して液晶層に電界を生成し、この電界の強さを調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。この時、液晶層に一方向の電界が長期印加されることによって発生する劣化現象を防止するために、フレーム毎に、行毎に、または画素毎に共通電圧に対するデータ電圧の極性を反転させる。
【０００４】
しかし、液晶分子の応答速度が遅いため、液晶キャパシタに充電される電圧（以下、“画素電圧”と言う）が目標電圧、つまり、所望の輝度を得ることができる電圧まで到達するには所定の時間がかかり、この時間は液晶キャパシタに以前に充電されていた電圧との差によって変わる。したがって、例えば、目標電圧と以前電圧との差が大きい場合、最初から目標電圧だけを印加すれば、スイッチング素子が導通している時間の間に目標電圧に到達できないことがある。
【０００５】
そのため、これを補償するためのＤＣＣ（Ｄｙｎａｍｉｃ　ＣａｐａｃｉｔａｎｃｅＣｏｍｐｅｎｓａｔｉｏｎ）方式が提案された。つまり、ＤＣＣ方式は、液晶キャパシタ両端にかかった電圧が大きいほど充電速度が速くなるという点を利用したものであって、該当画素に印加するデータ電圧（実際には、データ電圧と共通電圧との差であるが、便宜上、共通電圧を０と仮定する）を目標電圧より高くすることで、画素電圧が目標電圧まで到達することにかかる時間を短縮する。
【０００６】
しかし、このようなＤＣＣ方式を実施する場合、フレームメモリ（ｆｒａｍｅ　ｍｅｍｏｒｙ）とＤＣＣ演算のための駆動回路などが必要であるため、回路設計の難しさと製造費用が増加する。
また、液晶表示装置のうち、携帯電話などに使用される中小型表示装置の場合、消費電力などを節約するために、行毎に共通電圧に対するデータ電圧の極性を反転させる行反転（ｒｏｗ　ｉｎｖｅｒｓｉｏｎ）を実施しているが、中小型表示装置においても解像度が次第に増加して消費電力が問題となる。特に、ＤＣＣ演算を実施する場合、追加された演算や回路などのための電力消費はさらに大きくなるという問題があった。

【０００７】
さらに、行反転の場合、画素毎に共通電圧に対するデータ電圧の極性を反転させる点反転（ｄｏｔ　ｉｎｖｅｒｓｉｏｎ）の場合より、画像表示のためのデータ電圧の範囲が小さい。したがって、ＶＡ（Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード液晶表示装置などのように、液晶駆動のためのしきい電圧（ｔｈｒｅｓｈｏｌｄ　ｖｏｌｔａｇｅ）が高い場合、実際の画像表示のための階調を表現することに利用されるデータ電圧の範囲がしきい電圧ほど小さくなり、これによって輝度表示に難しさが発生するという問題があった。

【発明の開示】

【発明が解決しようとする課題】

【０００８】
そこで、本発明は上記従来の表示装置における問題点に鑑みてなされたものであって、本発明の目的は、表示装置の消費電力を減少させることのできる表示装置を提供することにある。

【０００９】
また、本発明の他の目的は、表示装置の液晶の応答速度を向上させることのできる表示装置を提供することにある。さらに、本発明の他の技術的課題は、表示装置の消費電力の増加を招くことなく、画質を向上させることのできる表示装置を提供することにある。

【課題を解決するための手段】

【００１０】
上記目的を達成するためになされた本発明による表示装置は、ゲート信号を伝達する複数のゲート線と、データ電圧を伝達する複数のデータ線と、維持信号を伝達する複数の維持電極線と、三端子素子であって、その制御端子は前記ゲート線に接続され、入力端子はデータ線に接続されるスイッチング素子と、該スイッチング素子の出力端子と一定の大きさを有する直流電圧である共通電圧との間に接続される液晶キャパシタと、前記スイッチング素子の出力端子と前記維持電極線との間に接続されるストレージキャパシタとを各々含み、行列状に配列される複数の画素と、前記ゲート信号に基づいて前記維持信号を生成する複数の信号生成回路とを有し、前記各画素に印加される維持信号は、前記液晶キャパシタ及び前記ストレージキャパシタにデータ電圧の充電が終了した直後に電圧レベルが変化し、前記各信号生成回路は、印加される第１制御信号の電圧レベルの変化と、（ｋ＋１）番目（ｋは自然数）ゲート線に印加される（ｋ＋１）番目ゲート信号の電圧上昇とに合わせて、動作状態が変化して、第１電圧レベルまたは第２電圧レベルを有する維持信号をｋ番目維持電極線に印加する維持信号印加部と、印加される第２及び第３制御信号の電圧レベルの変化と、前記（ｋ＋１）番目ゲート信号の電圧上昇とに合わせて、動作状態が変化する制御部と、前記制御部の動作によって前記維持信号印加部から出力される前記維持信号をその電圧レベルが変化するまでの所定時間維持する信号維持部とを含み、前記第１乃至第３制御信号は、同一の周期を有することを特徴とする。

【００１１】
隣接した前記維持電極線に印加される維持信号の電圧レベルは、互いに異なることが好ましい。

同一の前記維持電極線に印加される維持信号の電圧レベルは、フレームごとに反転することが好ましい。

前記共通電圧は一定の値を有することが好ましい。

前記第１制御信号は、前記第３制御信号と同一の位相を有することが好ましい。

前記第２制御信号は、前記第３制御信号と反対の位相を有することが好ましい。

前記第１乃至第３制御信号の周期は２Ｈ（２水平周期）であることが好ましい。

前記第１乃至第３制御信号のデューティ比は同一であることが好ましい。

前記第１乃至第３制御信号のデューティ比は５０％であることが好ましい。

前記複数の信号生成回路のうちの一つにゲート信号を伝達する付加ゲート線をさらに含むことが好ましい。

前記付加ゲート線は、最後の信号生成回路に接続されることが好ましい。
前記ゲート信号はゲートオン電圧とゲートオフ電圧を備え、隣接した二つのゲート信号のゲートオン電圧は所定期間の間に重畳することが好ましい。
隣接した二つのゲート信号のゲートオン電圧は、１Ｈの間に重畳することが好ましい。
前記維持信号印加部は、（ｋ＋１）番目ゲート線に印加される（ｋ＋１）番目ゲート信号に制御端子が接続され、前記第１制御信号に入力端子が接続され、前記ｋ番目維持電極線に出力端子が接続される第１トランジスタを含むことが好ましい。
前記制御部は、前記（ｋ＋１）番目ゲート信号に制御端子が接続され、前記第２制御信号に入力端子が接続される第２トランジスタと、前記（ｋ＋１）番目ゲート信号に制御端子が接続され、前記第３制御信号に入力端子が接続される第３トランジスタとを含むことが好ましい。
前記信号維持部は、前記第３トランジスタの出力端子に制御端子が接続され、第１駆動電圧に入力端子が接続され、前記ｋ番目維持電極線に出力端子が接続される第４トランジスタと、前記第２トランジスタの出力端子に制御端子が接続され、前記ｋ番目維持電極線に入力端子が接続され、第２駆動電圧に出力端子が接続される第５トランジスタと、前記第４トランジスタの入力端子と制御端子との間に接続される第１キャパシタと、前記第５トランジスタの制御端子と出力端子との間に接続される第２キャパシタとを含むことが好ましい。

【発明の効果】
【００１４】
本発明に係る表示装置によれば、共通電圧を所定電圧に固定させた後、所定の周期でレベルが変化する維持電圧を維持電極線に印加する。この時、隣接した維持電極線に印加される維持電圧を互いに異なるように印加する。これによって、画素電極電圧の範囲が増加して画素電圧の範囲も広くなるので、階調を表現するための電圧の範囲が広くなり、これによって画質が向上するという効果がある。
【００１５】
同一の範囲のデータ電圧が印加される場合、一定の電圧の維持電圧が印加される時より広い範囲の画素電圧が生成されるので、消費電力が減少し、これに加えて共通電圧が一定の値に固定されるので、消費電力はさらに減少するという効果がある。
また、液晶の充電動作が完了する前の画素電極電圧の範囲が、液晶の充電動作が完了した後の画素電極電圧の範囲より広いので、目標電圧より高いかまたは低い電圧が液晶駆動の初期に印加されることによって、液晶の応答速度が向上するという効果がある。
【発明を実施するための最良の形態】
【００１６】
次に、本発明に係る表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。
【００１７】
図面において、いろいろな層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似の部分については同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“すぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上”にあるとする時には、中間に他の部分がないことを意味する。
【００１８】
以下、本発明の表示装置の一実施形態である液晶表示装置について、図面を参照して詳細に説明する。
まず、図１及び図２を参照して、本発明の一実施形態による液晶表示装置について詳細に説明する。図１は本発明の一実施形態による液晶表示装置のブロック図であり、図２は本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【００１９】
図１を参照すれば、本発明の一実施形態による液晶表示装置は、液晶表示板組立体（ｌｉｑｕｉｄ ｃｒｙｓｔａｌ ｐａｎｅｌ ａｓｓｅｍｂｌｙ）３００、ゲート駆動部（ｇａｔｅ ｄｒｉｖｅｒ）４００、データ駆動部（ｄａｔａ ｄｒｉｖｅｒ）５００、データ駆動部５００に接続された階調電圧生成部（ｇｒａｙ ｖｏｌｔａｇｅ ｇｅｎｅｒａｔｏｒ）８００、維持信号生成部（ｓｔｏｒａｇｅ ｓｉｇｎａｌ ｇｅｎｅｒａｔｏｒ）７００、及び信号制御部（ｓｉｇｎａｌ ｃｏｎｔｒｏｌｌｅｒ）６００を含む。液晶表示板組立体３００は、等価回路から見れば、複数の信号線（G_1～G_{2n}、G_d、D_1～D_m、S_1～S_{2n}）と、複数の画素ＰＸとを含む。反面、図２に示す構造から見れば、液晶表示板組立体３００は、互いに対向する下部及び上部表示板１００、２００と、その間に入っている液晶層３とを含む。

【００２０】
信号線（G_1～G_{2n}、G_d、D_1～D_m、S_1～S_{2n}）は、複数のゲート線G_1～G_{2n}、G_d、複数のデータ線D_1～D_m、及び複数の維持電極線S_1～S_{2n}を含む。ゲート線G_1～G_{2n}、G_dはゲート信号（“走査信号”とも言う）を伝達し、一般ゲート線G_1～G_{2n}と付加ゲート線G_dとを含む。維持電極線S_1～S_{2n}は、一般ゲート線G_1～G_{2n}と交互に配置されており、維持信号（ｓｔｏｒａｇｅ ｓｉｇｎａｌ）を伝達する。データ線D_1～D_mはデータ電圧を伝達する。
ゲート線G_1～G_{2n}、G_dと維持電極線S_1～S_{2n}は、ほぼ行方向にのびて互いに平行であり、データ線D_1～D_mは、ほぼ列方向にのびて互いにほとんど平行である。

【００２１】
図１に示すように、画素ＰＸは、一般ゲート線G_1～G_{2n}、データ線D_1～D_m、及び維持電極線S_1～S_{2n}と接続されており、行列状に配列されている。各画素ＰＸ、例えば、ｉ番目（ｉ＝１、２、…、２ｎ）行、ｊ番目（ｊ＝１、２、…、ｍ）列の画素ＰＸは、図２に示すように、ｉ番目一般ゲート線G_iとｊ番目データ線D_jに接続されたスイッチング素子Ｑ、スイッチング素子Ｑに接続された液晶キャパシタ（ｌｉｑｕｉｄ ｃｒｙｓｔａｌ ｃａｐａｃｉｔｏｒ）Ｃｌｃ、及びスイッチング素子Ｑとｉ番目の維持電極線S_iに接続されたストレージキャパシタ（ｓｔｏｒａｇｅ ｃａｐａｃｉｔｏｒ）Ｃｓｔを含む。

【００２２】
スイッチング素子Ｑは、下部表示板１００に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子は一般ゲート線G_iと接続されており、入力端子はデータ線D_jと接続されており、出力端子は液晶キャパシタＣｌｃ及びストレージキャパシタＣｓｔと接続されている。

【００２３】
液晶キャパシタＣｌｃは、下部表示板１００の画素電極１９１と上部表示板２００の共通電極２７０とを二つの端子とし、二つの電極（１９１、２７０）の間の液晶層３は誘電体として機能する。画素電極１９１はスイッチング素子Ｑと接続され、共通電極２７０は上部表示板２００の全面に形成されており、共通電圧Ｖｃｏｍの印加を受ける。共通電圧は一定の大きさを有する直流（ＤＣ）電圧である。図２とは異なって、共通電極２７０が下部表示板１００に備えられる場合もあり、この場合には二つの電極（１９１、２７０）のうちの少なくとも一つが線状または棒状に作られることができる。
液晶キャパシタＣｌｃの補助的な役割を果たすストレージキャパシタＣｓｔは、画素電極１９１と維持電極線S_iとが絶縁体を介在して重畳してなる。

【００２４】
一方、色表示を実現するためには、各画素ＰＸが基本色（ｐｒｉｍａｒｙ ｃｏｌｏｒ）のうちの一つを固有に表示したり（空間分割）、各画素ＰＸが時間によって交互に基本色を表示するように（時間分割）して、これら基本色の空間的、時間的合計によって所望の色相が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色がある。図２は空間分割の一例として、各画素ＰＸが画素電極１９１に対応する上部表示板２

００の領域に基本色のうちの一つを示すカラーフィルタ２３０を備えることを示している。図２とは異なって、カラーフィルタ２３０は下部表示板１００の画素電極１９１上のまたは下に備えることもできる。液晶表示板組立体３００には、少なくとも一つの偏光子（図示せず）が備えられている。

【００２５】

再び図１を参照すれば、階調電圧生成部８００は、画素ＰＸの透過率と関する全体階調電圧または限定された数の階調電圧（以下、“基準階調電圧”と言う）を生成する。（基準）階調電圧は、共通電圧Ｖｃｏｍに対して正の値を有するものと、負の値を有するものとを含むことができる。

ゲート駆動部４００は、液晶表示板組立体３００の両側面、例えば、左側端と右側端に配置されている第１及び第２ゲート駆動回路４００ａ、４００ｂを含む。

【００２６】

第１ゲート駆動回路４００ａは、奇数番目の一般ゲート線G_1、G_3、…、G_{2n-1}及び付加ゲート線G_dと一端で接続され、第２ゲート駆動回路４００ｂは、偶数番目の一般ゲート線G_2、G_4、…、G_{2n}と一端で接続される。しかし、これに限定されるわけではなく、反対に、奇数番目のゲート線G_1、G_3、…、G_{2n-1}及び付加ゲート線G_dが第２ゲート駆動回路４００ｂに接続され、偶数番目のゲート線G_2、G_4、…、G_{2n}は第１ゲート駆動回路４００ａに接続されることができる。

第１及び第２ゲート駆動回路４００ａ、４００ｂは、ゲートオン電圧Ｖｏｎとゲートオフ電圧Ｖｏｆｆとの組み合わせからなるゲート信号を、接続されたゲート線G_1～G_{2n}、G_dに印加する。

【００２７】

ゲート駆動部４００は、信号線G_1～G_{2n}、G_d、D_1～D_m、S_1～S_{2n}及び薄膜トランジスタスイッチング素子Ｑなどと共に液晶表示板組立体３００に集積される。しかし、ゲート駆動部４００は、少なくとも一つの集積回路チップの形態で液晶表示板組立体３００上に直接装着したり、可撓性印刷回路フィルム（ｆｌｅｘｉｂｌｅ ｐｒｉｎｔｅｄ ｃｉｒｃｕｉｔ ｆｉｌｍ）（図示せず）上に装着されてＴＣＰ（ｔａｐｅ ｃａｒｒｉｅｒ ｐａｃｋａｇｅ）の形態で液晶表示板組立体３００に付着させたり、別途の印刷回路基板（ｐｒｉｎｔｅｄｃｉｒｃｕｉｔｂｏａｒｄ）（図示せず）上に装着することもできる。

【００２８】

維持信号生成部７００は、液晶表示板組立体３００の両側面、例えば、第１及び第２ゲート駆動回路４００ａ、４００ｂと各々隣接するように配置される第１及び第２維持信号生成回路７００ａ、７００ｂを備える。

第１維持信号生成回路７００ａは奇数番目の維持電極線S_1、S_3、…、S_{2n-1}及び偶数番目の一般ゲート線G_2、G_4、…、G_{2n}に接続されており、奇数番目の維持電極線S_1、S_3、…、S_{2n-1}に高レベル電圧と低レベル電圧からなる維持信号を印加する。

【００２９】

第２維持電極線駆動部７００ｂは、偶数番目の維持電極線S_2、S_4、…、S_{2n}及び第１一般ゲート線G_1を除いた奇数番目の一般ゲート線G_3、G_5、…、G_{2n-1}と付加ゲート線G_dに接続されており、偶数番目の維持電極線S_2、S_4、…、S_{2n}に維持信号を印加する。

これとは異なって、維持信号生成部７００は、ゲート駆動部４００に接続された別途の付加ゲート線G_dを通じて必要な信号の供給を受けず、別途の信号発生部や信号制御部６００などのような別途の装置から必要な信号の供給を受けることもできる。この場合、ゲート駆動部４００に接続された付加ゲート線G_dは液晶表示板組立体３００に形成される必要がない。

【００３０】

維持信号生成部７００は、信号線G_1～G_{2n}、G_d、D_1～D_m、S_1～S_{2n}及び

薄膜トランジスタスイッチング素子Ｑなどと共に液晶表示板組立体３００に集積される。しかし、維持信号生成部７００は、少なくとも一つの集積回路チップの形態で液晶表示板組立体３００上に直接装着したり、可撓性印刷回路フィルム（ｆｌｅｘｉｂｌｅ ｐｒｉｎｔｅｄ ｃｉｒｃｕｉｔ ｆｉｌｍ）（図示せず）上に装着されてＴＣＰ（ｔａｐｅ ｃａｒｒｉｅｒｐａｃｋａｇｅ）の形態で液晶表示板組立体３００に付着させたり、別途の印刷回路基板（ｐｒｉｎｔｅｄ ｃｉｒｃｕｉｔ ｂｏａｒｄ）（図示せず）上に装着することもできる。

【００３１】

データ駆動部５００は、液晶表示板組立体３００のデータ線D_1～D_mと接続されており、階調電圧生成部８００からの階調電圧を選択し、これをデータ電圧としてデータ線D_1～D_mに印加する。しかし、階調電圧生成部８００が階調電圧を全て提供することではなく、限定された数の基準階調電圧のみを提供する場合に、データ駆動部５００は基準階調電圧を分圧して所望のデータ電圧を生成する。

信号制御部６００は、ゲート駆動部４００、データ駆動部５００及び維持信号生成部７００などを制御する。

【００３２】

このような駆動装置（５００、６００、８００）各々は、少なくとも一つの集積回路チップの形態で液晶表示板組立体３００上に直接装着したり、可撓性印刷回路フィルム（図示せず）上に装着されてＴＣＰの形態で液晶表示板組立体３００に付着させたり、別途の印刷回路基板（図示せず）上に装着することもできる。これとは異なって、これら駆動装置（５００、６００、８００）が信号線G_1～G_{2n}、D_1～D_m、S_1～S_{2n}及び薄膜トランジスタスイッチング素子Ｑなどと共に液晶表示板組立体３００に直接集積することもできる。また、駆動装置（５００、６００、８００）は単一チップで集積でき、この場合、これらのうちの少なくとも一つまたはこれらをなす少なくとも一つの回路素子が単一チップの外側にあり得る。

【００３３】

次に、このような液晶表示装置の動作について詳細に説明する。

信号制御部６００は、外部のグラフィック制御器（図示せず）から入力画像信号Ｒ、Ｇ、Ｂ及びその表示を制御する入力制御信号を受信する。入力画像信号Ｒ、Ｇ、Ｂは各画素ＰＸの輝度（ｌｕｍｉｎａｎｃｅ）情報を含んでおり、輝度は決められた数、例えば、１０２４（$=2^{10}$）、２５６（$=2^8$）または６４（＝２６）個の階調（ｇｒａｙ）を有している。入力制御信号の例としては、垂直同期信号Ｖｓｙｎｃ、水平同期信号Ｈｓｙｎｃ、メインクロック信号ＭＣＬＫ、及びデータイネーブル信号ＤＥなどがある。

【００３４】

信号制御部６００は、入力画像信号Ｒ、Ｇ、Ｂと入力制御信号に基づいて入力画像信号Ｒ、Ｇ、Ｂを液晶表示板組立体３００の動作条件に合うように適切に処理し、ゲート制御信号ＣＯＮＴ１、データ制御信号ＣＯＮＴ２及び維持制御信号ＣＯＮＴ３などを生成した後、ゲート制御信号ＣＯＮＴ１をゲート駆動部４００に送出し、データ制御信号ＣＯＮＴ２と処理したデジタル画像信号ＤＡＴをデータ駆動部５００に送出し、維持制御信号ＣＯＮＴ３を維持信号生成部７００に送出する。

【００３５】

ゲート制御信号ＣＯＮＴ１は、走査開始を指示する走査開始信号ＳＴＶ１、ＳＴＶ２と、ゲートオン電圧Ｖｏｎの出力周期を制御する少なくとも一つのクロック信号とを含む。ゲート制御信号ＣＯＮＴ１は、また、ゲートオン電圧Ｖｏｎの持続時間を限定する出力イネーブル信号ＯＥをさらに含むことができる。

【００３６】

データ制御信号ＣＯＮＴ２は、一つの行の画素ＰＸに対するデジタル画像信号ＤＡＴの伝送開始を知らせる水平同期開始信号ＳＴＨと、データ線D_1～D_mにアナログデータ電圧の印加を指示するロード信号ＬＯＡＤ、及びデータクロック信号ＨＣＬＫを含む。データ制御信号ＣＯＮＴ２は、また、共通電圧Ｖｃｏｍに対するデータ電圧極性（以下、“共

通電圧に対するデータ電圧の極性”を略して“データ電圧の極性”と言う）を反転させる反転信号ＲＶＳをさらに含むことができる。

【００３７】

信号制御部６００からのデータ制御信号ＣＯＮＴ２によって、データ駆動部５００は一つの行、例えば、ｉ番目行の画素ＰＸに対するデジタル画像信号ＤＡＴを受信し、各デジタル画像信号ＤＡＴに対応する階調電圧を選択することによってデジタル画像信号ＤＡＴをアナログデータ電圧に変換した後に、これを該当データ線D_1～D_mに印加する。

【００３８】

ゲート駆動部４００は、信号制御部６００からのゲート制御信号ＣＯＮＴ１によってゲート線G_1～G_{2n}のうちの一つ、例えば、ｉ番目ゲート線G_iに印加されるゲート信号をゲートオン電圧Ｖｏｎに変えて、このゲート線G_iに接続されたスイッチング素子Ｑを導通させる（但し、付加ゲート線G_dにはスイッチング素子Ｑが接続されていないため除外）。そうすると、データ線D_1～D_mに印加されたデータ電圧が導通したスイッチング素子Ｑを通じてｉ番目行の画素ＰＸに印加され、これにより画素ＰＸ内の液晶キャパシタＣｌｃとストレージキャパシタＣｓｔが充電される。

【００３９】

液晶キャパシタＣｌｃの充電電圧、つまり、画素電圧は画素ＰＸに印加されたデータ電圧と共通電圧Ｖｃｏｍとの差とほとんど同一である。液晶分子は画素電圧の大きさによってその配列を異ならせ、そのため液晶層３を通過する光の偏光が変化する。このような偏光の変化は偏光子によって光の透過率変化として現れ、これによって画素ＰＸはデジタル画像信号ＤＡＴの階調が示す輝度を表示する。

【００４０】

一つの水平周期（“１Ｈ”とも記し、水平同期信号Ｈｓｙｎｃ及びデータイネーブル信号ＤＥの一周期と同一である）が経過し、データ駆動部５００が（ｉ＋１）番目行の画素ＰＸに対するデータ電圧をデータ線D_1～D_mに印加すれば、ゲート駆動部４００はｉ番目ゲート線G_iに印加されるゲート信号をゲートオフ電圧Ｖｏｆｆに変え、その後、ゲート線（G_{i+1}）に印加されるゲート信号をゲートオン電圧Ｖｏｎに変える。

そうすると、ｉ番目画素行のスイッチング素子Ｑが遮断され、そのため画素電極１９１が孤立状態（ｆｌｏａｔｉｎｇ）となる。

【００４１】

維持信号生成部７００は、信号制御部６００からの維持制御信号ＣＯＮＴ３と、（ｉ＋１）番目ゲート線G_{i+1}に印加されるゲート信号の電圧上昇によって、ｉ番目維持電極線S_iに印加される維持信号の電圧レベルを変える。以下、ｉ番目画素行のストレージキャパシタＣｓｔの一側端子である画素電極１９１が、他側端子である維持電極線S_iの電圧変化によってその電圧を変える。

このような過程を全ての画素行に対して繰り返すことによって、液晶表示装置は１フレーム（ｆｒａｍｅ）の画像を表示する。

【００４２】

１フレームが終了すれば、次のフレームが開始し、各画素ＰＸに印加されるデータ電圧の極性が直前フレームでの極性と反対になるように、データ駆動部５００に印加される反転信号ＲＶＳの状態が制御される（“フレーム反転”）。また、一つの行の画素ＰＸに印加されるデータ電圧の極性は全て同一であり、隣接した二つの行の画素ＰＸに印加されるデータ電圧の極性は反対である（“行反転”）。

【００４３】

このように本実施形態による液晶表示装置がフレーム反転及び行反転を行うので、いずれか一つの行の画素ＰＸに印加されるデータ電圧は全て正極性であるかまたは負極性であり、フレーム単位で極性が変わる。この時、維持電極線S_1～S_{2n}に印加される維持信号は、画素電極１９１に正極性のデータ電圧が充電された場合には低レベル電圧から高レベル電圧に変化し、反対に、画素電極１９１に負極性のデータ電圧が充電された場合には高レベル電圧から低レベル電圧に変化する。したがって、画素電極１９１の電圧は、正極

性データ電圧で充電された場合にはさらに上がり、負極性データ電圧で充電された場合にはさらに下がる。したがって、画素電極１９１の電圧範囲は、データ電圧の基礎である階調電圧の範囲より広く、これにより低い基本電圧にても広い範囲の輝度を実現することができる。

【００４４】

一方、第１及び第２維持信号生成回路７００ａ、７００ｂは各々、維持電極線S_1～S_{2n}に各々接続された複数の信号生成回路（ｓｉｇｎａｌ　ｇｅｎｅｒａｔｉｎｇ　ｃｉｒｃｕｉｔ）７１０を含むことができ、このような信号生成回路７１０の一例について、図３及び図４を参照して詳細に説明する。

図３は本発明の一実施形態による信号生成回路の回路図であり、図４は図３に示した信号生成回路を含む液晶表示装置に用いられる信号のタイミング図である。

【００４５】

図３に示すように、信号生成回路７１０は、入力端ＩＰと出力端ＯＰを有する。ｉ番目信号生成回路の場合、入力端ＩＰは（ｉ＋１）番目ゲート線G_{i+1}と接続されて、（ｉ＋１）番目ゲート信号g_{i+1}（以下、“入力信号”と言う）を受け、出力端ＯＰはｉ番目維持電極線Ｓｉと接続され、ｉ番目維持信号Vs_iを出力する。これと同様に、（ｉ＋１）番目信号生成回路の場合、入力端ＩＰは（ｉ＋２）番目ゲート線G_{i+2}と接続され、（ｉ＋２）番目ゲート信号g_{i+2}を入力信号として受け、出力端ＯＰは（ｉ＋１）番目維持電極線S_{i+1}と接続され、（ｉ＋１）番目維持信号Vs_{i+1}を出力する。

【００４６】

信号生成回路７１０は、信号制御部６００から維持制御信号ＣＯＮＴ３の一種である第１、第２及び第３クロック信号ＣＫ１、ＣＫ１Ｂ、ＣＫ２を受け、信号制御部６００または外部から高電圧ＡＶＤＤと低電圧ＡＶＳＳを受ける。

【００４７】

図４に示すように、第１乃至第３クロック信号ＣＫ１、ＣＫ１Ｂ、ＣＫ２は２Ｈの周期を有し、デューティ比は約５０％であり得る。第１クロック信号ＣＫ１と第２クロック信号ＣＫ１Ｂとは約１８０°の位相差を有する互いに反転した信号であり、第２クロック信号ＣＫ１Ｂと第３クロック信号ＣＫ２の位相は互いに同一である。また、第１乃至第３クロック信号ＣＫ１、ＣＫ１Ｂ、ＣＫ２の波形はフレーム単位で反転する。

【００４８】

第１及び第２クロック信号ＣＫ１、ＣＫ１Ｂの高レベル電圧Ｖｈ１は約１５Ｖであり、低レベル電圧Ｖｌ１は約０Ｖであり得、第３クロック信号ＣＫ２の高レベル電圧Ｖｈ２は約５Ｖであり、低レベル電圧Ｖｌ２は約０Ｖであり得る。高電圧ＡＶＤＤは第３クロック信号ＣＫ２の高レベル電圧Ｖｈ２と同一に約５Ｖであり、低電圧ＡＶＳＳは第３クロック信号ＣＫ２の低レベル電圧Ｖｌ２と同一に約０Ｖであり得る。

【００４９】

信号生成回路７１０は、制御端子、入力端子及び出力端子を各々有する五個のトランジスタＴｒ１、Ｔｒ２、Ｔｒ３、Ｔｒ４、Ｔｒ５と、二つのキャパシタＣ１、Ｃ２とを含む。

トランジスタＴｒ１の制御端子は入力端ＩＰと接続されており、入力端子は第３クロック信号ＣＫ２と接続されており、出力端子は出力端ＯＰと接続されている。

【００５０】

トランジスタＴｒ２、トランジスタＴｒ３の各々の制御端子は入力端ＩＰと接続されており、各々の入力端子は第１クロック信号ＣＫ１、第２クロック信号ＣＫ１Ｂと接続されている。

トランジスタＴｒ４、トランジスタＴｒ５の各々の制御端子はトランジスタＴｒ２、トランジスタＴｒ３の出力端子と接続されており、各々の入力端子は低電圧ＡＶＳＳ、高電圧ＡＶＤＤに接続されており、各々の出力端子は出力端ＯＰと接続されている。

【００５１】

キャパシタＣ１、キャパシタＣ２は、各々、トランジスタＴｒ４の制御端子と低電圧Ａ

ＶＳＳとの間、トランジスタＴｒ５の制御端子と高電圧ＡＶＤＤとの間に接続されている。トランジスタＴｒ１～Ｔｒ５は、非晶質シリコン（ａｍｏｒｐｈｏｕｓ　ｓｉｌｉｃｏｎ）または多結晶シリコン（ｐｏｌｙ　ｃｒｙｓｔａｌｌｉｎｅ　ｓｉｌｉｃｏｎ）薄膜トランジスタからなることができる。

【００５２】

このような信号生成回路の動作について詳細に説明する。

図４に示すように、隣接した二つのゲート線に印加されるゲートオン電圧Ｖｏｎの印加時間が一部重畳しており、この時、ゲートオン電圧Ｖｏｎの重畳時間は約１Ｈであり得る。これにより、全行の画素ＰＸは直前行の画素ＰＸに印加されるデータ電圧によって約１Ｈ間に充電されるが、残りの約１Ｈ間には自身のデータ電圧によって充電が行われ、正常に画像の表示動作が行われる。

【００５３】

まず、ｉ番目信号生成回路について説明する。

入力信号、つまり、（ｉ＋１）番目ゲート線G_{i+1}に印加されるゲート信号g_{i+1}がゲートオン電圧Ｖｏｎになれば、第１乃至第３トランジスタＴｒ１～Ｔｒ３が導通する。導通したトランジスタＴｒ１は第３クロック信号ＣＫ２を出力端ＯＰに伝達し、第３クロック信号ＣＫ２の低レベル電圧Ｖｌ２によって維持信号Vs_iの電圧レベルは低レベル電圧（Ｖ－）になる。一方、導通したトランジスタＴｒ２は第１クロック信号ＣＫ１をトランジスタＴｒ４の制御端子に伝達し、導通したトランジスタＴｒ３は第２クロック信号ＣＫ１Ｂをトランジスタ Ｔｒ５の制御端子に伝達する。

【００５４】

第１クロック信号ＣＫ１と第２クロック信号ＣＫ１Ｂとは互いに反転した信号であるので、トランジスタＴｒ４とトランジスタＴｒ５とは互いに反対に動作する。つまり、トランジスタＴｒ４が導通すれば、トランジスタＴｒ５が遮断され、反対に、トランジスタＴｒ４が遮断されれば、トランジスタＴｒ５が導通する。トランジスタＴｒ４が導通し、トランジスタＴｒ５が遮断されれば、低電圧ＡＶＳＳが出力端ＯＰに伝達され、トランジスタＴｒ４が遮断され、トランジスタＴｒ５が導通すれば、高電圧ＡＶＤＤが出力端ＯＰに伝達される。

【００５５】

ゲート信号g_{i+1}のゲートオン電圧Ｖｏｎの状態は、例えば、２Ｈ間維持され、前半１Ｈ間を前半区間Ｔ１、後半１Ｈ間を後半区間Ｔ２とする。

前半区間Ｔ１の間に、第１クロック信号ＣＫ１は高レベル電圧Ｖｈ１であり、第２及び第３クロック信号ＣＫ１Ｂ、ＣＫ２は低レベル電圧Ｖｌ１、Ｖｌ２であるので、トランジスタＴｒ１が伝達する第３クロック信号ＣＫ２の低レベル電圧Ｖｌ２がかかっている出力端ＯＰには、トランジスタＴｒ４が伝達する低電圧ＡＶＳＳがかかる。したがって、維持信号Vs_iは低レベル電圧Ｖｌ２及び低電圧ＡＶＳＳと同一の大きさの低レベル電圧（Ｖ－）になる。一方、前半区間Ｔ１の間に、キャパシタＣ１には第１クロック信号ＣＫ１の高レベル電圧Ｖｈ１と低電圧ＡＶＳＳとの差ほどの電圧が充電され、キャパシタＣ２には第２クロック信号ＣＫ１Ｂの低レベル電圧Ｖｌ１と高電圧ＡＶＤＤとの差ほどの電圧が充電される。

【００５６】

後半区間Ｔ２の間に、第１クロック信号ＣＫ１は低レベル電圧Ｖｌ１であり、第２及び第３クロック信号ＣＫ１Ｂ、ＣＫ２は高レベル電圧Ｖｈ１、Ｖｈ２であるので、前半区間Ｔ１とは反対にトランジスタＴｒ５は導通し、トランジスタＴｒ４は遮断される。

これにより、出力端ＯＰには導通したトランジスタＴｒ１を通じて伝えられる第３クロック信号ＣＫ２の高レベル電圧Ｖｈ２がかかるようになって、維持信号Vs_iは低レベル電圧（Ｖ－）から高レベル電圧Ｖｈ２と同一レベルの高レベル電圧（Ｖ＋）に変化するようになる。また、出力端ＯＰには導通したトランジスタＴｒ５を通じて高レベル電圧（Ｖ＋）と同一レベルの高電圧ＡＶＤＤが印加される。

【００５７】

一方、キャパシタＣ１の充電電圧は、第１クロック信号ＣＫ１の低レベル電圧Ｖｌ１と低電圧ＡＶＳＳの差と同一であるので、これら二つの電圧が同一であればキャパシタＣ１は放電される。キャパシタＣ２の充電電圧は、第２クロック信号ＣＫ１Ｂの高レベル電圧Ｖｌ１と高電圧ＡＶＤＤの差と同一であるので、これら二つの電圧が互いに異なればキャパシタＣ２の充電電圧は０でない。前述で例に挙げたように、第２クロック信号ＣＫ１Ｂの高レベル電圧Ｖｈ１が約１５Ｖであり、高電圧ＡＶＤＤが約５Ｖである場合には、約１０Ｖの電圧がキャパシタＣ２に充電される。

【００５８】

後半区間Ｔ２が終了して、ゲート信号g_{i+1}がゲートオン電圧Ｖｏｎからゲートオフ電圧Ｖｏｆｆに変化すれば、トランジスタＴｒ１～Ｔｒ３は遮断状態に変わる。したがって、トランジスタＴｒ１の出力端子が孤立状態になってトランジスタＴｒ１と出力端ＯＰの電気的な接続が孤立状態となり、また、トランジスタＴｒ２、Ｔｒ３の出力端子が孤立状態となる。これによりトランジスタＴｒ４、Ｔｒ５の制御端子も孤立状態となる。

【００５９】

キャパシタＣ１には電圧が充電されていないので、トランジスタＴｒ４は遮断状態を維持する。しかし、キャパシタＣ２には第２クロック信号ＣＫ１Ｂの高レベル電圧Ｖｈ１と高電圧ＡＶＤＤの差によって電圧が充電されているので、その電圧がトランジスタＴｒ５のしきい電圧以上である場合に、トランジスタＴｒ５は導通状態を維持する。したがって、出力端ＯＰには高電圧ＡＶＤＤが伝えられて維持信号Ｖｓｉとして出力される。これによって維持信号Ｖｓｉは高レベル電圧（Ｖ＋）を維持する。

【００６０】

次に、（ｉ＋１）番目信号生成回路の動作について説明する。

（ｉ＋１）番目信号生成回路（図示せず）に（ｉ＋２）番目ゲート信号g_{i+2}のゲートオン電圧Ｖｏｎが印加されれば、（ｉ＋１）番目信号生成回路が動作する。

【００６１】

図４に示すように、（ｉ＋２）番目ゲート信号g_{i+2}がゲートオン電圧Ｖｏｎになれば、この時の第１乃至第３クロック信号ＣＫ１、ＣＫ１Ｂ、ＣＫ２の状態は、（ｉ＋１）番目ゲート信号g_{i+1}がゲートオン電圧Ｖｏｎになる時の状態と反対になる。

【００６２】

これによって、（ｉ＋２）番目ゲート信号g_{i+2}の前半ゲートオン電圧Ｖｏｎの区間Ｔ１である時の動作は、（ｉ＋１）番目ゲート信号g_{i+1}の後半ゲートオン電圧Ｖｏｎの区間Ｔ２である時の動作と同一であるので、トランジスタＴｒ１、Ｔｒ３、Ｔｒ５のターンオン動作によって第３クロック信号ＣＫ２の高レベル電圧Ｖｈ２と高電圧ＡＶＤＤが出力端ＯＰにかかるようになって、維持信号Vs_{i+1}は高レベル電圧（Ｖ＋）になる。

【００６３】

しかし（ｉ＋２）番目ゲート信号g_{i+2}の後半ゲートオン電圧Ｖｏｎの区間Ｔ２である時の動作は、（ｉ＋１）番目ゲート信号g_{i+1}の前半ゲートオン電圧Ｖｏｎの区間Ｔ１である時の動作と同一であるので、トランジスタＴｒ１、Ｔｒ２、Ｔｒ４のターンオン動作によって第３クロック信号ＣＫ２の低レベル電圧Ｖｌ２と低電圧ＡＶＳＳが出力端ＯＰにかかるようになって、維持信号Vs_{i+1}は高レベル電圧（Ｖ＋）から低レベル電圧（Ｖ－）に変化する。

【００６４】

上述したように、トランジスタＴｒ１は、入力信号の電圧状態がゲートオン電圧Ｖｏｎを維持する間に、第３クロック信号ＣＫ２を維持信号として印加するためのトランジスタであり、残りのトランジスタＴｒ２～Ｔｒ５は、入力信号がゲートオフ電圧Ｖｏｆｆであって、出力端ＯＰがトランジスタＴｒ１の出力端子と孤立状態である時に、キャパシタＣ１、Ｃ２を利用して該当維持電極線に印加される維持信号の電圧状態を次のフレームまで維持するためのトランジスタである。つまり、トランジスタＴｒ１は該当維持電極線に維持信号を初期に印加するためのものであり、残りのトランジスタＴｒ２～Ｔｒ５は出力されている維持信号を一定に維持するためのものであるので、トランジスタＴｒ２～Ｔｒ５

の大きさは第１トランジスタＴｒ１の大きさよりはるかに小さいことが良い。

【００６５】

このような維持信号Ｖｓの電圧変化によって、画素電極電圧Ｖｐが増減する。次に、このような維持信号Ｖｓの電圧変化による画素電極電圧Ｖｐの変化について説明する。以下、キャパシタとこれらキャパシタの静電容量は、同一の図面符号で表示する。

【００６６】

まず、画素電極電圧Ｖｐは以下の数式１によって求められる。数式１において、C_{lc}とC_{st}は各々液晶キャパシタ及びストレージキャパシタとこれらの静電容量を示し、（Ｖ＋）は維持信号Ｖｓの高レベル電圧であり、（Ｖ－）は維持信号Ｖｓの低レベル電圧である。数式１から分かるように、画素電極電圧Ｖｐは、キャパシタの静電容量C_{lc}、C_{st}、及び維持信号Ｖｓの電圧変化によって決められる変化量△が、データ電圧V_Dに加減された値である。

【００６７】

【数１】

$$Vp = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st}+C_{lc}}\{(V+)-(V-)\}$$

データ電圧V_Dの範囲は約０Ｖ～５Ｖであり、C_{st}とC_{lc}の値が互いに同一になるように画素を設計して、（Ｖ＋）－（Ｖ－）＝５Ｖである場合、数式１はＶｐ＝V_D±２．５となる。

【００６８】

結局、維持信号Ｖｓの電圧が変わる時、画素電極電圧Ｖｐは、データ電圧V_Dの極性によって、該当データ線D_1～D_mを通じて印加されるデータ電圧V_Dより約±２．５Ｖほど増減される。つまり、（＋）極性の時に約＋２．５Ｖ増加し、（－）極性の時に約－２．５Ｖ減少する。このような画素電極電圧Ｖｐの変化によって画素電圧の範囲も増加する。

【００６９】

例えば、共通電圧Ｖｃｏｍが約２．５Ｖに固定されている時、画素に印加される約０Ｖ～５Ｖのデータ電圧V_Dによる画素電圧の範囲は約－２．５Ｖ～＋２．５Ｖであるが、維持信号Ｖｓが高レベル電圧（Ｖ＋）または低レベル電圧（Ｖ－）に変化する時、画素電圧の範囲は約－５Ｖ～＋５Ｖに広くなる。

このように、維持信号Ｖｓの電圧変化｛（Ｖ＋）－（Ｖ－）｝によって増加した画素電極電圧Ｖｐの変化量△ほど画素電圧の範囲が広くなるので、階調表現のための電圧範囲が増加して輝度が向上する。

【００７０】

また、共通電圧が一定の電圧に固定されているので、低い電圧と高い電圧を交互に印加する時より消費電力が減少する。つまり、データ線と共通電極との間に発生する寄生キャパシタにおいて、共通電極に印加される共通電圧が約０または５Ｖである場合、この寄生キャパシタに印加される電圧は最大約±５Ｖである。しかし、共通電圧が約２．５Ｖに固定される場合、データ線と共通電極との間に発生する寄生キャパシタに印加される電圧は最大約±２．５Ｖに減少する。したがって、データ線と共通電極との間で発生する寄生キャパシタで消費される電力が減少して、液晶表示装置の総消費電力が減少する。

【００７１】

しかし、液晶の応答速度が遅いため、画素電圧によって液晶分子が速かに反応しない。したがって、液晶キャパシタＣｌｃの静電容量は、液晶キャパシタＣｌｃの両端に印加される画素電圧に反応して、液晶分子の再整列が完了した安定化状態に到達したか否かによって変わる。この液晶分子が安定化状態に到達したか否かによって画素電極電圧Ｖｐが変化する。

【００７２】
次に、画素電圧に反応して液晶分子が安定化状態に到達した場合と、そうでない場合との、画素電極電圧Ｖｐの変化について説明する。
【００７３】
最大値の画素電圧、つまり、最大階調（ノーマリーブラックである場合、ホワイト階調）の画素電圧が液晶キャパシタＣｌｃに印加された後に液晶分子が安定化状態に到達する時、液晶キャパシタＣｌｃの静電容量が最小値の画素電圧、最少階調（ノーマリーブラックである場合、ブラック階調）の画素電圧が液晶キャパシタＣｌｃに印加された後に液晶分子が安定化状態に到達する時、液晶キャパシタＣｌｃの静電容量の約３倍であると仮定する。また、（Ｖ＋）－（Ｖ－）＝５Ｖであり、Ｃｌｃ＝Ｃｓｔとする。
【００７４】
したがって、最大階調の画素電圧が液晶キャパシタＣｌｃに印加された後に液晶分子が安定化状態に到達する時、画素電極電圧Ｖｐは上記数式１の通りであり、既に記述したように、（Ｖ＋）－（Ｖ－）＝５Ｖであり、Ｃｌｃ＝Ｃｓｔであるので、画素電極電圧ＶｐはＶｐ＝$Ｖ_{D}$±２．５となる。
しかし、最大階調の画素電圧が液晶キャパシタＣｌｃに印加された後、液晶分子が安定化状態に到達できない場合には、画素電極電圧Ｖｐは、以下の数式２の通りである。
【００７５】
【数２】

$$Vp = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st}+C_{lc}}\{(V+)-(V-)\}$$

$$= V_D \pm \frac{C_{st}}{C_{st}+\frac{1}{3}C_{st}}\{(V+)-(V-)\} = V_D \pm \frac{3}{4}\{(V+)-(V-)\}$$

この時、（Ｖ＋）－（Ｖ－）＝５Ｖであるので、Ｖｐ＝$Ｖ_{D}$±３．７５である。
【００７６】
このように、最大階調の画素電圧が液晶キャパシタＣｌｃに印加された後、液晶分子が安定化状態に到達できない場合、画素電極電圧Ｖｐは、最少階調の画素電圧が液晶キャパシタＣｌｃに印加された後、液晶分子が安定化状態に到達した時の画素電極電圧を維持する。つまり、直前フレームの状態を維持する。したがって、維持信号の電圧変化｛（Ｖ＋）－（Ｖ－）｝による画素電極電圧Ｖｐの変化量△は、±２．５Ｖから±３．７５Ｖに増加する。
【００７７】
したがって、最少階調の画素電極電圧から他の階調の画素電極電圧に変化する場合、液晶分子が安定化状態に到達する前までは、数式２によって維持信号の電圧変化｛（Ｖ＋）－（Ｖ－）｝による画素電極電圧Ｖｐの変化量△はさらに増加し、（Ｖ＋）－（Ｖ－）＝５Ｖである場合、最大±３．７５Ｖまで増加する。
【００７８】
これによって、従来の技術においては、図６に示すように、毎フレームごとに目標画素電極電圧$Ｖ_{T}$に相当する画素電極電圧$Ｖ_{p}$を該当画素電極に印加しても、画素電極に充電された画素電極電圧は充電動作が完了した後、隣接したデータ電圧などの影響によって減少し、結局、１フレーム内に目標画素電極電圧$Ｖ_{T}$に到達できず、いくつかのフレームを経て目標画素電極電圧$Ｖ_{T}$に到達するが、本実施形態においては、図５に示すように、該当画素電極に印加される画素電極電圧Ｖｐが目標画素電極電圧$Ｖ_{T}$よりはるかに高い電圧が印加されるので、１フレーム内に該当画素電極が目標画素電極電圧$Ｖ_{T}$に到達して、従来の技術より液晶の応答速度ＲＣが向上する。
【００７９】
したがって、画素電極電圧Ｖｐは、充電されているデータ電圧$Ｖ_{D}$に維持信号$Ｖ_{s}$の電

圧変化量が加減されて、画素ＰＸが正極性データ電圧によって充電されている場合には、画素電極電圧Ｖｐは変化量ほど増加し、反対に、画素ＰＸが負極性データ電圧によって充電されている場合には、画素電極電圧Ｖｐは変化量ほど減少する。これによって、画素電圧の変化は増減された画素電極電圧Ｖｐによって階調電圧の範囲より広くなり、表現される輝度範囲も広くなる。

また、既に説明したように、共通電圧Ｖｃｏｍが一定の電圧に固定されているので、低い電圧と高い電圧を交互に印加する時より消費電力が減少する。

【００８０】

次に、図７～図９を参照して、本発明の他の実施形態による液晶表示装置について説明する。

図７は本発明の他の実施形態による液晶表示装置のブロック図である。図８は本発明の他の実施形態による信号生成回路の回路図であり、図９は図８に示した信号生成回路を含む液晶表示装置に用いられる信号のタイミング図である。

【００８１】

図７に示すように、本発明の他の実施形態による液晶表示装置は、全ての一般ゲート線G_1～G_{2n}と付加ゲート線G_{d1}に接続された一つのゲート駆動部４０１と、全ての維持電極線S_1～S_{2n}に接続された一つの維持信号生成部７０１とを除けば、図１に示した液晶表示装置の構造と同一であるため、同じ図面符号を付けており、これらに対する詳細な説明は省略する。

【００８２】

ゲート駆動部４０１と維持信号生成部７０１は、画素ＰＸのスイッチング素子Ｑと同一の工程により形成されて液晶表示板組立体３０１に集積されているが、これらは各々一つの集積回路チップの形態で液晶表示板組立体３０１上に直接装着したり、可撓性印刷回路フィルム（図示せず）上に装着されてＴＣＰの形態で液晶表示板組立体３０１に付着させたり、別途の印刷回路基板（図示せず）上に装着することもできる。

ゲート駆動部４０１は、第１一般ゲート線G_1から付加ゲート線G_{d1}に順次にゲートオン電圧Ｖｏｎを印加して、各一般ゲート線G_1～G_{2n}に接続された該当画素行の充電動作と維持信号生成部７０１の動作を制御する。

【００８３】

また、維持信号生成部７０１は、各維持電極線S_1～S_{2n}に接続された複数の信号生成回路ST_1～ST_{2n}を含んでおり、各信号生成回路は入力信号を除けば、全て同一の構造で形成されて同じ動作を行うので、図８を参照して、ｉ番目と（ｉ＋１）番目維持電極線S_i、S_{i+1}に維持信号Vs_i、Vs_{i+1}を各々印加する、ｉ番目と（ｉ＋１）番目信号生成回路ST_i、ST_{i+1}の構造と動作についてのみ説明する。

【００８４】

図８に示すように、各信号生成回路ST_1～ST_{2n}は、第６トランジスタＴｒ６をさらに含んでいることを除けば、図３に示した信号生成回路と同一であるため、これらＴｒ１～Ｔｒ５に対する構造の説明は省略する。

信号生成回路の第６トランジスタＴｒ６は、第３クロック信号ＣＫ２に入力端子が接続されており、直前の信号生成回路の入力端ＩＰに制御端子が接続されており、出力端ＯＰに出力端子が接続されている。

【００８５】

第６トランジスタは、第１～第５トランジスタのように非晶質シリコンまたは多結晶シリコンの薄膜トランジスタからなることができる。

このように、任意の一つの画素行に形成された維持電極線に接続された信号生成回路は、該当画素行に印加されるゲート信号だけでなく、直前の画素行に印加されるゲート信号の印加を受けるので、最後の維持電極線S_{2n}に接続された信号生成回路は、補助ゲート線G_{d1}に接続されてゲート信号の印加を受ける。これとは異なって、最後の維持電極線S_{2n}に接続された信号生成回路は、信号制御部６００などのようにゲート駆動部４０１でない他の装置や外部から制御信号の印加を受けることができる。

【００８６】
このような信号生成回路の動作について、図９を参照して説明する。
既に説明したように、液晶表示装置は行反転とフレーム反転を行う。また、図９に示すように、第１乃至第３クロック信号ＣＫ１、ＣＫ１Ｂ、ＣＫ２は図４に示したクロック信号ＣＫ１、ＣＫ１Ｂ、ＣＫ２と同一である。
図９に示すように、各ゲート線G_1～G_{2n}、G_{d1}に順次に印加されるゲートオン電圧Ｖｏｎは、隣接したゲートオン電圧Ｖｏｎと所定時間重畳せず、第１一般ゲート線G_1から順次に補助ゲート線G_{d1}に印加される。
【００８７】
まず、ｉ番目信号生成回路ST_iの動作について説明する。
ｉ番目ゲート線G_iに印加されるゲート信号g_iがゲートオン電圧Ｖｏｎになれば、ｉ番目信号生成回路ST_iの第６トランジスタＴｒ６が導通して、第３クロック信号ＣＫ２の低レベル電圧Ｖｌ２が維持信号Vs_iとして出力端ＯＰを通じてｉ番目維持電極線S_iに印加され、低レベル電圧（Ｖ－）を維持する。
【００８８】
次に、１Ｈ経過後、（ｉ＋１）番目ゲート線G_{i+1}にゲートオン電圧Ｖｏｎが印加されれば、第１乃至第３トランジスタＴｒ１～Ｔｒ３が導通する。
したがって、図９に示すように、第１トランジスタＴｒ１が導通する間に、第３クロック信号ＣＫ２の高レベル電圧Ｖｈ２が出力端ＯＰを通じて維持信号Vs_iとして維持電極線S_iに印加されるので、維持信号Vs_iは低レベル電圧（Ｖ－）から高レベル電圧（Ｖ＋）に変化する。
【００８９】
（ｉ＋１）番目ゲート信号g_{i+1}がゲートオン電圧Ｖｏｎである時、第１クロック信号ＣＫ１は低レベル電圧Ｖｌ１を維持し、第２クロック信号ＣＫ１Ｂは高レベル電圧Ｖｈ１を維持する。したがって、導通したトランジスタＴｒ２、Ｔｒ３を通じて各々第４及び第５トランジスタＴｒ４、Ｔｒ５の制御端子に低レベル電圧と高レベル電圧が印加されて、第５トランジスタＴｒ５は導通し、第４トランジスタＴｒ４は遮断され、キャパシタＣ２の充電動作が行われる。これによって、（ｉ＋１）番目ゲートオン電圧Ｖｏｎが印加される間に、導通したトランジスタＴｒ１、Ｔｒ５によって高レベル電圧（Ｖ＋）の維持信号Vs_iが出力端ＯＰに印加され、また、（ｉ＋１）番目ゲート線G_{i+1}に印加されるゲート信号g_{i+1}がゲートオフ信号Ｖｏｆｆを維持する間、キャパシタＣ２の充電電圧によりトランジスタＴｒ５が導通して高電圧ＡＶＤＤが出力端子ＯＰに印加され、維持信号Vs_iは高レベル電圧（Ｖ＋）を維持する。
【００９０】
つまり、ｉ番目ゲート信号g_iがゲートオン電圧Ｖｏｎになってｉ番目ゲート線G_iに接続された画素行の充電動作が完了した後、維持信号Vs_iが低レベル電圧（Ｖ－）から高レベル電圧（Ｖ＋）に変換して、画素電極電圧Ｖｐは数式１または数式２によって決められた変化量ほど増加する。
このようなｉ番目信号生成回路ST_iの動作と類似して、図９に示すように、（ｉ＋１）番目ゲート信号g_{i+1}がゲートオン電圧Ｖｏｎを維持する間にトランジスタＴｒ６が導通し、これによって導通したトランジスタＴｒ６を通じて伝えられる第３クロック信号ＣＫ２の高レベル電圧Ｖｈ２によって、（ｉ＋１）番目維持電極線S_{i+1}から出力される維持信号Vs_{i+1}は電圧状態である高レベル電圧（Ｖ＋）を維持する。
【００９１】
次に、（ｉ＋２）番目ゲート信号g_{i+2}にゲートオン電圧Ｖｏｎが印加されれば、トランジスタＴｒ１、Ｔｒ２、Ｔｒ４が導通し、キャパシタＣ１が充電されて、維持信号Vs_{i+1}は導通したトランジスタＴｒ１、Ｔｒ５を通じて伝えられる低レベル電圧Ｖｌ２と低電圧ＡＶＳＳによって、高レベル電圧（Ｖ＋）から低レベル電圧（Ｖ－）に変化する。
また、（ｉ＋２）番目ゲート線G_{i+2}に印加されるゲート信号g_{i+2}がゲートオフ

信号Ｖｏｆｆを維持する間に、キャパシタＣ１の充電電圧によってトランジスタＴｒ４が導通し、低電圧ＡＶＳＳが出力端ＯＰに印加されて、維持信号$Ｖｓ_{ｉ＋１}$は低レベル電圧（Ｖ－）を維持する。

【００９２】

これによって、（ｉ＋１）番目ゲート信号$ｇ_{ｉ＋１}$がゲートオン電圧Ｖｏｎになって、（ｉ＋１）番目ゲート線$Ｇ_{ｉ＋１}$に接続された画素行の充電動作が完了した後、維持信号$Ｖｓ_{ｉ＋１}$が高レベル電圧（Ｖ＋）から低レベル電圧（Ｖ－）に変換して、画素電極電圧Ｖｐは数式１または数式２によって決められた変化量ほど減少する。本実施形態において、第６トランジスタＴｒ６は該当維持電極線に印加される維持信号の電圧状態を維持するためのトランジスタであるので、トランジスタＴｒ６の大きさは第１トランジスタＴｒ１の大きさよりはるかに小さいことが良い。

【００９３】

次に、このような本発明の一実施形態による液晶表示装置の薄膜トランジスタ表示板の詳細構造について、図面を参照して詳細に説明する。

まず、図１０及び図１１（ａ）（ｂ）を参照して、本発明の一実施形態による液晶表示装置の薄膜トランジスタ表示板の一例について説明する。

図１０は本発明の一実施形態による液晶表示装置の薄膜トランジスタ表示板に対する配置図の一例であり、図１１（ａ）及び（ｂ）は各々図１０の薄膜トランジスタ表示板のＸＩａ－ＸＩａ線及びＸＩｂ－ＸＩｂ線に沿った断面図である。

【００９４】

透明なガラスまたはプラスチックなどで作られた絶縁基板１１０上に、複数のゲート線（ｇａｔｅ　ｌｉｎｅ）１２１及び複数の維持電極線（ｓｔｏｒａｇｅ　ｅｌｅｃｔｒｏｄｅ　ｌｉｎｅ）１３１が形成されている。

ゲート線１２１はゲート信号を伝達し、主に横方向に延在している。各ゲート線１２１は、（図１０で上に）突出した複数のゲート電極（ｇａｔｅ　ｅｌｅｃｔｒｏｄｅ）１２４と、他の層または外部駆動回路との接続のために面積の広い端部１２９とを含む。

【００９５】

ゲート信号を生成するゲート駆動回路（図示せず）は、絶縁基板１１０上に付着される可撓性印刷回路フィルム（図示せず）上に装着したり、絶縁基板１１０上に直接装着されたり、絶縁基板１１０に直接集積できる。ゲート駆動回路が絶縁基板１１０上に集積されている場合、ゲート線１２１が延長されてこれと直接接続することができる。

それぞれの維持電極線１３１は主に横方向に延在しており、（図１０で幅が下に）拡張された複数の拡張部１３７を含む。維持電極線１３１は、また、他の層または外部駆動回路との接続のために面積の広い端部を含むことができる。しかし、維持電極線１３１の形状及び配置は多様に変更できる。

【００９６】

各維持電極線１３１には、約５Ｖの高レベル電圧（Ｖ＋）と約０Ｖの低レベル電圧（Ｖ－）のような所定の電圧が、フレーム単位で交互に印加される。

維持電圧を生成する信号生成回路（図示せず）は、絶縁基板１１０上に付着される可撓性印刷回路フィルム（図示せず）上に装着したり、絶縁基板１１０上に直接装着したり、絶縁基板１１０に直接集積できる。信号生成回路が絶縁基板１１０上に集積される場合、維持電極線１３１が延長されて信号生成回路と直接接続することもできる。

【００９７】

ゲート線１２１と維持電極線１３１は、アルミニウム（Ａｌ）やアルミニウム合金などアルミニウム系金属、銀（Ａｇ）や銀合金など銀系金属、銅（Ｃｕ）や銅合金など銅系金属、モリブデン（Ｍｏ）やモリブデン合金などモリブデン系金属、クロム（Ｃｒ）、タンタル（Ｔａ）及びチタニウム（Ｔｉ）などで作ることができる。しかし、これらは物理的性質が異なる二つの導電膜（図示せず）を含む多重膜構造を有することもできる。

【００９８】

このうちの一つの導電膜は、信号遅延や電圧降下を減らすことができるように比抵抗（

ｒｅｓｉｓｔｉｖｉｔｙ）が低い金属、例えば、アルミニウム系金属、銀系金属、銅系金属などで作られる。これとは異なって、他の一方の導電膜は、他の物質、特にＩＴＯ（ｉｎｄｉｕｍ　ｔｉｎ　ｏｘｉｄｅ）及びＩＺＯ（ｉｎｄｉｕｍ　ｚｉｎｃ　ｏｘｉｄｅ）との物理的、化学的、電気的接合特性に優れた物質、例えば、モリブデン系金属、クロム、タンタル、チタニウムなどで作られる。このような組み合わせの良い例としては、クロム下部膜とアルミニウム（合金）上部膜、及びアルミニウム（合金）下部膜とモリブデン（合金）上部膜がある。しかし、ゲート線１２１及び維持電極線１３１はその他にも多様な金属または導電体で作ることができる。

【００９９】

ゲート線１２１及び維持電極線１３１の側面は絶縁基板１１０面に対して傾斜しており、その傾斜角は約３０°～約８０°であることが好ましい。

ゲート線１２１及び維持電極線１３１上には、窒化ケイ素（ＳｉＮｘ）または酸化ケイ素（ＳｉＯｘ）などで作られたゲート絶縁膜（ｇａｔｅ　ｉｎｓｕｌａｔｉｎｇ　ｌａｙｅｒ）１４０が形成されている。

【０１００】

ゲート絶縁膜１４０上には、水素化非晶質シリコン（ｈｙｄｒｏｇｅｎａｔｅｄ　ａｍｏｒｐｈｏｕｓ　ｓｉｌｉｃｏｎ）（非晶質シリコンは、略してａ－Ｓｉと記す）または多結晶シリコン（ｐｏｌｙｓｉｌｉｃｏｎ）などで作られた複数の線状半導体１５１が形成されている。線状半導体１５１は主に縦方向に延在しており、ゲート電極１２４に向かってのび出た複数の突出部（ｐｒｏｊｅｃｔｉｏｎ）１５４を含む。線状半導体１５１はゲート線１２１及び維持電極線１３１の付近で幅が広くなって、これらを幅広く覆っている。

【０１０１】

線状半導体１５１上には複数の線状及び島型オーミックコンタクト部材（ｏｈｍｉｃ　ｃｏｎｔａｃｔ）１６１、１６５が形成されている。オーミックコンタクト部材１６１、１６５は、リンなどのｎ型不純物が高濃度にドーピングされているｎ＋水素化非晶質シリコンなどの物質、またはシリサイド（ｓｉｌｉｃｉｄｅ）で作ることができる。線状オーミックコンタクト部材１６１は複数の突出部１６３を有しており、この突出部１６３と島型オーミックコンタクト部材１６５とは対をなして線状半導体１５１の突出部１５４上に配置されている。

【０１０２】

線状半導体１５１とオーミックコンタクト部材１６１、１６５の側面も絶縁基板１１０面に対して傾斜しており、その傾斜角は３０°～８０°程度である。

線状及び島型オーミックコンタクト部材１６１、１６５及びゲート絶縁膜１４０上には、複数のデータ線１７１と複数のドレイン電極１７５とが形成されている。

【０１０３】

データ線１７１はデータ信号を伝達し、主に縦方向に延在してゲート線１２１及び維持電極線１３１と交差する。各データ線１７１は、ゲート電極１２４に向かって延在した複数のソース電極１７３と、他の層または外部駆動回路との接続のために面積の広い端部１７９とを含む。データ信号を生成するデータ駆動回路（図示せず）は、絶縁基板１１０上に付着される可撓性印刷回路フィルム（図示せず）上に装着したり、絶縁基板１１０上に直接装着したり、絶縁基板１１０に直接集積できる。データ駆動回路が絶縁基板１１０上に集積される場合、データ線１７１が延長されてこれと直接接続されることができる。

ドレイン電極１７５はデータ線１７１と分離されており、ゲート電極１２４を中心にソース電極１７３と対向する。各ドレイン電極１７５は、広い一側端部と、棒状の他側端部とを含む。広い端部は維持電極線１３１の拡張部１３７と重畳し、棒状の端部は曲がったソース電極１７３によって一部取り囲まれている。

【０１０４】

一つのゲート電極１２４、一つのソース電極１７３、及び一つのドレイン電極１７５は、線状半導体１５１の突出部１５４と共に一つの薄膜トランジスタ（ｔｈｉｎ　ｆｉｌｍ

ｔｒａｎｓｉｓｔｏｒ、ＴＦＴ）をなし、薄膜トランジスタのチャネルはソース電極１７３とドレイン電極１７５との間の突出部１５４に形成される。

【０１０５】

データ線１７１及びドレイン電極１７５は、モリブデン、クロム、タンタル及びチタニウムなど耐火性金属（ｒｅｆｒａｃｔｏｒｙ　ｍｅｔａｌ）またはこれらの合金で作ることが好ましく、耐火性金属膜（図示せず）と低抵抗導電膜（図示せず）を含む多重膜構造を有することができる。多重膜構造の例としては、クロムまたはモリブデン（合金）下部膜とアルミニウム（合金）上部膜の二重膜、モリブデン（合金）下部膜とアルミニウム（合金）中間膜とモリブデン（合金）上部膜の三重膜がある。しかし、データ線１７１及びドレイン電極１７５はその他にも多様な金属または導電体で作ることができる。

データ線１７１及びドレイン電極１７５もその側面が、絶縁基板１１０面に対して３０°～８０°程度の傾斜角で傾斜していることが好ましい。

【０１０６】

線状及び島型オーミックコンタクト部材１６１、１６５は、その下の線状半導体１５１と、その上のデータ線１７１及びドレイン電極１７５との間にだけ存在し、これらの間の接触抵抗を低くする。大部分の所では線状半導体１５１がデータ線１７１より狭いが、上述したように、ゲート線１２１と合う部分で幅が広くなって表面のプロファイルをスムースにすることにより、データ線１７１が断線することを防止する。線状半導体１５１には、ソース電極１７３とドレイン電極１７５との間をはじめとして、データ線１７１及びドレイン電極１７５によって覆われずに露出した部分がある。

【０１０７】

データ線１７１及びドレイン電極１７５と、露出した線状半導体１５１部分上には、保護膜（ｐａｓｓｉｖａｔｉｏｎ　ｌａｙｅｒ）１８０が形成されている。保護膜１８０は、無機絶縁物または有機絶縁物などで作られ、表面が平坦であり得る。無機絶縁物の例としては、窒化ケイ素と酸化ケイ素がある。有機絶縁物としては、感光性（ｐｈｏｔｏｓｅｎｓｉｔｉｖｉｔｙ）を有することができ、その誘電率（ｄｉｅｌｅｃｔｒｉｃ　ｃｏｎｓｔａｎｔ）は、約４．０以下であることが好ましい。しかし、保護膜１８０は、有機膜の優れた絶縁特性を生かしながらも露出した線状半導体１５１の部分に損傷を与えないように、下部無機膜と上部有機膜の二重膜構造を有することもできる。

【０１０８】

保護膜１８０には、データ線１７１の端部１７９とドレイン電極１７５を各々露出する複数のコンタクトホール（ｃｏｎｔａｃｔ　ｈｏｌｅ）１８２、１８５が形成されており、保護膜１８０とゲート絶縁膜１４０には、ゲート線１２１の端部１２９を露出する複数のコンタクトホール１８１が形成されている。

保護膜１８０上には、複数の画素電極（ｐｉｘｅｌ　ｅｌｅｃｔｒｏｄｅ）１９１及び複数のコンタクト補助部材（ｃｏｎｔａｃｔ　ａｓｓｉｓｔａｎｔ）８１、８２が形成されている。これらは、ＩＴＯまたはＩＺＯなどの透明な導電物質や、アルミニウム、銀、クロムまたはその合金などの反射性金属で作ることができる。

【０１０９】

画素電極１９１は、コンタクトホール１８５を通じてドレイン電極１７５と物理的・電気的に接続されており、ドレイン電極１７５からデータ電圧の印加を受ける。データ電圧が印加された画素電極１９１は、共通電圧（ｃｏｍｍｏｎ　ｖｏｌｔａｇｅ）の印加を受ける他の表示板（図示せず）の共通電極（ｃｏｍｍｏｎ　ｅｌｅｃｔｒｏｄｅ）（図示せず）と共に電場を生成することによって、二つの電極の間の液晶層（図示せず）の液晶分子の方向を決定する。このように決定された液晶分子の方向によって液晶層を通過する光の偏光が変化する。画素電極１９１と共通電極は、キャパシタ［以下、“液晶キャパシタ（ｌｉｑｕｉｄ　ｃｒｙｓｔａｌ　ｃａｐａｃｉｔｏｒ）”と言う］をなし、薄膜トランジスタが遮断された後にも印加された電圧を維持する。

【０１１０】

画素電極１９１及びこれと電気的に接続されたドレイン電極１７５が、維持電極線１３

１と重畳してなすキャパシタをストレージキャパシタ（ｓｔｏｒａｇｅ　ｃａｐａｃｉｔｏｒ）と言い、ストレージキャパシタは液晶キャパシタの電圧維持能力を強化する。維持電極線１３１の拡張部１３７により、重畳面積が増加してストレージキャパシタの静電容量が増加する。

コンタクト補助部材８１、８２は、各々コンタクトホール１８１、１８２を通じてゲート線１２１の端部１２９及びデータ線１７１の端部１７９と接続される。コンタクト補助部材８１、８２は、ゲート線１２１の端部１２９及びデータ線１７１の端部１７９と外部装置との接着性を補完し、これらを保護する。

【０１１１】

次に、図１２～図１３（ａ）（ｂ）を参照して、本発明の一実施形態による薄膜トランジスタ表示板の他の例について詳細に説明する。

図１２は本発明の一実施形態による液晶表示装置の薄膜トランジスタに対する他の例の配置図であり、図１３（ａ）及び（ｂ）は各々図１２の薄膜トランジスタ表示板のＸＩＩａ－ＸＩＩＩａ線及びＸＩＩＩｂ－ＸＩＩＩｂ線に沿った断面図である。

本実施形態による薄膜トランジスタ表示板の他の例に対する構造は、図１０～図１１（ａ）、（ｂ）に示したものと同一である。

【０１１２】

絶縁基板１１０上に、ゲート電極１２４及び端部１２９を有する複数のゲート線１２１、及び複数の拡張部１３７を備えた複数の維持電極線１３１が形成されており、その上にゲート絶縁膜１４０、突出部１５４を有する複数の線状半導体１５１、突出部１６３を有する複数の線状オーミックコンタクト部材１６１、及び複数の島型オーミックコンタクト部材１６５が順次に形成されている。オーミックコンタクト部材（１６１、１６５）上には、ソース電極１７３及び端部１７９を含む複数のデータ線１７１、複数のドレイン電極１７５が形成されており、その上に保護膜１８０が形成されている。保護膜１８０及びゲート絶縁膜１４０には複数のコンタクトホール１８１、１８２、１８５が形成されており、その上には複数の画素電極１９１、複数のコンタクト補助部材８１、８２が形成されている。

【０１１３】

しかし、本実施形態による薄膜トランジスタ表示板は、図１０～図１１（ａ）、（ｂ）に示した薄膜トランジスタ表示板と異なって、線状半導体１５１が、薄膜トランジスタがの位置する突出部１５４を除けば、データ線１７１、ドレイン電極１７５及びその下部のオーミックコンタクト部材（１６１、１６５）と実質的に同一の平面形態を有している。つまり、線状半導体１５１は、データ線１７１及びドレイン電極１７５と、その下部のオーミックコンタクト部材（１６１、１６５）の下に露出していない部分と、ソース電極１７３とドレイン電極１７５の間にこれらによって覆われずに露出した部分を有している。

【０１１４】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【０１１５】

【図１】本発明の一実施形態による液晶表示装置のブロック図である。

【図２】本発明の実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【図３】本発明の一実施形態による信号生成回路の回路図である。

【図４】図３に示した信号生成回路を含む液晶表示装置に用いられる信号のタイミング図である。

【図５】本発明の実施形態による信号生成回路の動作による画素電極電圧と液晶の応答速度の変化を示すグラフである。

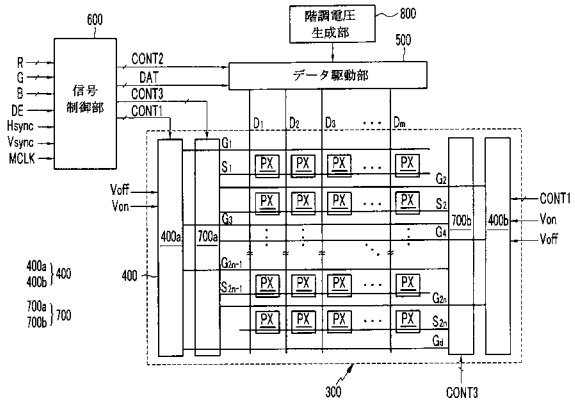
【図６】従来の画素電極電圧と液晶の応答速度の変化を示すグラフである。

【図７】本発明の他の実施形態による液晶表示装置のブロック図である。

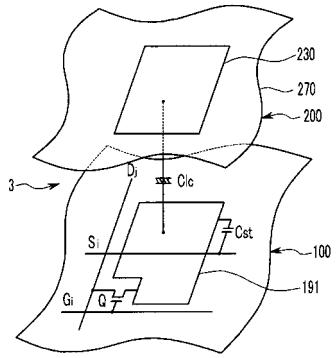
【図８】本発明の他の実施形態による信号生成回路の回路図である。

【図９】図８に示した信号生成回路を含む液晶表示装置に用いられる信号のタイミング図である。
【図１０】本発明の実施形態による液晶表示装置の薄膜トランジスタ表示板に対する配置図の一例である。
【図１１】（ａ）は図１０の薄膜トランジスタ表示板のＸＩａ－ＸＩａ線に沿った断面図であり、（ｂ）は図１０の薄膜トランジスタ表示板のＸＩｂ－ＸＩｂ線に沿った断面図である。
【図１２】本発明の実施形態による液晶表示装置の薄膜トランジスタ表示板に対する配置図の他の例である。
【図１３】（ａ）は図１２の薄膜トランジスタ表示板のＸＩＩＩａ－ＸＩＩＩａ線に沿った断面図であり、（ｂ）は図１２の薄膜トランジスタ表示板のＸＩＩＩｂ－ＸＩＩＩｂ線に沿った断面図である。
【符号の説明】
【０１１６】
３　液晶層
１００、２００　（下部及び上部）表示板
１９１　画素電極
２３０　カラーフィルタ
２７０　共通電極
３００、３０１　液晶表示板組立体
４００　ゲート駆動部
４００ａ、４００ｂ　第１及び第２ゲート駆動回路
５００　データ駆動部
６００　信号制御部
７００、７０１　維持信号生成部
７００ａ、７００ｂ　第１及び第２維持信号生成回路
７１０　信号生成回路
８００　階調電圧生成部
Ｃｌｃ　液晶キャパシタ
Ｃｓｔ　ストレージキャパシタ
G_1～G_{2n}、G_d、G_{d1}　ゲート線
D_1～D_m　データ線
S_1～S_{2n}　維持電極線
ST_1～ST_{2n}　信号生成回路
ＰＸ　画素

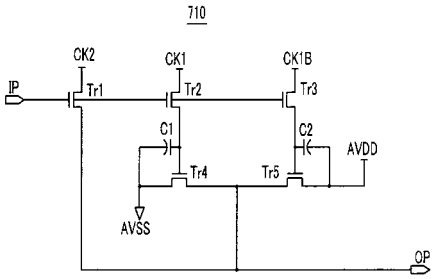
【図１】



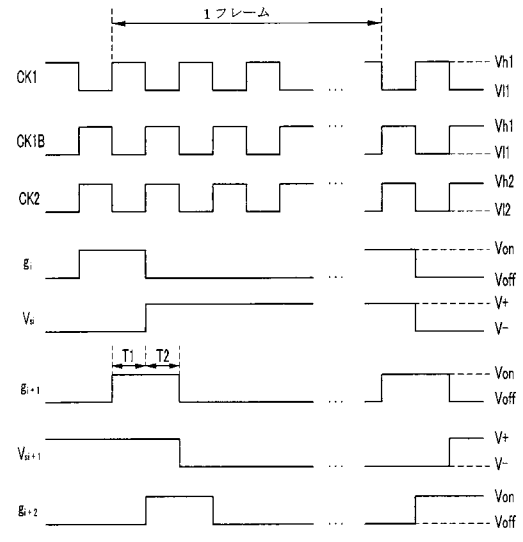
【図２】



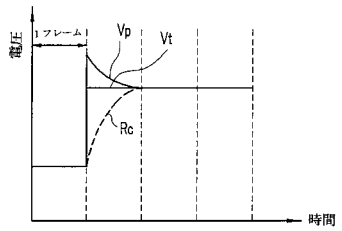
【図３】



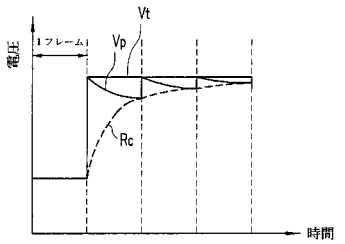
【図４】



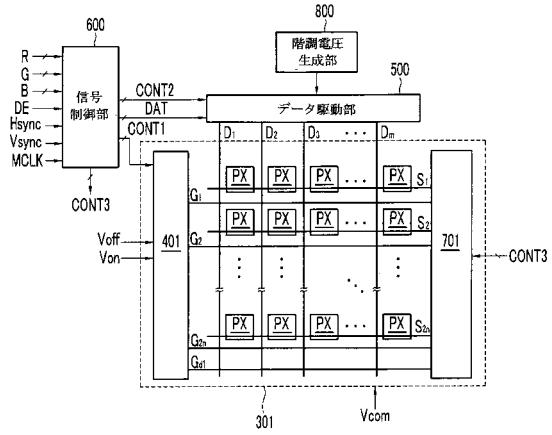
【図５】



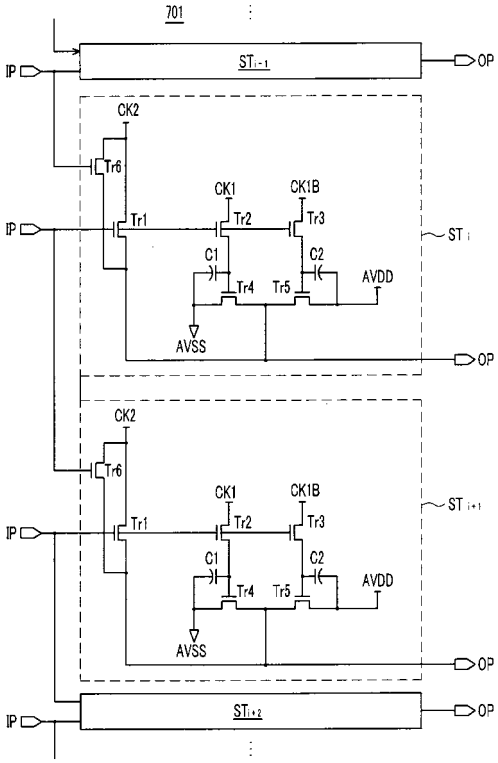
【図６】



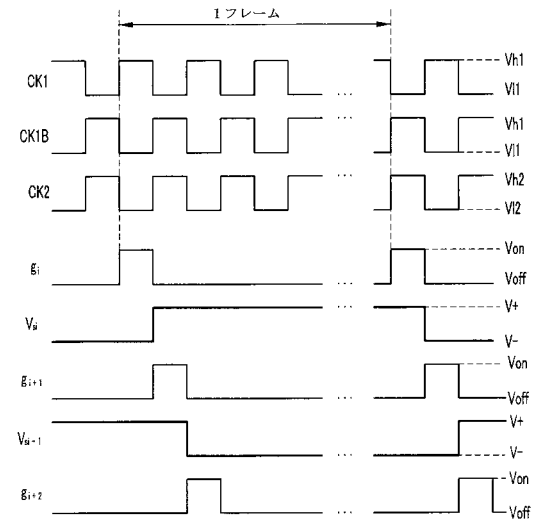
【図７】


600
800
階調電圧生成部
500
R
G
B
DE
Hsync
Vsync
MCLK
信号制御部
CONT2
DAT
データ駆動部
CONT1
CONT3
D1
D2
D3
Dm
PX
G1
G2
Gn
Gn1
S1
S2
Sm
401
701
Voff
Von
301
Vcom

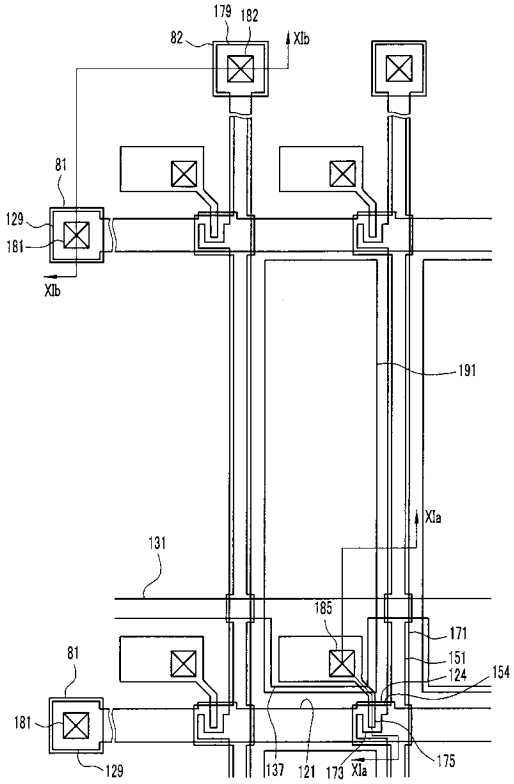
【図８】


701
IP
STi-1
OP
CK2
Tr6
CK1
CK1B
Tr1
Tr2
Tr3
C1
C2
Tr4
Tr5
AVDD
AVSS
STi
STi+1
STi+2

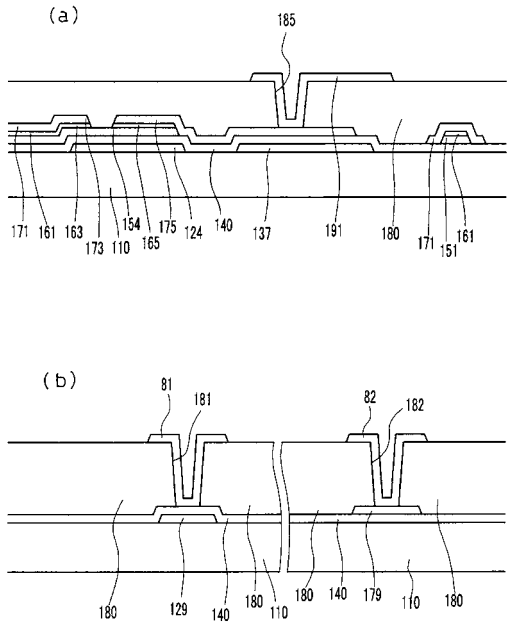
【図９】


1フレーム
CK1
CK1B
CK2
gi
Vsi
gi+1
Vsi-1
gi+2
Vh1
Vl1
Vh2
Vl2
Von
Voff
V+
V-

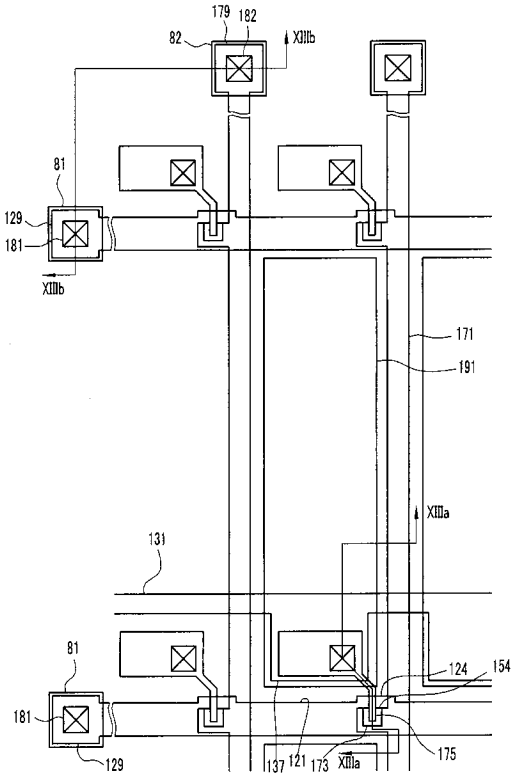
【図１０】


179
182
82
XIb
81
129
181
191
XIa
131
185
171
151
124
154
175
137
121
173

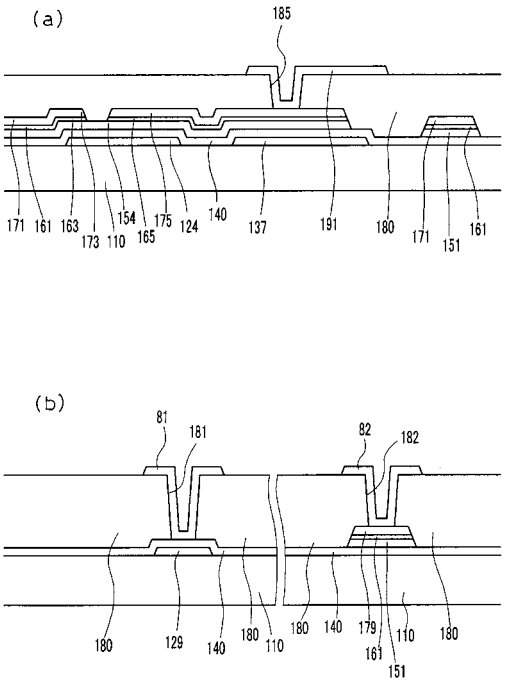
【図１１】


(a)
185
171 161 163 173 110 154 165 175 124 140 137 191 180 171 151 161
(b)
81 181 82 182
180 129 140 180 110 180 140 179 110 180

【図１２】


179 182
82
XIIIb
81
129
181
XIIIb
171
191
XIIIa
131
81
181
129
124
154
175
137 121 173 XIIIa

【図１３】


(a)
185
171 161 163 173 110 154 165 175 124 140 137 191 180 171 151 161
(b)
81 181 82 182
180 129 140 180 110 180 140 179 161 151 110 180

フロントページの続き

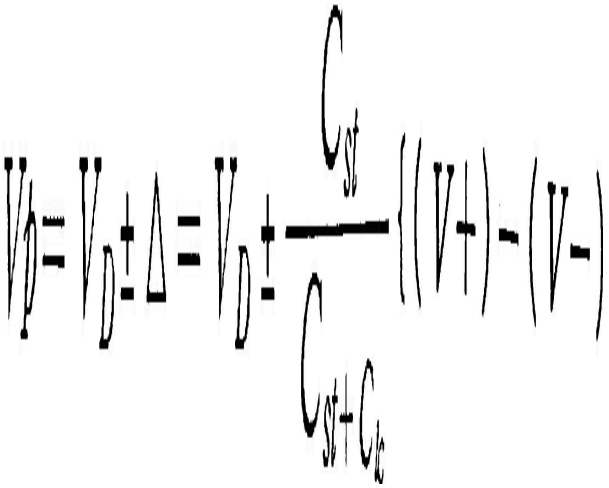
(51)Int.Cl.	FI		
	G09G	3/20	611A
	G09G	3/20	621B
	G09G	3/20	621F
	G09G	3/20	622D

審査官　森口　忠紀

(56)参考文献　特開2005－156764（JP，A）
特開2005－257931（JP，A）
特開2006－145923（JP，A）
特開2007－163824（JP，A）

(58)調査した分野(Int.Cl.，DB名)
G09G　3／00－3／38
G02F　1／133

专利名称(译)	表示装置		
公开(公告)号	JP5364912B2	公开(公告)日	2013-12-11
申请号	JP2007016238	申请日	2007-01-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	全珍		
发明人	全 珍		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G02F1/136213 G09G3/3614 G09G3/3677 G09G2300/0426 G09G2310/08 G09G2320/0252 G09G2330/021 B66B11/0226 B66B13/04 B66B13/24		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.624.A G09G3/20.624.D G09G3/20.624.E G09G3/20.611.A G09G3/20.621.B G09G3/20.621.F G09G3/20.622.D G09G3/20.623.D G09G3/20.624.Z G09G3/20.642.E		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC35 2H093/NC36 2H093/ND39 2H093/NE01 2H093/NH12 2H093/NH18 2H193/ZA04 2H193/ZA08 2H193/ZF03 2H193/ZF22 2H193/ZF24 2H193/ZF36 2H193/ZP01 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC23 5C006/AC25 5C006/AC27 5C006/AF42 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BC22 5C006/BF34 5C006/BF37 5C006/BF43 5C006/EB05 5C006/FA14 5C006/FA18 5C006/FA41 5C006/FA46 5C006/FA47 5C006/FA51 5C006/FA54 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD03 5C080/DD08 5C080/DD24 5C080/DD25 5C080/DD26 5C080/DD28 5C080/EE29 5C080/FF11 5C080/FF13 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
优先权	1020060008148 2006-01-26 KR		
其他公开文献	JP2007199723A JP2007199723A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供功耗可降低的显示设备。解决方案：显示装置具有矩阵中的像素，每个像素包括栅极线，数据线，维持电极线，开关元件，连接在开关元件公共电压之间的液晶电容器，以及连接在开关元件维持之间的存储电容器电极线和信号发生电路，每个电路基于栅极信号产生维持信号。在液晶电容器和存储电容器用数据电压完全充电之后，维持信号的电压电平立即变化。每个信号发生电路包括施加第一控制信号的维持信号施加部分和施加到栅极线的第（k + 1）（k：自然数）栅极信号和控制的操作状态的变化施加第二和第三控制信号的单元和用第（k + 1）栅极信号改变操作状态的单元，和通过操作维持从维持信号施加部分输出的维持信号达预定时间的信号维持部分控制单元。