

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5232954号
(P5232954)

(45) 発行日 平成25年7月10日(2013.7.10)

(24) 登録日 平成25年4月5日(2013.4.5)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)**G02F 1/133 (2006.01)****G09G 3/20 (2006.01)**

G09G 3/36

G02F 1/133 570

G02F 1/133 575

G02F 1/133 550

G09G 3/20 624D

請求項の数 19 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2007-190972 (P2007-190972)
 (22) 出願日 平成19年7月23日(2007.7.23)
 (65) 公開番号 特開2008-26907 (P2008-26907A)
 (43) 公開日 平成20年2月7日(2008.2.7)
 審査請求日 平成22年6月22日(2010.6.22)
 (31) 優先権主張番号 10-2006-0069037
 (32) 優先日 平成18年7月24日(2006.7.24)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 (74) 代理人 100121382
 弁理士 山下 託嗣
 (72) 発明者 崔 榮 俊
 大韓民国京畿道水原市靈通区靈通洞105
 1-3番地202号

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

マトリックス状に配列されている複数の画素と維持電極線とを含む液晶表示装置であり、

前記画素のそれぞれが、

液晶キャパシタ、及び、

前記液晶キャパシタに接続されている第1端子と、前記維持電極線に接続されている第2端子とを含むストレージキャパシタ、
 を有し、

外部から前記維持電極線に対して印加される維持電極電圧のレベルが、第1レベルと、
 前記第1レベルより低い第2レベルとの間でフレームごとに変化し、

第1フレームにおいて、前記維持電極電圧のレベルは、前記液晶キャパシタの充電が終わった後、前記第1レベルから前記第2レベルより低い第3レベルに変わった後、所定の持続時間が経過した後、前記第3レベルから前記第2レベルに上昇して前記第1フレームの残り時間の間に維持され、

前記第1フレームの次の第2フレームにおいて、前記維持電極電圧のレベルは、前記液晶キャパシタの充電が終わった後、前記第2レベルから前記第1レベルより高い第4レベルに変わった後、前記持続時間が経過した後、前記第4レベルから前記第1レベルに下降して前記第2フレームの残り時間の間に維持される、
 液晶表示装置。

10

20

【請求項 2】

前記持続時間が 1 水平周期以下である、請求項 1 に記載の液晶表示装置。

【請求項 3】

隣接した二本の維持電極線の間では維持電極電圧のレベルが異なる、請求項 1 に記載の液晶表示装置。

【請求項 4】

行反転駆動を行う、請求項 1 に記載の液晶表示装置。

【請求項 5】

フレーム反転駆動を行う、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 2 レベルと前記第 3 レベルとの間の差である補償値が、現在のフレームとその直前のフレームとの間での入力映像信号の差から決定される、請求項 1 に記載の液晶表示装置。

10

【請求項 7】

前記補償値が、現在のフレームとその直前のフレームとの間での入力映像信号の平均値の差から決定される、請求項 6 に記載の液晶表示装置。

【請求項 8】

前記入力映像信号の平均値が画素行ごとに算出される、請求項 7 に記載の液晶表示装置。

【請求項 9】

現在のフレームと直前のフレームとの間で入力映像信号の平均値の差が大きいほど、前記補償値が大きく設定される、請求項 7 に記載の液晶表示装置。

20

【請求項 10】

前記維持電極電圧を制御する維持電極駆動部、及び、
外部からの入力映像信号を補正して出力映像信号として出力し、前記入力映像信号に基づいて前記維持電極駆動部を制御する信号制御部、
をさらに含む、請求項 7 に記載の液晶表示装置。

【請求項 11】

前記信号制御部が、
現在のフレームに対する入力映像信号の平均値を算出して出力する第 1 演算器、
現在のフレームに対する入力映像信号の平均値を記憶し、その記憶された平均値を次のフレームで、直前のフレームに対する入力映像信号の平均値として出力するバッファ部、及び、
前記第 1 演算器から出力される入力映像信号の平均値と、前記バッファ部から出力される入力映像信号の平均値とを比較し、それらの平均値の間の差から前記補償値を決定し、前記補償値を示す制御信号を生成する第 2 演算部、
を含む、請求項 10 に記載の液晶表示装置。

30

【請求項 12】

前記制御信号が前記維持電極駆動部に対して印加される、請求項 11 に記載の液晶表示装置。

40

【請求項 13】

前記第 2 演算部が、前記第 1 演算器から出力される入力映像信号の平均値と、前記バッファ部から出力される入力映像信号の平均値との間の差を前記補償値に対応づけるルックアップテーブル、を含む、請求項 11 に記載の液晶表示装置。

【請求項 14】

液晶キャパシタとストレージキャパシタとを含む複数の画素、及び維持電極線を有する液晶表示装置であり、前記画素のそれぞれでは、前記ストレージキャパシタが前記液晶キャパシタと前記維持電極線との間に接続された液晶表示装置、
を駆動するための方法であり、

第 1 フレームにおいて前記液晶キャパシタを充電する段階、

50

前記第 1 フレームにおける前記液晶キャパシタの充電が終わった後、前記維持電極線に対して印加される維持電極電圧のレベルを第 1 レベルから第 2 レベルに変え、それにより、前記ストレージキャパシタを通じて前記液晶キャパシタの電圧を変える段階、

前記第 1 フレームにおいて前記維持電極電圧のレベルを前記第 1 レベルから前記第 2 レベルに変えた後、所定の持続時間が経過した後に前記維持電極電圧のレベルを前記第 2 レベルから第 3 レベルに変え、それにより、前記ストレージキャパシタを通じて前記液晶キャパシタの電圧を変える段階、及び

前記第 1 フレームの残り時間の間に前記維持電極電圧のレベルを前記第 3 レベルに維持する段階、

を有する、液晶表示装置の駆動方法。

10

【請求項 1 5】

前記第 2 レベルを前記第 1 レベルより低く設定する場合、前記第 3 レベルを前記第 2 レベルより高く設定する、請求項 1 4 に記載の液晶表示装置の駆動方法。

【請求項 1 6】

前記第 2 レベルを前記第 1 レベルより高く設定する場合、前記第 3 レベルを前記第 2 レベルより低く設定する、請求項 1 4 に記載の液晶表示装置の駆動方法。

【請求項 1 7】

前記第 2 レベルと前記第 3 レベルとの間の差を各フレームで同一に設定する、請求項 1 4 に記載の液晶表示装置の駆動方法。

【請求項 1 8】

20

前記第 2 レベルと前記第 3 レベルとの間の差を、現在のフレームとその直前のフレームとの間での入力映像信号の平均値の差から決定する、請求項 1 4 に記載の液晶表示装置の駆動方法。

【請求項 1 9】

現在のフレームとその直前のフレームとの間での入力映像信号の平均値の差が大きいほど、前記第 2 レベルと前記第 3 レベルとの間の差を大きくする、請求項 1 8 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

30

本発明は、液晶表示装置及びその駆動方法に関する。

【背景技術】

【0 0 0 2】

液晶表示装置は、現在、最も広く用いられている平板表示装置の一つである。液晶表示装置は二枚の表示パネルと液晶層とを含む。各表示パネルには画素電極や共通電極が形成されている。液晶層は二枚の表示パネルの間に挿入されている。画素電極と共通電極との間に電圧が印加されると、それらの間に挟まれた液晶層の部分には電場が生成され、その電場の大きさと方向とに応じて液晶分子の配向が決定される。更に、その配向に応じ、液晶層のその部分を透過する光の偏光方向が変化する。その変化は偏光子によって透過光の強度の変化に変換される。その強度変化は、画素電極と共通電極との間に印加される電圧

40

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 3】

外部からの電場の変化に対し、液晶の応答は一般に遅い。従って、液晶表示装置に対しては特に、動画像に対する画質の更なる向上が強く求められている。ここで、液晶の応答時間は、液晶キャパシタの充電に必要な時間、すなわち、液晶キャパシタが充電によってその両端電圧を目標電圧（液晶層の目標の透過率に相当する電圧）まで到達させるのに必要な時間に等価である。この時間は、その充電の直前にその液晶キャパシタに保持されて

50

いた両端電圧と目標電圧との間の差によって変わる。従って、その差が過大であれば、液晶キャパシタに対して印加される充電電圧を目標電圧に維持するだけでは、所定の時間内に液晶キャパシタの両端電圧を目標電圧まで到達させることができない。それ故、従来の液晶表示装置では、液晶の応答速度の向上を目的として、データ電圧や共通電圧を目標値より高く（又は低く）して画素電極や共通電極の電圧を目標値より高く（又は低く）維持する技術が知られている。

【0004】

しかし、従来の技術では、画素電極や共通電極の電圧がほぼ1フレームの間、目標値より高く（又は低く）維持される。従って、画素電極や共通電極と他の構成要素との間に寄生する回路素子によって消費される無効電力を更に削減することが困難である。その結果、従来の技術では液晶表示装置の更なる省電力化が妨げられる。一方、液晶表示装置に対しては、携帯型電子機器での利用の増大やテレビ等の更なる大画面化に伴い、更なる省電力化が求められている。それ故、液晶の応答速度の更なる向上は、液晶表示装置の更なる省電力化を妨げることなく実現されねばならない。

本発明の目的は、画素電極の電圧を目標値より十分に高く（又は低く）維持する時間を短縮可能にすることで、消費電力を低く維持したまま、液晶の応答速度を更に向上させることができる液晶表示装置、を提供することにある。

【課題を解決するための手段】

【0005】

本発明による液晶表示装置は、マトリックス状に配列されている複数の画素と維持電極線とを含む。各画素は液晶キャパシタとストレージキャパシタとを含む。ストレージキャパシタは、同じ画素の液晶キャパシタに接続されている第1端子、及び維持電極線に接続されている第2端子を含む。維持電極線に対しては外部から維持電極電圧が印加される。維持電極電圧のレベルは第1レベルと第2レベルとの間で周期的に変化する。ここで、第1レベルは第2レベルより高い。維持電極線は外部からの電圧は、第1レベルから第2レベルに変わるときには所定の持続時間、第2レベルより所定の補償値だけさらに下がる。逆に、第2レベルから第1レベルに変わるときには上記の持続時間と等しい時間、維持電極電圧のレベルは第1レベルより上記の補償値だけさらに上がる。

【0006】

上記第2レベルと上記第3レベルとの間の差である補償値は好ましくは、現在のフレームとその直前のフレームとの間での入力映像信号の差から決定される。好ましくは、補償値が、現在のフレームとその直前のフレームとの間での入力映像信号の平均値の差から決定される。好ましくは、入力映像信号の平均値が画素行ごとに算出される。好ましくは、現在のフレームとその直前のフレームとの間で入力映像信号の平均値の差が大きいほど、補償値が大きく設定される。

【発明の効果】

【0007】

本発明による液晶表示装置は、維持電極電圧を目標値より高く、又は低く変化させる。それにより、各画素ではストレージキャパシタを通じ、液晶キャパシタに対して印加される電圧が目標値より高く上昇し、又は低く下降する。その結果、液晶キャパシタの実際の両端電圧が各フレーム内で十分に目標値に到達する。こうして、液晶の応答速度が向上する。一方、維持電極電圧を目標値より高く、又は低く維持する時間は、1水平周期、すなわち、各液晶キャパシタに対してデータ電圧が印加される時間より十分に短くできる。従って、液晶表示装置の消費電力を十分に低く維持したまま、液晶の応答速度を十分に向上できる。

【発明を実施するための最良の形態】

【0008】

以下、添付の図面を参照しながら本発明の好ましい実施形態について詳細に説明する。

図1に、本発明の一実施形態による液晶表示装置のブロック図を示す。図2には、その液晶表示装置に含まれる一つの画素の構造を模式的に示す。図1に示すように、その液晶

表示装置は、液晶表示パネルアセンブリ300、ゲート駆動部400、データ駆動部500、維持電極駆動部700、階調電圧生成部800、及び信号制御部600を含む。

【0009】

液晶表示パネルアセンブリ300は、図1に示されているように、複数の信号線 $G_1 \sim G_n$ 、 $D_1 \sim D_m$ 、 $S_1 \sim S_n$ 、及び、マトリックス状に配列された複数の画素PXを含む。一方、図2に示されているように、液晶表示パネルアセンブリ300は、互いに対向する下部表示パネル100と上部表示パネル200、及び、それらの間に挟まれている液晶層3を含む。

【0010】

信号線は、ゲート線 $G_1 \sim G_n$ 、データ線 $D_1 \sim D_m$ 、及び維持電極線 $S_1 \sim S_n$ を含む。各信号線は好ましくは下部表示パネル100に形成され、各画素PXに接続されている。ゲート線 $G_1 \sim G_n$ は、ゲート駆動部400から各画素PXにゲート信号（“走査信号”ともいう）を伝達する。データ線 $D_1 \sim D_m$ は、データ駆動部500から各画素PXにデータ電圧を伝達する。維持電極線 $S_1 \sim S_n$ は、維持電極駆動部700から各画素PXに所定の電圧（以下、維持電極電圧という）を伝達する。各ゲート線 $G_1 \sim G_n$ は画素マトリックスの間を行方向に延びている。各データ線 $D_1 \sim D_m$ は画素マトリックスの間を列方向に延びている。各維持電極線 $S_1 \sim S_n$ は画素マトリックスの間を、各ゲート線 $G_1 \sim G_n$ とほとんど平行に延びている。

【0011】

図2に示されているように、各画素PXは、スイッチング素子Q、液晶キャパシタClc、及びストレージキャパシタCstを含む。スイッチング素子Qは好ましくは、下部表示パネル100に備えられている薄膜トランジスタである。例えば、i番目（ $i=1, 2, \dots, n$ ）のゲート線 G_i とj番目（ $j=1, 2, \dots, m$ ）のデータ線 D_j とに接続された画素PXでは、スイッチング素子Qの制御端子はi番目のゲート線 G_i に接続され、入力端子はj番目のデータ線 D_j に接続され、出力端子は、同じ画素の液晶キャパシタClcとストレージキャパシタCstとのそれぞれの一端に接続されている。スイッチング素子Qはゲート線 G_i からゲート信号を受け、その電圧のレベルに応じてオンオフする。スイッチング素子Qがオン状態にあるとき、スイッチング素子Qを通して液晶キャパシタClcとストレージキャパシタCstとがデータ線 D_j に接続され、そこからデータ電圧を受ける。液晶キャパシタClcは、下部表示パネル100の画素電極191と上部表示パネル200の共通電極270とを二つの端子として含み、それら二つの電極191、270の間に挟まれた液晶層3の部分を誘電体として含む。画素電極191は各画素に形成され、同じ画素のスイッチング素子Qの出力端子に接続されている。画素電極191はスイッチング素子Qを通してデータ線 D_j からデータ電圧を受ける。共通電極270は上部表示パネル200の全面に形成され、外部から共通電圧Vcomを受ける。ここで、共通電圧Vcomは好ましくは直流電圧である。図2とは異なり、共通電極270が下部表示パネル100に備えられていても良い。その場合、二つの電極191、270の少なくともいずれかが線状又は棒状に形成されていても良い。液晶キャパシタClcには、データ電圧と共通電圧Vcomとの間の差が保持される。ストレージキャパシタCstは液晶キャパシタClcの容量を補う。ストレージキャパシタCstは好ましくは、維持電極線 $S_1 \sim S_n$ と画素電極191とが絶縁体を隔てて重なっている部分から成る。従って、ストレージキャパシタCstには、データ電圧と維持電極電圧との間の差が保持される。

【0012】

液晶表示装置での色表示方式には、各画素PXが基本色のいずれか一つを固有に表示する空間分割方式と、各画素PXが時間によって基本色を交互に表示する時間分割方式とが知られている。基本色の空間的な分布、又は時間的な変化によって所望の色相が画面に再現される。基本色としては好ましくは、三原色（赤色、緑色、青色）が利用される。図2は空間分割方式の一例であり、各画素PXが、画素電極191と対向する上部表示パネル200の領域にカラーフィルタ230を備えている。カラーフィルタ230の色は基本色のいずれかであり、一般に画素ごとに異なる。図2とは異なり、カラーフィルタ230が下部表示パネル100の画素電極191の上又は下に形成されていても良い。

尚、液晶表示パネルアセンブリ300の外面には、少なくとも一つの偏光子が接着一層（図示せず）。

10

20

30

40

50

【0013】

階調電圧生成部800は好ましくは、階調電圧の集合（又は基準階調電圧の集合）を二組生成する。各階調電圧は画素PXの目標の透過率に対応づけられている。二組の集合のうち、一組では各階調電圧が共通電圧Vcomに対して正であり、他の一組では負である。

ゲート駆動部400は各ゲート線 $G_1 \sim G_n$ に接続され、ゲート信号を各ゲート線 $G_1 \sim G_n$ に対して印加する。ゲート信号の電圧はゲートオン電圧Vonとゲートオフ電圧Voffとの間で切り換えられる。

【0014】

データ駆動部500は各データ線 $D_1 \sim D_m$ に接続されている。データ駆動部500は信号制御部600から映像信号DATを入力し、その映像信号DATの示す各画素の目標の輝度に応じ、階調電圧生成部800から出力される二組の階調電圧の集合の中からいずれかの階調電圧を選択する。選択された階調電圧はデータ電圧として、目標の画素に接続されたデータ線 $D_1 \sim D_m$ に対して印加される。ここで、階調電圧生成部800が基準階調電圧のみを提供する場合、データ駆動部500はその基準階調電圧を分圧し、画素の輝度の各階調に対応する階調電圧を生成する。こうして生成された階調電圧の集合の中から、データ駆動部500はデータ電圧を選択する。

10

【0015】

維持電極駆動部700は各維持電極線 $S_1 \sim S_n$ に接続されている。維持電極駆動部700は外部から駆動電圧Vstを受け、その駆動電圧Vstから維持電極電圧を生成し、各維持電極線 $S_1 \sim S_n$ に対して印加する。維持電極電圧のレベルは好ましくは、第1レベルと、それより低い第2レベルとの間で変動する。第1レベルは好ましくは5Vであり、第2レベルは0Vである。維持電極駆動部700は好ましくは、隣接する二つの維持電極線間で維持電極電圧のレベルを反転させる。つまり、いずれか一つの維持電極線に対して第1レベルの維持電極電圧が印加されるとき、隣接する別の一つの維持電極線に対しては第2レベルの維持電極電圧が印加される。維持電極駆動部700の詳細については後述する。

20

【0016】

信号制御部600は、ゲート駆動部400、データ駆動部500、及び維持電極駆動部700のそれぞれに制御信号を供給し、各動作を制御する。信号制御部600はまず、外部のグラフィックコントローラ（図示せず）から入力映像信号R、G、Bと入力制御信号とを受信する。ここで、入力制御信号は好ましくは、垂直同期信号Vsync、水平同期信号Hsync、メインクロックMCLK、及びデータイネーブル信号DEを含む。信号制御部600は次に、入力映像信号R、G、Bを、例えばガンマ補正により、液晶表示パネルアセンブリ300の動作条件に合うように適切に処理し、映像信号DATに変換する。ここで、映像信号DATは好ましくはデジタル信号である。信号制御部600は更に、入力映像信号R、G、Bと入力制御信号とに基づき、ゲート制御信号CONT1、データ制御信号CONT2、及び維持電極制御信号CONT3を生成する。ゲート制御信号CONT1はゲート駆動部400に送信される。ゲート制御信号CONT1は好ましくは、ゲート駆動部400に対してゲート線へのゲート信号の印加開始を指示するための走査開始信号、及び、ゲート駆動部400によるゲートオン電圧Vonの出力周期を制御するためのクロック信号を含む。ゲート制御信号CONT1はその他に、ゲート駆動部400によるゲートオン電圧Vonの持続時間を限定するための出力イネーブル信号をさらに含んでも良い。データ制御信号CONT2は映像信号DATと共に、データ駆動部500に送信される。データ制御信号CONT2は好ましくは、各画素行に対する映像信号DATの伝送開始をデータ駆動部500に知らせるための水平同期開始信号、各データ線 $D_1 \sim D_m$ に対するデータ電圧の印加をデータ駆動部500に指示するためのロード信号、及びデータクロック信号を含む。データ制御信号CONT2はその他に、共通電圧Vcomに対するデータ電圧の極性の反転をデータ駆動部500に指示するための反転信号をさらに含んでも良い。維持電極制御信号CONT3は維持電極駆動部700に送信される。維持電極制御信号CONT3は好ましくは、維持電極駆動部700による維持電極電圧のレベルの切り換え時期を制御するための信号、及び、維持電極駆動部700による維持電極電圧の補償値を制御するための信号を含む。

30

40

【0017】

50

各駆動部400、500、600、700、800の各々は好ましくは、少なくとも一つの集積回路チップに組み込まれ、液晶表示パネルアセンブリ300の上に直接実装される。その他に、これらのチップがフレキシブル印刷回路膜の上に実装され、TCP (tape carrier package) によって液晶表示パネルアセンブリ300に実装されても良い。それらのチップが更に、別の印刷回路基板の上に実装されても良い。それらとは更に異なり、各駆動部400、500、600、700、800が、各信号線 $G_1 \sim G_n$ 、 $D_1 \sim D_m$ 、 $S_1 \sim S_n$ 、及びスイッチング素子Qなどと共に、液晶表示パネルアセンブリ300に直に集積化されても良い。各駆動部400、500、600、700、800はそれぞれ、単一のチップに組み込まれても良い。その場合、それらのいずれか、又はそれらに含まれるいずれかの回路素子が、各チップに外付けされても良い。

【0018】

この液晶表示装置では、以上の構成要素が以下のように動作する。

まず、信号制御部600が、外部のグラフィックコントローラから入力映像信号R、G、Bと入力制御信号とを受信する。信号制御部600はそのとき、入力映像信号R、G、Bから映像信号DATを生成し、入力映像信号R、G、Bと入力制御信号とに基づいてゲート制御信号CONT1、データ制御信号CONT2、及び維持電極制御信号CONT3を生成する。ゲート制御信号CONT1はゲート駆動部400に送信され、データ制御信号CONT2と映像信号DATとはデータ駆動部500に送信され、維持電極制御信号CONT3は維持電極駆動部700に送信される。

【0019】

データ駆動部500はデータ制御信号CONT2に従い、映像信号DATを目標の画素行ごとに受信する。データ駆動部500はそのとき、受信された映像信号DATから各画素の輝度の階調を解釈し、それに対応する階調電圧を、その画素に伝達されるべきデータ電圧として選択する。こうして、デジタル信号である映像信号DATが、アナログ信号であるデータ電圧に変換される。その後、データ駆動部500は各データ電圧を、目標の画素に接続されたデータ線 $D_1 \sim D_m$ に対して印加する。

【0020】

ゲート駆動部400はゲート制御信号CONT1に従い、ゲートオン電圧Vonをゲート線 $G_1 \sim G_n$ の一つに対して印加する。そのとき、そのゲート線 $G_1 \sim G_n$ に接続された一行の画素PXでは各スイッチング素子Qが導通するので、そのスイッチング素子Qに接続されたデータ線 $D_1 \sim D_m$ に対して印加されたデータ電圧がそのスイッチング素子Qを通じ、同じ画素PXの液晶キャパシタC1cとストレージキャパシタCstとに対して印加される。

【0021】

維持電極駆動部700は維持電極制御信号CONT3に従い、駆動電圧Vstから維持電極電圧を生成し、ゲート駆動部400からゲートオン電圧Vonが印加されたゲート線と同じ画素行に接続された維持電極線 $S_1 \sim S_n$ の一つに対して印加する。ここで、その維持電極電圧のレベルの切り換え時期は好ましくは、その画素行に含まれる各キャパシタC1c、Cstの充電完了時、つまり、上記のゲート線 $G_1 \sim G_n$ に対して印加されるゲート信号がゲートオン電圧Vonからゲートオフ電圧Voffに切り換えられる時点である。維持電極電圧のレベルの切り換えに伴い、その画素行では各ストレージキャパシタCstの両端電圧、すなわち、各画素電極191と維持電極線との間の電圧が変化する。その電圧変化に加え、それに伴うストレージキャパシタCstの静電容量自体の変化により、各画素では液晶キャパシタC1cとストレージキャパシタCstとの間で電荷の再配置が生じる。その結果、画素電極191の電圧（以下、画素電極電圧という）がデータ電圧から変化する。その電圧変化の詳細については後述する。

【0022】

各画素PXの液晶層3では液晶分子の配列が液晶キャパシタの両端電圧（以下、画素電圧という）の大きさに応じて変化するので、その液晶層3を通過する光の偏光方向が変化する。この偏光方向の変化が、液晶表示パネルアセンブリ300の外面に接着された偏光子によってその画素PXの透過率の変化として画面に現れる。

【0023】

1 水平周期（水平同期信号Hsync及びデータイネーブル信号DEのそれぞれの一周期に等しい）ごとに上記の処理が、各ゲート線 $G_1 \sim G_n$ と各維持電極線 $S_1 \sim S_n$ とに対して順番に繰

10

20

30

40

50

り返される。それにより、全てのゲート線 $G_1 \sim G_n$ に対して順番にゲートオン電圧 V_{on} が印加され、全ての画素PXに対してデータ電圧が印加される。こうして、1フレームの映像が画面に表示される。

【0024】

一つのフレームが終了すれば、その次のフレームが開始される。ここで、好ましくは、共通電圧 V_{com} に対するデータ電圧の極性が直前のフレームでの極性とは反対になるように、データ駆動部500に対して印加される反転信号の状態が制御される（“フレーム反転”）。更に好ましくは、同じフレーム内でも反転信号の特性により、画素行ごとにデータ電圧の極性が同一に維持されたまま、同じデータ線を通じて伝達されるデータ電圧の極性が水平周期ごとに反転しても良い（行反転）。 10

【0025】

図3に、本発明の一実施形態による液晶表示装置で利用される各駆動信号の波形図を示す。図3では、データ駆動部500が行反転駆動により、共通電圧 V_{com} に対するデータ電圧 V_{data} の極性を1水平周期ごとに反転させる。例えば、時刻 T_1 では、データ駆動部500が共通電圧 V_{com} に対するデータ電圧 V_{data} の極性を正から負に反転させる。そのとき、ゲート駆動部400が i 番目のゲート線 G_i に対するゲート信号 g_i のレベルをゲートオフ電圧 V_{off} からゲートオン電圧 V_{on} に切り換える。それにより、 i 番目のゲート線 G_i に接続された画素行ではスイッチング素子Qが導通し、そのスイッチング素子Qを通したデータ電圧 V_{data} の印加により液晶キャパシタ C_{lc} が充電される。その結果、画素電極電圧 V_{p_i} が共通電圧 V_{com} を下回る。一方、維持電極駆動部700はそのとき、 i 番目の維持電極線 S_i に対する維持電極電圧 V_{st_i} のレベルを第1レベル V_a に維持する。 20

【0026】

時刻 T_1 から約1水平周期 $1H$ が経過した時刻 T_2 では、ゲート駆動部400が i 番目のゲート線 G_i に対するゲート信号 g_i のレベルをゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} に切り換える。一方、維持電極駆動部700が i 番目の維持電極線 S_i に対する維持電極電圧 V_{st_i} のレベルを第1レベル V_a から第2レベル V_b に切り換える。ここで、第2レベル V_b は第1レベル V_a より低い。維持電極電圧 V_{st_i} のレベル変化に伴い、ストレージキャパシタ C_{st} の両端電圧と静電容量とが変化する。その結果、画素電極電圧 V_{p_i} が更に第1変化量 ΔV_{pia} だけ下がる。 30

【0027】

時刻 T_2 から一定の時間 Δt （以下、補正時間という）が経過した時刻 T_3 では、維持電極駆動部700が i 番目の維持電極線 S_i に対する維持電極電圧 V_{st_i} のレベルを第2レベル V_b から第3レベル V_c に切り換える。ここで、補正時間 Δt は1水平周期 $1H$ より短い。第3レベル V_c は第2レベル V_b より高く、第1レベル V_a より低い。以下、第2レベル V_b と第3レベル V_c との間の差を補償値 ΔV という。維持電極電圧 V_{st_i} のレベル変化に伴い、ストレージキャパシタ C_{st} の両端電圧と静電容量とが再び変化する。その結果、画素電極電圧 V_{p_i} が第2変化量 ΔV_{pib} だけ上がる。その後、 i 番目の画素行では、画素電極電圧 V_{p_i} のレベルが次のフレームまでそのまま維持される。 40

【0028】

図3では、データ駆動部500がフレーム反転駆動により、共通電圧 V_{com} に対するデータ電圧 V_{data} の極性を1フレームごとに反転させる。従って、時刻 T_1 から1フレーム後の時刻 T_6 では、データ駆動部500が共通電圧 V_{com} に対するデータ電圧 V_{data} の極性を負から正に反転させる。そのとき、ゲート駆動部400が i 番目のゲート線 G_i に対するゲート信号 g_i のレベルを再び、ゲートオフ電圧 V_{off} からゲートオン電圧 V_{on} に切り換える。それにより、 i 番目のゲート線 G_i に接続された画素行では、データ電圧 V_{data} の印加で液晶キャパシタ C_{lc} が充電される。その結果、画素電極電圧 V_{p_i} が共通電圧 V_{com} を超える。一方、維持電極駆動部700はそのとき、 i 番目の維持電極線 S_i に対する維持電極電圧 V_{st_i} のレベルを第3レベル V_c に維持する。 50

【0029】

時刻 T_6 から約1水平周期 $1H$ が経過した時刻 T_7 では、ゲート駆動部400が i 番目のゲート線

G_i に対するゲート信号 g_i のレベルをゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} に切り換える。一方、維持電極駆動部700が i 番目の維持電極線 S_i に対する維持電極電圧 V_{st_i} のレベルを第3レベル V_c から第4レベル V_d に切り換える。ここで、第4レベル V_d は第3レベル V_c より高く、第1レベル V_a よりも更に高い。好ましくは、第4レベル V_d と第1レベル V_a との間の差は、第2レベル V_b と第3レベル V_c との間の差である補償値 ΔV に等しい。維持電極電圧 V_{st_i} のレベル変化に伴い、ストレージキャパシタ C_{st} の両端電圧と静電容量とが変化する。その結果、画素電極電圧 V_{p_i} が更に第1変化量 ΔV_{pia} だけ上がる。

【0030】

時刻 T_7 から補正時間 Δt が経過した時刻 T_8 では、維持電極駆動部700が i 番目の維持電極線 S_i に対する維持電極電圧 V_{st_i} のレベルを第4レベル V_d から再び、第1レベル V_a に切り換える。維持電極電圧 V_{st_i} のレベル変化に伴い、ストレージキャパシタ C_{st} の両端電圧と静電容量とが更に変化する。その結果、画素電極電圧 V_{p_i} が第2変化量 ΔV_{pib} だけ再び下がる。その後、 i 番目の画素行では、画素電極電圧 V_{p_i} のレベルが次のフレームまでそのまま維持される。

【0031】

$i+1$ 番目の画素行についても同様である。但し、維持電極駆動部700は以下に述べるように、 i 番目の維持電極線 S_i に対する維持電極電圧 V_{st_i} と $i+1$ 番目の維持電極線 S_{i+1} に対する維持電極電圧 $V_{st_{i+1}}$ との間に、1フレームと1水平周期 $1H$ との和に等しい位相差を設定する。

まず、時刻 T_2 では、データ駆動部500が共通電圧 V_{com} に対するデータ電圧 V_{data} の極性を負から正に反転させる。そのとき、ゲート駆動部400が $i+1$ 番目のゲート線 G_{i+1} に対するゲート信号 g_{i+1} のレベルをゲートオフ電圧 V_{off} からゲートオン電圧 V_{on} に切り換える。それにより、 $i+1$ 番目のゲート線 G_{i+1} に接続された画素行では、データ電圧 V_{data} の印加で液晶キャパシタ C_{lc} が充電される。その結果、画素電極電圧 $V_{p_{i+1}}$ が共通電圧 V_{com} を超える。一方、維持電極駆動部700はそのとき、 $i+1$ 番目の維持電極線 S_{i+1} に対する維持電極電圧 $V_{st_{i+1}}$ のレベルを第3レベル V_c に維持する。

【0032】

時刻 T_2 から約1水平周期 $1H$ が経過した時刻 T_4 では、ゲート駆動部400が $i+1$ 番目のゲート線 G_{i+1} に対するゲート信号 g_{i+1} のレベルをゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} に切り換える。一方、維持電極駆動部700が $i+1$ 番目の維持電極線 S_{i+1} に対する維持電極電圧 $V_{st_{i+1}}$ のレベルを第3レベル V_c から第4レベル V_d に切り換える。前述のとおり、第4レベル V_d は第3レベル V_c より高い。維持電極電圧 $V_{st_{i+1}}$ のレベル変化に伴い、ストレージキャパシタ C_{st} の両端電圧と静電容量とが変化する。その結果、画素電極電圧 $V_{p_{i+1}}$ が更に第1変化量 ΔV_{pia} だけ上がる。

【0033】

時刻 T_4 から補正時間 Δt が経過した時刻 T_5 では、維持電極駆動部700が $i+1$ 番目の維持電極線 S_{i+1} に対する維持電極電圧 $V_{st_{i+1}}$ のレベルを第4レベル V_d から第1レベル V_a に切り換える。維持電極電圧 $V_{st_{i+1}}$ のレベル変化に伴い、ストレージキャパシタ C_{st} の両端電圧と静電容量とが更に変化する。その結果、画素電極電圧 $V_{p_{i+1}}$ が第2変化量 ΔV_{pib} だけ再び下がる。その後、 $i+1$ 番目の画素行では、画素電極電圧 $V_{p_{i+1}}$ のレベルが次のフレームまでそのまま維持される。

【0034】

時刻 T_2 から1フレーム後の時刻 T_7 では、データ駆動部500がフレーム反転駆動により、共通電圧 V_{com} に対するデータ電圧 V_{data} の極性を正から負に反転させる。そのとき、ゲート駆動部400が $i+1$ 番目のゲート線 G_{i+1} に対するゲート信号 g_{i+1} のレベルを再び、ゲートオフ電圧 V_{off} からゲートオン電圧 V_{on} に切り換える。それにより、 $i+1$ 番目のゲート線 G_{i+1} に接続された画素行では、データ電圧 V_{data} の印加で液晶キャパシタ C_{lc} が充電される。その結果、画素電極電圧 $V_{p_{i+1}}$ が共通電圧 V_{com} を下回る。一方、維持電極駆動部700はそのとき、 $i+1$ 番目の維持電極線 S_{i+1} に対する維持電極電圧 $V_{st_{i+1}}$ のレベルを第1レベル V_a に維持する。

10

20

30

40

50

【0035】

時刻T7から約1水平周期1Hが経過した時刻T9では、ゲート駆動部400が*i*+1番目のゲート線 G_{i+1} に対するゲート信号 g_{i+1} のレベルをゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} に切り換える。一方、維持電極駆動部700が*i*+1番目の維持電極線 S_{i+1} に対する維持電極電圧 $V_{st_{i+1}}$ のレベルを第1レベル V_a から第2レベル V_b に切り換える。維持電極電圧 $V_{st_{i+1}}$ のレベル変化に伴い、ストレージキャパシタ C_{st} の両端電圧と静電容量とが変化する。その結果、画素電極電圧 $V_{p_{i+1}}$ が更に第1変化量 ΔV_{pia} だけ下がる。

【0036】

時刻T9から補正時間 Δt が経過した時刻T10では、維持電極駆動部700が*i*+1番目の維持電極線 S_{i+1} に対する維持電極電圧 $V_{st_{i+1}}$ のレベルを第2レベル V_b から再び第3レベル V_c に切り換える。維持電極電圧 $V_{st_{i+1}}$ のレベル変化に伴い、ストレージキャパシタ C_{st} の両端電圧と静電容量とが更に変化する。その結果、画素電極電圧 $V_{p_{i+1}}$ が第2変化量 ΔV_{pib} だけ再び上がる。その後、*i*+1番目の画素行では、画素電極電圧 $V_{p_{i+1}}$ のレベルが次のフレームまでそのまま維持される。

10

【0037】

以下、維持電極電圧の変化に伴う画素電極電圧の変化の詳細について説明する。

あるゲート線でゲート信号のレベルがゲートオン電圧 V_{on} に維持される約1水平周期1Hの間、そのゲート線に接続された画素行では、データ線から導通状態のスイッチング素子 Q を通して画素電極191に対し、データ電圧 V_{data} が印加される。続いて、ゲート信号のレベルがゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} に切り換わると、各画素ではスイッチング素子 Q の遮断により画素電極191がフローティング状態になる。そのとき、維持電極駆動部700が維持電極電圧 V_{st} をあるレベル V_H から別のレベル V_L に切り換えれば、各画素では液晶キャパシタ C_{lc} とストレージキャパシタ C_{st} との間で電荷の再配置が生じる。その再配置の完了によって液晶キャパシタ C_{lc} が安定化すると、画素電極電圧 V_p が下記の式(1)に示されているように、データ電圧 V_{data} から変化量 Δ だけ変化する：

20

【0038】

$$V_p = V_{data} \pm \Delta = V_{data} \pm C_{st} / (C_{st} + C_{lc}) \times (V_H - V_L)。 \quad (1)$$

【0039】

ここで、変数 C_{lc} は液晶キャパシタ C_{lc} の静電容量を示し、変数 C_{st} はストレージキャパシタ C_{st} の静電容量を示す。各レベル V_H 、 V_L はそれぞれ、維持電極電圧 V_{st} の取り得る4つのレベル V_a 、 V_b 、 V_c 、 V_d のいずれかである。

30

【0040】

式(1)に示されているとおり、画素電極電圧 V_p の変化量 Δ は、各キャパシタ C_{lc} 、 C_{st} の静電容量 C_{lc} 、 C_{st} と維持電極電圧 V_{st} の変化量によって決まる。例えば、データ電圧 V_{data} の変動可能範囲が約0V～5Vであり、液晶キャパシタ C_{lc} の静電容量 C_{lc} とストレージキャパシタ C_{st} の静電容量 C_{st} とが同一に設計され、かつ、維持電極電圧 V_{st} の変化量 $V_H - V_L = 5V$ である場合、式(1)により、画素電極電圧 $V_p = V_{data} \pm 2.5V$ となる。すなわち、維持電極電圧 V_{st} の変化に伴い、画素電極電圧 V_p はデータ電圧 V_{data} より約2.5Vほど増減される。その増減の極性は、共通電圧 V_{com} に対するデータ電圧 V_{data} の極性に等しい。つまり、共通電圧 V_{com} に対するデータ電圧 V_{data} の極性が正であれば画素電極電圧 V_p はデータ電圧 V_{data} より2.5V増加し、負であれば2.5V減少する。このような画素電極電圧 V_p の変化によって液晶キャパシタ C_{lc} の両端電圧、すなわち画素電圧の変動可能範囲が拡大される。例えば、共通電圧 V_{com} が約2.5Vであり、かつデータ電圧 V_{data} の変動可能範囲が約0V～5Vである場合、維持電極電圧 V_{st} が一定に維持されていれば、画素電圧の変動可能範囲は約-2.5V～+2.5Vである。一方、維持電極電圧 V_{st} のレベルが $V_H - V_L$ 間で切り換えられれば、画素電圧の変動可能範囲は約-5V～+5Vに拡大される。維持電極電圧 V_{st} の変化 $V_H - V_L$ に伴う画素電極電圧 V_p の変化量 Δ が大きいほど、画素電圧の変動可能範囲が広く、特にその上限が大きい。従って、液晶の応答が大きく加速される。

40

【0041】

ここで、共通電圧 V_{com} は一定のレベルに固定されている。従って、共通電圧 V_{com} を低い

50

電圧と高い電圧との間で変動させる場合より消費電力が低減する。例えば共通電圧を約0Vと5Vとの間で変動させる場合、データ線と共通電極との間に寄生するキャパシタに対して最大約±5Vの電圧が印加される。それに対し、共通電圧を約2.5Vに固定する場合、データ線と共通電極との間の寄生キャパシタに対して印加される電圧は最大約±2.5Vに留まる。その結果、データ線と共通電極との間の寄生キャパシタで消費される無効電力が低減するので、液晶表示装置の消費電力が削減される。

【0042】

同じ画素の液晶キャパシタC_{lc}とストレージキャパシタC_{st}との間で電荷の再配置が完了し、液晶キャパシタC_{lc}が安定化した状態では、画素電極電圧V_pが上記の式(1)で表される。しかし、実際には液晶の応答は遅いので、維持電極電圧V_{st}のレベルが切り換えられてから液晶分子の配向状態が安定化するまでにはある程度の時間が必要である。その期間では、液晶分子の配向状態の変化に応じて液晶キャパシタC_{lc}の静電容量C_{lc}が変化する。従って、維持電極電圧V_{st}のレベルが切り換えられた時点での画素電極電圧V_pは、式(1)で与えられる画素電極電圧V_p、すなわち、液晶分子の配向状態が実際に安定化した時点での画素電極電圧V_pとは以下のように異なる。

【0043】

ここで、以下の説明を具体的に行うために、まず、次の条件を想定する。

- ・階調の最高値（ノーマリーブラックの場合はホワイト階調）に対応するデータ電圧が液晶キャパシタC_{lc}に対して印加され、その後、液晶分子の配向状態が安定化したとき、液晶キャパシタC_{lc}の静電容量がC_{lc}であったとする。一方、階調の最低値（ノーマリーブラックの場合はブラック階調）に対応するデータ電圧が液晶キャパシタC_{lc}に対して印加され、その後、液晶分子の配向状態が安定化したとき、液晶キャパシタC_{lc}の静電容量がC_{min}であったとする。その場合、階調の最高値に対応する静電容量C_{lc}が最低値に対応する静電容量C_{min}より約3倍大きい。

- ・維持電極電圧V_{st}のレベルの変化量V_H−V_Lを5Vに設定する：V_H−V_L=5V。
- ・各画素ではストレージキャパシタC_{st}の静電容量C_{st}が、階調の最高値に対応する液晶キャパシタC_{lc}の静電容量C_{lc}に等しく設定されている：C_{st}=C_{lc}=3×C_{min}。

【0044】

次に、以上の条件下で、ある画素の液晶キャパシタC_{lc}に対するデータ電圧V_{data}を最大限に切り換える場合、すなわち、階調の最低値に対応するレベルから最高値に対応するレベルに切り換える場合を想定する。

階調の最高値に対応するデータ電圧V_{data}が液晶キャパシタC_{lc}に対して印加された後、液晶分子の配向状態が安定化すれば、画素電極電圧V_pが式(1)を満たす。特に、V_H−V_L=5Vであり、C_{st}=C_{lc}であるので、画素電極電圧V_pのデータ電圧V_{data}からの変化量Δが2.5Vである。

【0045】

一方、階調の最高値に対応するデータ電圧V_{data}が液晶キャパシタC_{lc}に対して印加された後、維持電極電圧V_{st}のレベルが切り換えられた直後では、液晶分子の配向状態が直前のフレームでの安定状態を維持している。特に、液晶キャパシタC_{lc}の静電容量が階調の最低値に対応する値C_{min}、すなわち、同じ画素のストレージキャパシタC_{st}の静電容量C_{st}の1/3倍に等しい：C_{min}=C_{st}/3。従って、画素電極電圧V_pは下記の式(2)で与えられる：

【0046】

$$\begin{aligned} V_p &= V_{data} \pm C_{st} / (C_{st} + C_{min}) \times (V_H - V_L) \\ &= V_{data} \pm C_{st} / (C_{st} + C_{st} / 3) \times (V_H - V_L) \\ &= V_{data} \pm (3/4) \times (V_H - V_L). \end{aligned} \quad (2)$$

【0047】

維持電極電圧V_{st}の変化V_H−V_L=5Vである場合、式(2)より、画素電極電圧V_pのデータ電圧V_{data}からの変化量Δは3.75Vである。このように、維持電極電圧V_{st}のレベルが切り換えられた直後では、液晶分子の配向状態が安定化した後より、画素電極電圧V_pのデータ電圧

Vdataからの変化量 Δ が大きい。従って、維持電極電圧 V_{st} のレベルが切り換えられた直後では、液晶キャパシタ C_{lc} に対して更に大きな電圧が印加されるので、液晶の応答が更に加速される。

【0048】

従来技術においては、図5に実線で示されているように、複数の連続するフレームで、画素電極電圧の同じ目標値 V_t に相当するデータ電圧が同じ画素電極に対して繰り返し印加されても、データ電圧の印加が完了するごとにその画素電極の電圧 V_p が目標値 V_t から降下する。その結果、図5に破線で示されているように、一つのフレーム内ではその画素の透過率 R_c が目標値までは到達できず、複数の連続するフレームを経て漸く目標値に到達する。

10

それに対し、本発明の上記の実施形態においては、図4に実線で示されているように、フレームの初期に画素電極電圧 V_p が目標値 V_t より十分に高く上昇する。その結果、図4に破線で示されているように、そのフレーム内でその画素の透過率 R_c が速やかに目標値に到達する。このように、本発明の上記の実施形態は従来技術より、液晶の応答速度が高い。

【0049】

本発明の上記の実施形態による液晶表示装置では更に、図3に示されているように、維持電極電圧 V_{st} のレベルを第1レベル V_a から第3レベル V_c に切り換える場合はその前に、維持電極電圧 V_{st} のレベルを一旦、補正時間 Δt だけ、第3レベル V_c より低い第2レベル V_b に維持する。逆に、維持電極電圧 V_{st} のレベルを第3レベル V_c から第1レベル V_a に切り換える場合はその前に、維持電極電圧 V_{st} のレベルを一旦、補正時間 Δt だけ、第1レベル V_a より高い第4レベル V_d に維持する。ここで、補正時間 Δt は液晶の応答時間より十分に短いので、液晶キャパシタ C_{lc} の静電容量は直前のフレームでの値を維持する。従って、1フレームに比べてごくわずかな補正時間 Δt 、維持電極電圧 V_{st} のレベルを第2レベル V_b 又は第4レベル V_d に維持するだけでも、すなわち、1フレームに比べて瞬間的に維持電極電圧 V_{st} の変化量を補償値 ΔV だけ大きくするだけでも、画素電極電圧 V_p の変化量 ΔV_{pia} を十分に増大できる。こうして、維持電極電圧 V_{st} のレベルを十分に高く（又は低く）維持すべき時間が短縮されるので、消費電力が低く維持されたまま、液晶の応答速度が十分に向上する。好ましくは、図3に示されているように、第2レベル V_b 又は第4レベル V_d の維持電極電圧 V_{st} の持続時間、すなわち補正時間 Δt はゲートオン電圧 V_{on} の持続時間、すなわち1水平周期 $1H$ より短い。

20

30

【0050】

図6に、本発明の他の実施形態による液晶表示装置のブロック図を示す。図6に示されている液晶表示装置では図1に示されている構成要素に加え、信号制御部600が更に、制御信号補正部601を含む。尚、図6では、図1に示されている構成要素と同様な構成要素に対して同じ符号を付す。更に、それら同様な構成要素の詳細については、図1に関する上記の説明を援用する。

【0051】

図7に、制御信号補正部601のブロック図を示す。制御信号補正部601は、第1演算器611、バッファ部612、及び第2演算器613を含む。第1演算器611は、外部から入力映像信号をフレーム単位で入力する。第1演算器611は更に、一フレームの入力映像信号 g_n の示す画素の階調値を所定の画素範囲（好ましくは画素行）ごとに平均し、そのフレームの入力映像信号 g_n の平均値 Ag_n として算出する。第1演算器611は続いて、それらの平均値 Ag_n をバッファ部612及び第2演算器613に出力する。バッファ部612は、第1演算器611から出力された各フレームの入力映像信号 g_n の平均値 Ag_n を一フレームの間保持し、そのフレームの次のフレームで、直前のフレームの入力映像信号の平均値 Ag_{n-1} として第2演算器613に出力する。第2演算器613は、第1演算器611からは現在のフレームの入力映像信号の平均値 Ag_n を入力し、バッファ部612からは直前のフレームの入力映像信号の平均値 Ag_{n-1} を入力する。第2演算器613は更に、それら二種類の平均値 Ag_n 、 Ag_{n-1} を比較し、それらの間の差に基づいて出力値 g_n' を生成する。ここで、第2演算器613は好ましくは、二種類の平均値 Ag_n 、 Ag_{n-1} の間の差と出力値 g_n' との間の関係をルックアップテーブルの

40

50

形で予め記憶している。第2演算器613の出力値 g_n' は維持電極制御信号CONT3の一部として維持電極駆動部700に出力される。維持電極駆動部700は第2演算器613の出力値 g_n' に基づき、維持電極電圧 V_{st} の補償値 ΔV をフレームごとに変化させる。

【0052】

あるフレームから次のフレームに切り換わる時、それらのフレーム間で同じ画素に対する入力映像信号の示す階調値の差が大きいほど、その画素に含まれる液晶分子の配向状態を大きく変化させねばならない。従って、液晶の応答速度を十分に高くし、液晶分子の配向状態の変化を一フレーム内で更に確実に完了させるには、連続する二つのフレーム間での階調値の変化に応じて維持電極電圧 V_{st} の補償値 ΔV をフレームごとに最適化することが好ましい。そのような最適化は更に、維持電極電圧 V_{st} の補償値 ΔV を一定にする場合より、消費電力を更に削減できる。それ故、そのような最適化が実現されるように、連続する二つのフレーム間での入力映像信号の平均値 Ag_n 、 Ag_{n-1} の差と第2演算器613の出力値 g_n' との間の関係が決定される。その関係は好ましくは実験結果によって決定され、第2演算器613によってルックアップテーブルの形で記憶される。

【0053】

図8に、図6、7に示されている液晶表示装置によって利用される駆動信号の波形図を示す。図8に示されている例では、 $(n-1)$ 番目のフレーム $(n-1)f$ から n 番目のフレーム nf にかけては入力映像信号の示す画素の階調の平均値が同一であるので、データ電圧 V_{data} が実質的に同一である。一方、 n 番目のフレーム nf から $(n+1)$ 番目のフレーム $(n+1)f$ にかけては入力映像信号の示す画素の階調の平均値が上昇するので、データ電圧 V_{data} の絶対値が上昇する。そのような階調の平均値のフレームごとの変化が、制御信号補正部601から維持電極駆動部700に、第2演算器613の出力値 g_n' の変化として伝達される。維持電極駆動部700は第2演算器613の出力値 g_n' の変化に基づき、 n 番目のフレーム nf における維持電極電圧 V_{st} の補償値 ΔV_a より、 $(n+1)$ 番目のフレーム $(n+1)f$ における維持電極電圧 V_{st} の補償値 ΔV_b を大きくする。それにより、 n 番目のフレーム nf における画素電極電圧 V_p の変化量 ΔV_{pia} より、 $(n+1)$ 番目のフレーム $(n+1)f$ における画素電極電圧 V_p の変化量 $\Delta V_{pia}'$ が大きくなる。こうして、連続する二つのフレーム間で入力映像信号の示す画素の階調の平均値が大きく変化する場合でも、液晶の応答速度を十分に高く維持できるので、各画素の輝度が目標値まで更に速やかに到達できる。

【0054】

図9に、図2に示されている下部表示パネル100の平面構造の一例を示す。図10Aは、図9に示されている折線 $Xa-Xa$ に沿った下部表示パネル100の断面図であり、図10Bは、図9に示されている折線 $Xb-Xb$ に沿った下部表示パネル100の断面図である。

図10A及び図10Bに示されているように、下部表示パネルは絶縁基板110を含む。絶縁基板110は好ましくは、透明なガラス又はプラスチックなどで作られている。絶縁基板110の上にはゲート線121及び維持電極線131が複数形成されている。

【0055】

図9ではゲート線121が横方向に延びている。各ゲート線121は、各画素に向かって突出したゲート電極124と、面積の広い端部129とを含む。端部129は他の層又は外部のゲート駆動部400（図1、6参照）に接続される。ここで、ゲート駆動部400は好ましくは1以上のチップに組み込まれている。そのチップは、絶縁基板110の上に接着されたフレキシブル印刷回路膜（図示せず）の上に実装されても、絶縁基板110の上に直接実装されても良い。その他に、ゲート駆動部400自体が絶縁基板110に集積化されてもよい。その場合、ゲート線121が直接、ゲート駆動部400に接続されても良い。

【0056】

図9では、各維持電極線131が各画素行の下端付近で、ゲート線121に沿って横方向に延びている。各維持電極線131の幅は画素ごとに、近くのゲート線121に向かって拡張され、各画素で拡張部137を形成している。各維持電極線131は好ましくは、端部で他の層又は外部の維持電極駆動部700（図1、6参照）に接続される。その場合、各維持電極線131の端部がゲート線121の端部129と同様に面積が広くても良い。尚、維持電極線131の形状及び

配置はその他にも、多様に変更できる。維持電極駆動部700はゲート駆動部400と同様に、好ましくは1以上のチップに組み込まれている。そのチップは、絶縁基板110の上に接着されたフレキシブル印刷回路膜（図示せず）の上に実装されても、絶縁基板110の上に直接実装されても良い。その他に、維持電極駆動部700自体が絶縁基板110に集積化されても良い。その場合、維持電極線131が直接、維持電極駆動部700に接続されても良い。

【0057】

ゲート線121と維持電極線131とは好ましくは、アルミニウム（Al）やアルミニウム合金などのアルミニウム系金属、銀（Ag）や銀合金などの銀系金属、銅（Cu）や銅合金などの銅系金属、モリブデン（Mo）やモリブデン合金などのモリブデン系金属、クロム（Cr）、タンタル（Ta）、又はチタニウム（Ti）から成る。ゲート線121と維持電極線131とは、物理的性質の異なる二つの導電膜を含む多重膜構造であっても良い。その一方の導電膜は好ましくは比抵抗の低い金属、更に好ましくは、アルミニウム系金属、銀系金属、又は銅系金属から成り、信号遅延や電圧降下を防ぐ。他方の導電膜は好ましくは、ITO（indium tin oxide）又はIZO（indium zinc oxide）との物理的、化学的、及び電氣的接触特性に優れた物質、更に好ましくは、モリブデン系金属、クロム、タンタル、又はチタニウムから成る。そのような導電膜の好ましい組み合わせとしては例えば、クロム下部膜とアルミニウム（合金）上部膜との組み合わせ、及び、アルミニウム（合金）下部膜とモリブデン（合金）上部膜との組み合わせがある。尚、ゲート線121及び維持電極線131はその他にも多様な金属又は導電体で作られても良い。図10A及び図10Bに示されているように、ゲート線121及び維持電極線131の各側面は好ましくは、絶縁基板110の表面に対して傾斜している。その傾斜角は好ましくは、約30°～約80°である。

【0058】

図10A及び図10Bに示されているように、絶縁基板110、ゲート線121、及び維持電極線131は、好ましくは窒化ケイ素（SiNx）又は酸化ケイ素（SiOx）から成るゲート絶縁膜140で覆われている。

図10Aに示されているように、ゲート絶縁膜140の上には、好ましくは水素化非晶質シリコン（a-Si:H）又は多結晶シリコンから成る線状半導体151が複数形成されている。図9では各線状半導体151が縦方向に延び、ゲート線121及び維持電極線131と交差している。各線状半導体151はゲート線121との交差点ごとに突出部154を含む。突出部154はその交差点からゲート線121に沿って横方向に突き出てゲート電極124に重なっている。各線状半導体151の幅はゲート線121及び維持電極線131との交差点付近で広くなり、その交差点全体を覆っている。線状半導体151の側面は好ましくは絶縁基板110の表面に対して傾斜している。更に好ましくは、その傾斜角は30°～80°程度である。

【0059】

図10Aに示されているように、各線状半導体151の上には、線状オーミックコンタクト部材161及び島型オーミックコンタクト部材165が複数形成されている。オーミックコンタクト部材161、165は好ましくは、リンなどのn型不純物が高濃度にドーピングされているn+水素化非晶質シリコン、又はシリサイドで作られている。線状オーミックコンタクト部材161は線状半導体151の上に形成され、そのほぼ全長にわたって延びている。線状オーミックコンタクト部材161は各画素に突出部163を含む。各突出部163は線状半導体151の各突出部154の上に配置されている。島型オーミックコンタクト部材165は各画素の一つずつ形成され、同じ画素に含まれる線状半導体151の突出部154の上で、線状オーミックコンタクト部材161の突出部163と所定の距離を隔てて対向している。オーミックコンタクト部材161、165の各側面は好ましくは、絶縁基板110の表面に対して傾斜している。更に好ましくは、その傾斜角は30°～80°程度である。

【0060】

図10A及び図10Bに示されているように、オーミックコンタクト部材161、165、及びゲート絶縁膜140の上には、データ線171とドレイン電極175とが複数形成されている。各データ線171は各線状半導体151の上に形成され、その全長にわたって延び、更にその外側まで延びている。図9では、各データ線171は縦方向に延び、各ゲート線121及び各維持

電極線131と交差している。各データ線171はゲート線121との交差点ごとにソース電極173を含む。ソース電極173はその交差点からゲート電極124の上に延びている。ソース電極173の平面形状は好ましくは、図9に示されているような鉤形である。各データ線171の端部179は面積が大きく、他の層又は外部のデータ駆動部500（図1、6参照）に接続されている。データ駆動部500は好ましくは1以上のチップに組み込まれている。そのチップは、絶縁基板110の上に接着されたフレキシブル印刷回路膜（図示せず）の上に実装されても、絶縁基板110の上に直接実装されても良い。その他に、データ駆動部500自体が絶縁基板110に集積化されても良い。その場合、データ線171が直接、データ駆動部500に接続されても良い。ドレイン電極175は各画素に一つずつ形成され、データ線171から分離されている。各ドレイン電極175は、面積の広い一端部と棒状の他端部とを含む。面積の広い一端部はその全体が、各画素に含まれる維持電極線131の拡張部137に重なっている。棒状の他端部はゲート電極124の上に延び、その先端が、鉤形に曲がったソース電極173によって囲まれている。

10

【0061】

各画素では、ゲート電極124、ソース電極173、ドレイン電極175、及び線状半導体151の突出部154が一つの薄膜トランジスタを構成している。その薄膜トランジスタのチャンネルは、図9ではソース電極173とドレイン電極175との間に見えている線状半導体151の突出部154の領域に形成される。この薄膜トランジスタが、図2に示されているスイッチング素子Qとして利用される。

【0062】

20

データ線171及びドレイン電極175は好ましくは、モリブデン、クロム、タンタル、又はチタニウムなどの耐熱性金属、又はそれらの合金から成る。データ線171及びドレイン電極175が、耐熱性金属膜と低抵抗導電膜とを含む多重膜構造であっても良い。多重膜構造の例としては、クロム又はモリブデン（合金）下部膜とアルミニウム（合金）上部膜との二重膜、及び、モリブデン（合金）下部膜とアルミニウム（合金）中間膜とモリブデン（合金）上部膜との三重膜がある。尚、データ線171及びドレイン電極175はその他にも多様な金属又は導電体で作られても良い。図10A及び図10Bに示されているように、データ線171及びドレイン電極175の各側面は好ましくは、絶縁基板110の表面に対して 30° ～ 80° 程度の角度で傾斜している。

【0063】

30

線状オーミックコンタクト部材161は、その下地にある線状半導体151とその上を覆うデータ線171との間で接触抵抗を低くする。島型オーミックコンタクト部材165は、その下地にある線状半導体151の突出部154とその上を覆うドレイン電極175との間で接触抵抗を低くする。

図9に示されているように、各線状半導体151の大部分は、その上を延びているデータ線171より幅が狭い。しかし、前述のとおり、ゲート線121との各交差点付近では線状半導体151はデータ線171より幅が広い。それにより、ゲート線121との各交差点付近ではデータ線171の表面のプロファイルが滑らかになるので、ゲート線121とデータ線171との間での漏れ電流が抑制される。その結果、過剰な漏れ電流に起因するデータ線171の断線が防止される。

40

【0064】

線状半導体151には、ソース電極173とドレイン電極175との間の領域をはじめ、データ線171及びドレイン電極175のいずれによっても覆われずに露出した部分がある。図10A及び図10Bに示されているように、ゲート絶縁膜140、データ線171、ドレイン電極175、及び線状半導体151の露出部分は保護膜180で覆われている。保護膜180は好ましくは無機絶縁物又は有機絶縁物から成り、更に好ましくは、その表面が平坦である。無機絶縁物の例としては窒化ケイ素と酸化ケイ素とがある。有機絶縁物は好ましくは感光性を示し、その比誘電率が約4.0以下である。保護膜180は更に、下部無機膜と上部有機膜との二重膜構造であっても良い。それにより、保護膜180は、有機膜の優れた絶縁特性を生かしながら、線状半導体151の露出部分の損傷を防ぐことができる。

50

図9、図10A、及び図10Bに示されているように、保護膜180には、データ線171の端部179が露出するコンタクトホール182と、ドレイン電極175が露出するコンタクトホール185とが形成されている。更に、保護膜180とゲート絶縁膜140とは、ゲート線121の端部129が露出するコンタクトホール181が形成されている。

【0065】

図9、10Aに示されているように、各画素では保護膜180の上に画素電極191が一つずつ形成されている。一方、図9、10Bに示されているように、各ゲート線121の端部129では保護膜180の上にコンタクト補助部材81が形成され、データ線171の端部179では保護膜180の上に別のコンタクト補助部材82が形成されている。画素電極191とコンタクト補助部材81、82とは好ましくは、透過型の液晶表示装置では、ITO又はIZOなどの透明な導電物質から成り、反射型の液晶表示装置では、アルミニウム、銀、クロム、又はそれらの合金などの反射率の高い金属から成る。

【0066】

図9に示されているように、各画素電極191は一つの画素のほぼ全体を覆っている。各画素電極191はコンタクトホール185を通じて同じ画素のドレイン電極175に接続されている。各画素電極191は更に、図2に示されているように、液晶層3を隔てて上部表示パネル200の共通電極270に対向している。上記の薄膜トランジスタ（図2ではスイッチング素子Q）がターンオンすると、画素電極191はドレイン電極175を通してデータ線171からデータ電圧を受ける。一方、共通電極270は外部から共通電圧を受ける。従って、画素電極191と共通電極270の間では液晶層3に電場が生成される。それによって、その液晶層3では液晶分子の配向方向がその電場の向きと強さとで決定される。このように決定された液晶分子の配向方向に応じ、その液晶層3を通過する光の偏光方向が変わる。

【0067】

画素電極191、共通電極270、及びそれらの間に挟まれた液晶層3の部分は、図2に示されている液晶キャパシタC1cと等価である。特に、薄膜トランジスタQがターンオフした後も、画素電極191と共通電極270との間の電圧は、画素電極191に対して印加されたデータ電圧と共通電圧との間の差の付近に維持される。

一方、画素電極191及びドレイン電極175と維持電極線131との間に寄生するキャパシタが、図2に示されているストレージキャパシタCstとして機能する。ストレージキャパシタCstの静電容量が液晶キャパシタC1cの静電容量を補うので、画素電極191と共通電極270との間の電圧が更に安定に維持される。図9に示されている平面構造では、画素電極191及びドレイン電極175と重なる維持電極線131の部分に拡張部137が設けられ、重なり部分の面積を増加させている。それにより、ストレージキャパシタCstの静電容量が十分に大きく設計されている。

【0068】

図9及び図10Bに示されているように、コンタクト補助部材81はコンタクトホール181を通じてゲート線121の端部129に接続され、コンタクト補助部材82はコンタクトホール182を通じてデータ線171の端部179に接続されている。コンタクト補助部材81はゲート線121の端部129と外部のゲート駆動部400との間の接着を補完し、かつその接着部を保護する。コンタクト補助部材82はデータ線171の端部179と外部のデータ駆動部500との間の接着を補完し、かつその接着部を保護する。

【0069】

図11に、下部表示パネル100の平面構造の他の例を示す。図12Aは、図11に示されている折線XIIa-XIIaに沿った下部表示パネル100の断面図である。図12Bは、図11に示されている折線XIIb-XIIbに沿った下部表示パネル100の断面図である。図11～12Bでは、図9～図10Bに示されている構成要素と同様な構成要素に対しては同じ符号を付す。更に、それら同様な構成要素の詳細については、図9～図10Bについての説明を援用する。

【0070】

図11～図12Bに示されている下部表示パネルでは、図9～図10Bに示されている

10

20

30

40

50

ものと次の点で異なる。まず、線状半導体151と線状オーミックコンタクト部材161とが、各画素に設けられたそれぞれの突出部154、163を除き、データ線171の全体と実質的に同一の平面形状である。特に、線状半導体151と線状オーミックコンタクト部材161とが更に延長され、図12Bに示されているように、データ線171の端部179の下地に含まれている。次に、各画素では、線状半導体151の突出部154と島型オーミックコンタクト部材165とがドレイン電極175の全体と実質的に同一の平面形状である。特に、線状半導体151の突出部154と島型オーミックコンタクト部材165とが、図12Aに示されているように、維持電極線131の拡張部137の上に重なっているドレイン電極175の一端部の下地全体に広がっている。

【0071】

10

以上、本発明の好ましい実施形態について詳細に説明した。しかし、本発明の技術的範囲は上記の実施形態には限定されない。添付の特許請求の範囲で定義されている本発明の基本概念を利用した当業者の種々の変形及び改良形態も、本発明の技術的範囲に属すると解されるべきである。

【図面の簡単な説明】

【0072】

【図1】本発明の一実施形態による液晶表示装置のブロック図

【図2】図1に示されている液晶表示装置に含まれる一つの画素の構造の模式図

【図3】図1に示されている液晶表示装置で利用される各駆動信号の波形図

【図4】図1に示されている液晶表示装置での画素電極電圧の時間的変化とその画素の透過率の時間的変化との間の関係を示すグラフ

20

【図5】従来の液晶表示装置での画素電極電圧の時間的変化とその画素の透過率の時間的変化との間の関係を示すグラフ

【図6】本発明の他の実施形態による液晶表示装置のブロック図

【図7】図6に示されている制御信号補正部のブロック図

【図8】図6に示されている液晶表示装置で利用される各駆動信号の波形図

【図9】本発明の一実施形態による下部表示パネルの拡大平面図

【図10A】図9に示されている折線Xa-Xaに沿った断面図

【図10B】図9に示されている折線Xb-Xbに沿った断面図

【図11】本発明の他の実施形態による下部表示パネルの拡大平面図

30

【図12A】図11に示されている折線XIIa-XIIaに沿った断面図

【図12B】図11に示されている折線XIIb-XIIbに沿った断面図

【符号の説明】

【0073】

3 液晶層

81、82 コンタクト補助部材

100 下部表示パネル

110 絶縁基板

121 ゲート線

124 ゲート電極

40

131 維持電極線

137 維持電極線の拡張部

140 ゲート絶縁膜

151 線状半導体

154 線状半導体の突出部

161 線状オーミックコンタクト部材

163 線状オーミックコンタクト部材の突出部

165 島型オーミックコンタクト部材

171 データ線

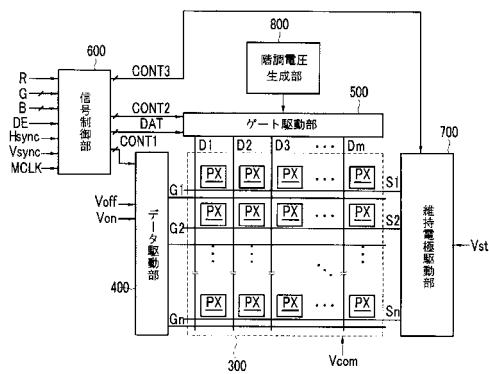
173 ソース電極

50

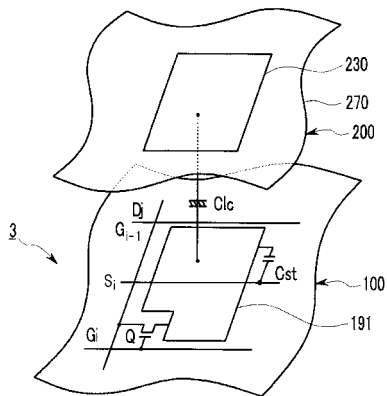
- 175 ドレイン電極
- 180 保護膜
- 181、182、185 コンタクトホール
- 191 画素電極
- 200 上部表示パネル
- 230 カラーフィルタ
- 270 共通電極
- 300 液晶表示パネルアセンブリ
- 400 ゲート駆動部
- 500 データ駆動部
- 600 信号制御部
- 601 制御信号補正部
- 611 第1演算部
- 612 バッファ部
- 613 第2演算部
- 700 維持電極駆動部
- 800 階調電圧生成部

10

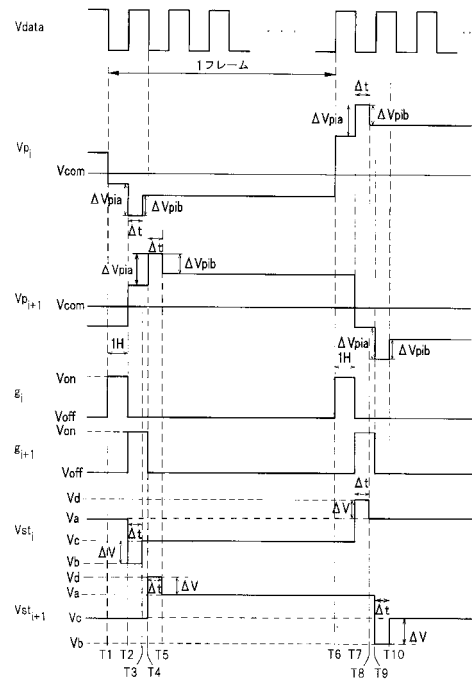
【図1】



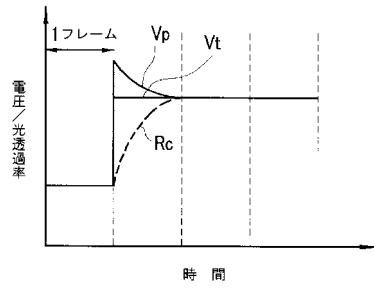
【図2】



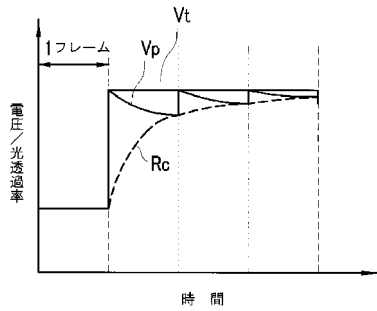
【図3】



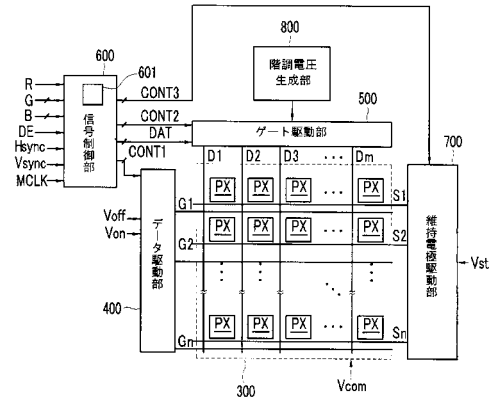
【図 4】



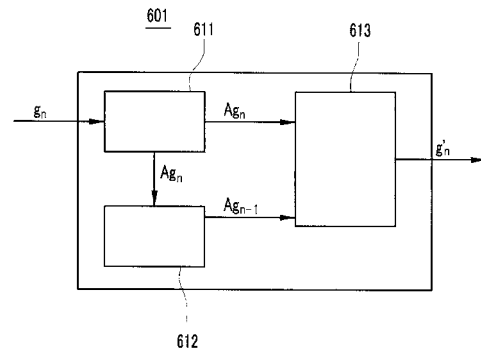
【図 5】



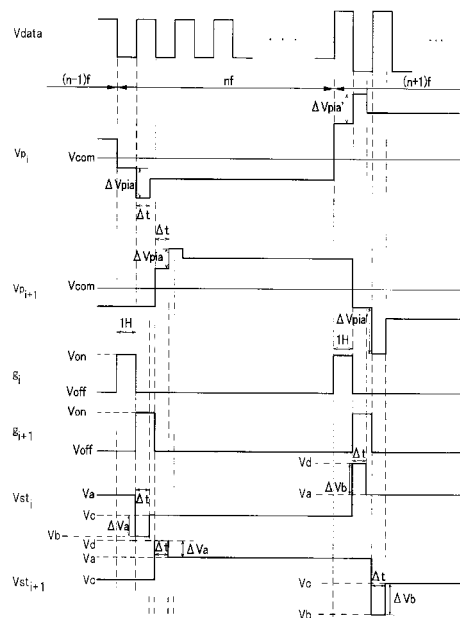
【図 6】



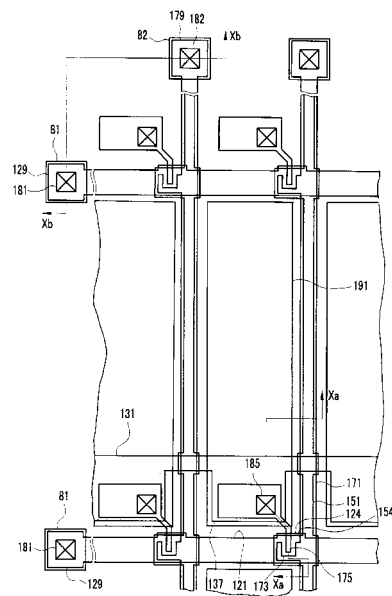
【図 7】



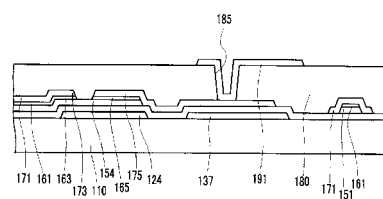
【図 8】



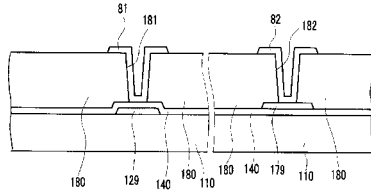
【図 9】



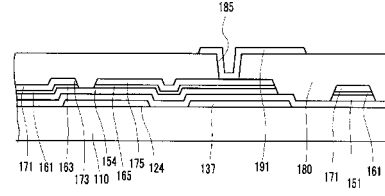
【図 10 A】



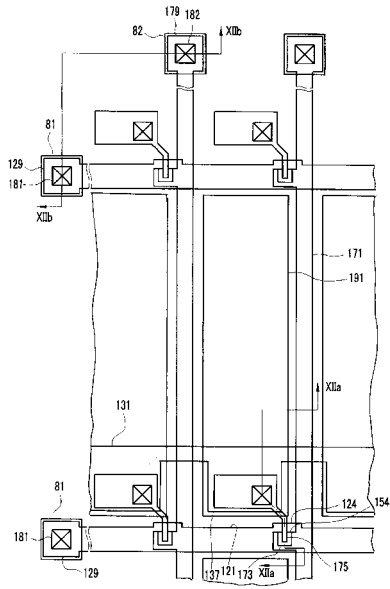
【図 10 B】



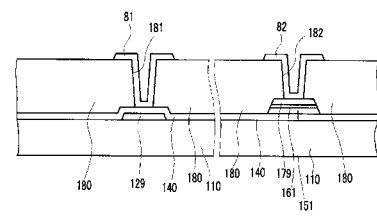
【図 12 A】



【図 11】



【図 12 B】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 4 E

G 0 9 G 3/20 6 2 1 B

G 0 9 G 3/20 6 1 2 U

G 0 9 G 3/20 6 2 1 F

G 0 9 G 3/20 6 1 1 A

(72)発明者 文 俊 熙

大韓民国京畿道龍仁市器興区靈徳洞 9 4 6 番地 テミョンアパート 1 0 7 棟 3 0 2 号

(72)発明者 朴 商 鎮

大韓民国京畿道龍仁市東川洞現代ホームタウン 1 次アパート 1 0 1 棟 1 0 0 4 号

審査官 福村 拓

(56)参考文献 特開平 0 5 - 1 0 7 5 5 7 (J P, A)

特表 2 0 0 1 - 5 0 6 3 7 6 (J P, A)

特開 2 0 0 5 - 2 0 8 6 0 0 (J P, A)

特開 2 0 0 0 - 2 2 1 4 7 5 (J P, A)

特開 2 0 0 5 - 2 9 2 7 9 3 (J P, A)

特開 2 0 0 3 - 2 7 9 9 2 9 (J P, A)

特開平 0 2 - 1 5 7 8 1 5 (J P, A)

(58)調査した分野(Int.Cl., D B名)

G 0 9 G 3 / 3 6

G 0 2 F 1 / 1 3 3

G 0 9 G 3 / 2 0

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP5232954B2	公开(公告)日	2013-07-10
申请号	JP2007190972	申请日	2007-07-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	崔榮俊 文俊熙 朴商鎮		
发明人	崔 榮 俊 文 俊 熙 朴 商 鎮		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G3/3614 G09G2300/0876 G09G2320/0252 G09G2360/16		
FI分类号	G09G3/36 G02F1/133.570 G02F1/133.575 G02F1/133.550 G09G3/20.624.D G09G3/20.624.E G09G3/20.621.B G09G3/20.612.U G09G3/20.621.F G09G3/20.611.A		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA43 2H093/NA53 2H093/NC13 2H093/NC15 2H093/NC25 2H093/NC28 2H093/NC29 2H093/NC34 2H093/NC35 2H093/NC36 2H093/ND06 2H093/ND33 2H093/ND39 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB14 2H193/ZC02 2H193/ZC15 2H193/ZD23 2H193/ZE01 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF44 5C006/AF45 5C006/AF53 5C006/AF71 5C006/BB16 5C006/BF37 5C006/BF42 5C006/FA14 5C006/FA16 5C006/FA18 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06		
代理人(译)	山下大沽嗣		
审查员(译)	福村 拓		
优先权	1020060069037 2006-07-24 KR		
其他公开文献	JP2008026907A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过使得可以缩短保持像素电极电压更高或更低的时间来提供能够在保持液晶显示装置的功耗低的同时提高液晶的响应速度的液晶显示装置比目标值。ŽSOLUTION：在液晶显示装置的每个像素上，存储电容器的第一端子连接到液晶电容器，并且其第二端子连接到存储电极线。存储电极电压从外部施加到存储电极线。存储电极电压的电平在第一电平和第二电平之间周期性地改变。第一级高于第二级。当从第一电平改变到第二电平时，存储电极电压的电平在规定的持续时间内从第二电压进一步下降预定的补偿值。相反，当从第二电平变为第一电平时，存储电极电压的电平在等于持续时间的时间内从第一电平进一步升高补偿值。Ž

1

