

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4989607号
(P4989607)

(45) 発行日 平成24年8月1日(2012.8.1)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.

F I

GO2F 1/1368 (2006.01)
GO9F 9/30 (2006.01)
HO1L 29/786 (2006.01)
HO1L 27/04 (2006.01)
HO1L 21/822 (2006.01)

GO2F 1/1368
GO9F 9/30 338
HO1L 29/78 623A
HO1L 27/04 H

請求項の数 9 (全 12 頁)

(21) 出願番号 特願2008-268054 (P2008-268054)
(22) 出願日 平成20年10月17日(2008.10.17)
(65) 公開番号 特開2009-104133 (P2009-104133A)
(43) 公開日 平成21年5月14日(2009.5.14)
審査請求日 平成21年4月17日(2009.4.17)
(31) 優先権主張番号 10-2007-0106914
(32) 優先日 平成19年10月23日(2007.10.23)
(33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
エルジー ディスプレイ カンパニー リ
ミテッド
大韓民国 ソウル, ヨンドゥンポーク, ヨ
イドードン 20
(74) 代理人 100094112
弁理士 岡部 譲
(74) 代理人 100064447
弁理士 岡部 正夫
(74) 代理人 100085176
弁理士 加藤 伸晃
(74) 代理人 100096943
弁理士 臼井 伸一
(74) 代理人 100101498
弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 静電気防止回路とその製造方法及びこれを具備した液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

多数の信号ラインと、

前記多数の信号ラインに対して奇数番目信号ラインとこれに隣接した偶数番目信号ラインの間に配置された多数のゲート電極と、

前記多数のゲート電極上にそれぞれ配置されて多数のトランジスターを形成する諸ソース/ドレイン電極と、及び

前記多数のゲート電極上にそれぞれソース/ドレイン電極と隣接して前記ソース/ドレイン電極と平行的に形成された諸連結ノードを含み、

前記多数のゲート電極の中でどれか一つは、共通電圧ラインと電氣的に繋がっており、

前記諸連結ノードそれぞれは、隣接したトランジスターのソース/ドレイン電極及び前記ソース/ドレイン電極下部に形成されたゲート電極をコンタクト部によって直接連結したことを特徴とする静電気防止回路。

【請求項 2】

前記多数のゲート電極は、電氣的に断絶されていることを特徴とする請求項 1 に記載の静電気防止回路。

【請求項 3】

前記多数の信号ラインは、信号を伝達するためのゲートライン及びデータライン中の一つであることを特徴とする請求項 1 に記載の静電気防止回路。

【請求項 4】

10

20

基板の互いに分離された多数のゲート電極、多数のゲートラインと共通電圧ラインを形成する段階で前記多数のゲート電極は多数のトランジスター領域と多数の連結ノード領域に形成され、前記多数のゲート電極の中でどれか一つは、共通電圧ラインと電氣的に繋がっており、

前記ゲート電極上にゲート絶縁膜を形成する段階と、

前記ゲート絶縁膜上にチャンネル層を形成する段階と、

前記多数のトランジスター領域の前記チャンネル層上に、前記各ゲート電極に対応する多数のソース/ドレイン電極を形成する段階と、

前記基板の上に保護膜を形成しパターニングして前記各連結ノード領域にソース/ドレイン電極を露出させる段階と、

前記各連結ノード領域にソース/ドレイン電極と前記ゲート電極が電氣的に繋がれたコンタクト部を形成する段階を含むことを特徴とする静電気防止回路の製造方法。

【請求項 5】

前記各ゲート電極、前記各チャンネル層、前記各ソース/ドレイン電極によって多数のトランジスターが形成されることを特徴とする請求項 4 に記載の静電気防止回路の製造方法。

【請求項 6】

前記多数のトランジスターは、前記各コンタクト部によって電氣的に繋がることを特徴とする請求項 5 に記載の静電気防止回路の製造方法。

【請求項 7】

それぞれ奇数番目ラインと偶数番目ラインを含む多数のゲートラインとデータライン、前記奇数番目ラインと偶数番目ラインの間に電氣的に繋がれた静電気防止回路と、及び前記静電気防止回路と電氣的に繋がれた共通電圧ラインを含み、

前記静電気防止回路は、互いに電氣的に繋がれた多数のトランジスターを含み、

前記各トランジスターは、トランジスター領域と連結ノード領域に仕分けされ、

前記各トランジスターは、前記トランジスター領域と前記連結ノード領域に形成されたゲート電極と、前記トランジスター領域の前記ゲート電極に形成されたチャンネル層と、前記チャンネル層に形成されたソース/ドレイン電極と、前記連結ノード領域の前記ゲート電極と一部領域がオーバーラップする前記ソース/ドレイン電極から延長形成された第 1 及び第 2 連結ノードと、及び

前記第 1 及び第 2 連結ノードを通じて前記ゲート電極と前記ソース/ドレイン電極を電氣的に直接連結するように形成されたコンタクト部を含むことを特徴とする液晶表示装置。

【請求項 8】

前記ゲート電極の幅は、前記奇数番目ラインと前記隣接した偶数番目ラインの間の幅と等しい或いは小さいことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記ゲート電極は、互いに隣接した前記奇数番目ラインと前記偶数番目ラインの間に形成されることを特徴とする請求項 7 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、静電気防止回路を具備した液晶表示装置に関するものである。

【背景技術】

【0002】

平板表示素子中の一つである液晶表示装置は、液体の流動性と結晶の光学的性質を持つ液晶に電界を加えて光学的異方性を変化させる素子である。液晶表示装置は、従来の陰極線管に比べて消費電力が低く体積が小さくて大型化及びファインピッチが可能であるため広く使われている。

【0003】

10

20

30

40

50

このような液晶表示装置は、画像を表示する液晶表示パネルと前記液晶表示パネルに駆動信号を印加するための駆動回路部を含む。液晶表示パネルは、離隔され合着された第1、第2基板と前記第1、第2基板の間に注入された液晶層を含む。

【0004】

このような液晶表示装置は、液晶の性質とパターンの構造によって多種多様なモードがある。液晶表示装置は、TNモード(Twisted Nematic Mode)、マルチドメインモード(Multi-Domain Mode)、OCBモード(Optically Compensated Birefringence Mode)、IPSモード(In-Plane Switching Mode)及びVAモード(Vertical Alignment Mode)を含む。

【0005】

TNモードは、液晶のディレクターが90°ツイストされるように配列した後電圧を加えて液晶のディレクターを制御する。

10

【0006】

マルチドメインモードは、一つの画素を多くのドメインに分けてそれぞれのドメインの主視野角方向を異にして広視野角を具現する。

【0007】

OCBモードは、補償フィルムを基板外周面に附着して光の進行方向による光の位相変化を補償する。

【0008】

IPSモードは、一つの基板上に二つの電極を形成して、液晶のディレクターが配向膜に平行な平面で歪むようにする。

20

【0009】

VAモードは、ネガティブ型液晶と垂直配向膜を利用して液晶分子の長軸が配向膜平面に垂直配列するようにする。

【0010】

一方、液晶表示装置は、駆動信号を印加するゲートラインとグラフィックデータ信号を印加するデータラインの交差によって、マトリックス形態に配列された多数の画素領域が定義される。各画素領域には、画素電極と前記データラインから印加されるデータ信号を画素電極に伝達する薄膜トランジスター(TFT)が配置されている。

【0011】

液晶表示装置には、液晶表示装置のモードにかかわらず製造工程の中または製品使用中、外部や内部で発生する静電気によって、素子及び諸信号ライン(ゲートライン、データライン、共通電圧ラインを含む)が損傷されることを防止するために、静電気防止回路が形成される。前記静電気防止回路は、共通電圧が印加される共通電圧ラインとゲートライン及びデータラインの先端の間に配置される。

30

【0012】

しかし、液晶表示装置が小型化及びハイレゾリューション化に進行する中で、静電気防止回路が形成される空間が狭小になるため静電気防止回路の設計に困難がある。特に、静電気防止回路は、多数のトランジスターを互いに連結して形成されるため諸ゲートライン間または諸データライン間の間隔が狭い場合には、製造工程中諸ラインの間がショートして不良が発生する問題がある。

40

【0013】

最近、動画視聴のために多様なポータブルディスプレイ装置が普及し、これらポータブルディスプレイ装置は皆、小型ながらハイレゾリューションを求められている。よって、狭小な空間に形成する静電気防止回路が切実に求められている。

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明は、液晶表示パネルの信号ライン(ゲートライン、データライン及び共通電圧ラインを含む)に形成される静電気防止回路の連結構造を変更し、静電気防止回路の幅と長さを縮めた静電気防止回路とその製造方法及びこれを具備した液晶表示装置を提供するこ

50

とを目的とする。

【 0 0 1 5 】

また、本発明は、静電気防止回路に使われる諸トランジスターの連結ノード領域にコンタクトホールを形成し、隣接したトランジスターのソース/ドレイン電極と直接繋がることのできる静電気防止回路とその製造方法及びこれを具備した液晶表示装置を提供することにもう一つの目的がある。

【課題を解決するための手段】

【 0 0 1 6 】

多数の信号ラインと、前記多数の信号ラインに対して奇数番目信号ラインとこれに隣接した偶数番目信号ラインの間に配置された多数のゲート電極と、前記多数のゲート電極上にそれぞれ配置されて多数のトランジスターを形成する諸ソース/ドレイン電極と、前記多数のゲート電極上にそれぞれソース/ドレイン電極と隣接して前記ソース/ドレイン電極と平行に形成された諸連結ノードを含み、前記諸連結ノードそれぞれは、隣接したトランジスターのソース/ドレイン電極及び前記ソース/ドレイン電極下部に形成されたゲート電極をコンタクト部によって直接連結することを特徴とする。

【発明の効果】

【 0 0 1 7 】

本発明は、液晶表示パネルの信号ライン(ゲートライン、データライン及び共通電圧ラインを含む)に形成される静電気防止回路の連結構造を変更し、静電気防止回路の幅と長さを縮める効果がある。

【 0 0 1 8 】

また、本発明は、静電気防止回路に使われる諸トランジスターの連結ノード領域にコンタクトホールを形成し、隣接したトランジスターのソース/ドレイン電極と直接繋がるように改善する効果がある。

【発明を実施するための最良の形態】

【 0 0 1 9 】

以下、添付された図面を参照して本発明の実施例を詳しく説明する。

【 0 0 2 0 】

諸図面の中で、同一な構成要素または諸部品は、可能な限り同一な参照符号で現わしていることに留意する。実施例を説明するにおいて係る公知機能或いは構成に対する具体的な説明は、実施例の要旨を曖昧にさせないために省略する。

【 0 0 2 1 】

また、実施例の説明において、各層(膜)、領域、パターン、または諸構造物が基板、各層(膜)、領域、パッド、または諸パターンの上(パターンに接した状態又はパターンの上方の状態)に、または下(パターンに接した状態又はパターンの下方の状態)に形成されることに記載される場合、その意味は、各階(膜)、領域、パッド、パターンまたは諸構造物が、直接基板、各層(膜)、領域、パッドまたは諸パターンに接触し形成される場合と解釈することもでき、他の層(膜)、他の領域、他のパッド、他のパターンまたは他の諸構造物が、その間に追加的に形成される場合と解釈することもできる。よって、その意味は発明の技術的思想に基づいて判断されなければならない。

【 0 0 2 2 】

図1は、本発明による液晶表示装置のパネル構造を概略的に図示した図面である。

【 0 0 2 3 】

図1を参照すれば、液晶表示装置10は、画像をディスプレイする液晶表示パネル15と、前記液晶表示パネル15と電氣的に繋がれたゲート駆動部30及びデータ駆動部20を含む。また、液晶表示装置10は、前記ゲート駆動部30とデータ駆動部20の動作を制御するタイミングコントローラ60を含む。

【 0 0 2 4 】

前記液晶表示パネル15は、諸ゲートライン(GL1~GLm)及び諸データライン(DL1~DLn)が交差して定義される多数の画素領域がマトリックス形態に配列している

。m及びnは正の整数である。多数の画素領域によって表示領域を定義できる。すなわち、表示領域は多数の画素領域を含む。

【0025】

前記多数の画素領域それぞれには液晶画素が形成される。

【0026】

前記ゲート駆動部30は、1フレーム間(1垂直同期信号の期間)、多数のゲートライン(GL1~GLm)を順次に一定の期間(例えば、1水平同期信号の期間)毎にイネーブルする。このため、前記ゲート駆動部30は、水平同期信号の周期毎に順次にシフトするゲートイネーブルパルスをもつ多数のゲート信号を発生する。多数のゲート信号それぞれに含まれたゲートイネーブルパルスは、水平同期信号の期間と等しい幅を持つことができる。前記多数のゲート信号それぞれに含まれたゲートイネーブルパルスは、フレーム周期毎に各ゲートラインに対して一回ずつ発生される。このような多数のゲート信号を発生するために、前記ゲート駆動部30は、タイミングコントローラ60からの諸ゲート制御信号(GCS)にตอบสนองする。前記諸ゲート制御信号(GCS)には、ゲートスタートパルス(GSP)及び少なくとも一つのゲートクロック(GSC)などが含まれる。前記ゲートスタートパルス(GSP)は、フレーム期間のスタート時点から一つの水平同期信号の期間にあたる特定論理値(例えば、ハイ論理値)を維持する。

【0027】

前記データ駆動部20は、多数のゲートライン(GL1~GLm)中どれか一つがイネーブルになる度に、データライン(DL1~DLn)の数にあたる(すなわち、1ゲートラインに配列された諸液晶画素の数にあたる)諸画素データ信号を発生する。これら1ライン分の画素データ信号それぞれは、対応するデータライン(DL)を経由して前記液晶表示パネル15上の対応する液晶画素に供給される。ゲートライン(GL)上に配列された諸液晶画素それぞれは、対応する画素データ信号の電圧レベルにあたる光量を通過させる。1ライン分の画素データ信号を発生するために、データ駆動部20は、データ制御信号(DCS)にตอบสนองし、ゲート信号に含まれたゲートイネーブルパルスの期間毎に1ライン分の画素データ信号(VDd)を順次に入力する。データ駆動部20は、順次に入力された1ライン分の画素データ信号(VDd)を同時にアナログ形態の画素データ電圧に変換する。

【0028】

タイミングコントローラ60は、図示していない外部のビデオソース(例えば、テレビ受信機に含まれる映像復調モジュールまたはコンピュータシステムに含まれるグラフィックモジュール)から諸同期信号(SYNC)を供給される。同期信号(SYNC)にはデータクロック(Dclk)、データイネーブル信号(DE)、水平同期信号(HSYNC)及び垂直同期信号(VSYNC)などが含まれる。タイミングコントローラ60は、同期信号(SYNC)を利用してゲート駆動部30が各フレーム毎に、液晶表示パネル15上の前記多数のゲートライン(GL1~GLm)が順次にスキャンされるようにする前記多数のゲート信号を発生するのに必要な諸ゲート制御信号(GCS)を生成する。また、タイミングコントローラ60は、データ駆動部20にゲートライン(GL)がイネーブルになる周期毎に、1ライン分の画素データ信号(VDd)を順次に入力し、その順次入力された1ライン分の画素データ信号(VDd)をアナログ形態の画素データ電圧に変換及び出力するのに必要な諸データ制御信号(DCS)を発生する。更に、前記タイミングコントローラ60は、ビデオソースからフレーム単位(1枚の画像単位)に仕分けされた画素データストリーム(VDi)を供給される。タイミングコントローラ60は、フレーム分の画素データストリーム(VDi)を1ライン分ずつ画素データ信号(VDd)に仕分けして、その仕分けされた1ライン分の画素データストリーム(VDd)を前記データ駆動部20に供給する。

【0029】

前記諸ゲートライン(GL1~GLm)と前記諸データライン(DL1~DLn)端側の先端には、それぞれ諸第1静電気防止回路26と諸第2静電気防止回路25が配置されている。前記第1静電気防止回路26は、奇数番目ゲートラインと、これと隣接した偶数番目ゲートラインをつがいにしてそれぞれ一つずつ配置されていて、前記第2静電気防止回路

10

20

30

40

50

25は、奇数番目データラインと、これと隣接した偶数番目データラインをつがいにしてそれぞれ一つずつ配置されている。また、前記第1静電気防止回路26と第2静電気防止回路25は液晶表示パネル15の外郭(非表示領域)に沿って配置されている共通電圧ライン40に共通に繋がれている。

【0030】

よって、液晶表示パネル15の前記諸ゲートライン($GL1 \sim GLm$)と前記諸データライン($DL1 \sim DLn$)に静電気が印加されれば、前記第1静電気防止回路26と第2静電気防止回路25によって、前記諸ゲートライン($GL1 \sim GLm$)と前記諸データライン($DL1 \sim DLn$)が前記共通電圧ライン40と等電位状態になって内部素子及び諸信号ラインを保護する。

10

【0031】

図2は、本発明によって液晶表示パネルのデータライン先端に形成された静電気防止回路の回路図で、図3は、図2の静電気防止回路が液晶表示パネルのアレイ基板上に形成された様子を図示した図面である。

【0032】

図2及び図3を参照すると、本発明による静電気防止回路は、五つのトランジスタ($Tr-1$ 、 $Tr-2$ 、 $Tr-3$ 、 $Tr-4$ 、 $Tr-5$)で構成されている。図面では諸データライン($DL1 \sim DLn$)先端にそれぞれ配置される静電気防止回路を中心に説明するが、諸ゲートライン($GL1 \sim GLm$)先端にそれぞれ配置される静電気防止回路も等しい構造に形成することができる。また、図面では五つのトランジスタで静電気防止回路を構成したが、これ

20

【0033】

奇数番目データライン($DL2n+1$)の先端では、静電気防止回路25の第1トランジスタ($Tr-1$)のソース電極S1とゲート電極G1及び第2トランジスタ($Tr-2$)のドレーン電極D2が第1連結ノード($Nd1$)に共通に繋がれていて、偶数番目データライン($DL2n$)の先端では、静電気防止回路25の第5トランジスタ($Tr-5$)のドレーン電極D5とゲート電極G5及び第4トランジスタ($Tr-4$)のソース電極S4が第5連結ノード($Nd5$)に共通に繋がれている。本発明の静電気防止回路では、奇数番目データライン($DL2n+1$)と偶数番目データライン($DL2n$)それぞれの先端に配置されている第1トランジスタ($Tr-1$)のソース電極S1がそれぞれ平行に二つに分離していて、第5トランジスタ($Tr-5$)のドレーン電極D5がそれぞれ平行に二つに分離している。一つのソース電極S1は、第1トランジスタ($Tr-1$)の電極役割をして、他の一つのソース電極S1は、第1連結ノード($Nd1$)に連結部の役割をする。同じく第5トランジスタ($Tr-5$)のどれか一つのドレーン電極D5はトランジスタの電極の役割をして、他の一つのドレーン電極D5は、第5連結ノード($Nd5$)の連結部の役割をする。

30

【0034】

また、第2静電気防止回路25の中央に配置された第3トランジスタ($Tr-3$)のゲート電極G3は、共通電圧ライン40、第2トランジスタ($Tr-2$)のソース電極S2及び第4トランジスタ($Tr-4$)のドレーン電極D4と一緒に第3連結ノード($Nd3$)に共通に繋がれている。前記第2トランジスタ($Tr-2$)のゲート電極G2は、前記第1トランジスタ($Tr-1$)のドレーン電極D1及び第3トランジスタ($Tr-3$)のソース電極S3と一緒に第2連結ノード($Nd2$)に共通に繋がれていて、前記第4トランジスタ($Tr-4$)のゲート電極G4は、前記第3トランジスタ($Tr-3$)のドレーン電極D3及び第5トランジスタ($Tr-5$)のソース電極S5と一緒に第4連結ノード($Nd4$)に共通に繋がれている。

40

【0035】

本発明では、静電気防止回路の全体幅(W)と長さ(L)を縮めるために、前記第1、2、3、4、5トランジスタ($Tr-1$ 、 $Tr-2$ 、 $Tr-3$ 、 $Tr-4$ 、 $Tr-5$)の諸ソース/ドレーン電極を奇数番目データラインと隣接した偶数番目データラインの間で、互いに平行な方向に配置するように形成した。

50

【 0 0 3 6 】

すなわち、図 3 に図示されるように、第 1、3、5 トランジスタ (Tr-1、Tr-3、Tr-5) の諸ソース/ドレイン電極 S 1 / D 1、S 3 / D 3、S 5 / D 5 と第 2、4 トランジスタ (Tr-2、Tr-4) の諸ソース/ドレイン電極 S 2 / D 2、S 4 / D 4 は、互いに平行に配置されている。また、第 2 連結ノード (Nd 2) と第 4 連結ノード (Nd 4) は、それぞれ第 2 トランジスタ (Tr-2) のゲート電極 G 2 と第 4 トランジスタ (Tr-4) のゲート電極 G 4 上にそれぞれ形成され、第 1、3、5 連結ノード (Nd 1、Nd 3、Nd 5) は、それぞれ第 1 トランジスタ (Tr-1) のゲート電極 G 1、第 3 トランジスタ (Tr-3) のゲート電極 G 3 及び第 5 トランジスタ (Tr-5) のゲート電極 G 5 上に形成される。

【 0 0 3 7 】

よって、前記第 1 ないし第 5 連結ノード (Nd 1、Nd 2、Nd 3、Nd 4、Nd 5) は、下部に形成されたゲート電極 G 1、G 2、G 3、G 4、G 5 と電気的コンタクトのための第 1 コンタクトホール 5 0 が形成されていて、コンタクト部 7 0 a、7 0 b、7 0 c、7 0 d、7 0 e によって隣接したソース/ドレイン電極 S 1 / D 1、S 2 / D 2、S 3 / D 3、S 4 / D 4、S 5 / D 5 及び諸ゲート電極 G 1、G 2、G 3、G 4、G 5 と電気的に繋がる。また、前記諸ゲート電極の中で、第 1 トランジスタ (Tr-1) のゲート電極 G 1、第 2 トランジスタ (Tr-2) のゲート電極 G 2、第 3 トランジスタ (Tr-3) のゲート電極 G 3、第 4 トランジスタ (Tr-4) のゲート電極 G 4 及び第 5 トランジスタ (Tr-5) のゲート電極 G 5 は、電気的に分離した構造 (アイソレーション) に形成されて、各ゲート電極 G 1 ないし G 5) の幅も奇数番目データライン (DL 2 n + 1) と、これと隣接した偶数番目データライン (DL 2 n) の間の幅を持つ、又はそれより小さな幅を持つように形成される。

【 0 0 3 8 】

そのため、本発明では、静電気防止回路すべての諸トランジスタと電気的に繋がれた諸連結ノードを二つのデータラインの間に形成する。本発明での静電気防止回路の諸ゲート電極幅は 3 0 μ m ~ 5 0 μ m の範囲を持つ。よって、本発明の静電気防止回路の幅 (W) も 3 0 μ m ~ 5 0 μ m の範囲を持つ。

【 0 0 3 9 】

また、本発明では、静電気防止回路を構成するためのトランジスタの諸連結ノードをそれぞれのゲート電極上で形成できるようにすることで、最小の空間で静電気防止回路を設計できる。

【 0 0 4 0 】

図 4 は、前記図 3 の I - I' と II - II' ラインで切断した断面図である。

【 0 0 4 1 】

図 4 を参照すれば、前記 I - I' は、図 3 の第 3 トランジスタ (Tr-3) 領域のソース/ドレイン電極 S 3 / D 3 の断面図で、前記 II - II' は、図 3 の第 2 トランジスタ (Tr-2) 領域の第 2 連結ノードの断面図である。

【 0 0 4 2 】

まず、第 3 トランジスタ (Tr-3) が形成された領域は、基板 1 0 0 上にゲート電極 G 3 が形成されていて、ゲート絶縁膜 1 0 2 を間に介してチャンネル層 1 0 4 が形成されている。前記チャンネル層 1 0 4 上には、ソース/ドレイン電極 S 3 / D 3 が形成されていて、前記ソース/ドレイン電極 S 3 / D 3 上には、保護膜 1 0 9 が形成されている。前記ゲート電極 G 3 は、共通電圧ラインと一体に形成されている。

【 0 0 4 3 】

II - II' 領域の第 2 連結ノード (Nd 2) 領域は、第 2 トランジスタ (Tr-2) のゲート電極 G 2 上にゲート絶縁膜 1 0 2 が形成されている。前記ゲート絶縁膜 1 0 2 上には、第 1 トランジスタ (Tr-1) のドレイン電極 D 1 と第 3 トランジスタ (Tr-3) のソース電極 S 3 電極が第 1 コンタクトホール 5 0 を間に介して形成されている。前記第 1 トランジスタ (Tr-1) のドレイン電極 D 1 と第 3 トランジスタ (Tr-3) のソース電極 S 3 下には、チャンネル層パターン 1 0 4 a が形成されている。

【 0 0 4 4 】

また、前記第1トランジスタ(Tr1)のドレーン電極D1と第3トランジスタ(Tr3)のソース電極S3電極上には、保護膜109が形成されている。前記保護膜109上には、第2コンタクトホール51が形成されている。そして前記第1コンタクトホール50及び第2コンタクトホール51を通じて、液晶表示装置の画素電極と等しい物質であるコンタクト部70bによって、前記第1トランジスタ(Tr1)のドレーン電極D1と第3トランジスタ(Tr3)のソース電極S3及び第2トランジスタ(Tr2)のゲート電極G2とが電氣的に繋がる。

【0045】

よって、本発明での静電気防止回路に使われるトランジスタの連結ノードを、それぞれのトランジスタのゲート電極上に形成することで、静電気防止回路の幅と長さを最小化できる。本発明では、静電気防止回路が形成される奇数番目データラインと隣接した偶数番目データライン間の幅に形成される。

10

【0046】

また、図面では、前記奇数番目データラインと偶数番目データラインの間に形成される静電気防止回路を中心に説明したが、同様に奇数番目ゲートラインと隣接した偶数番目ゲートラインの間に静電気防止回路を形成することができる。

【0047】

図5aないし図5dは、本願発明の液晶表示装置製造工程を図示した断面図である。

【0048】

特に、図面では、静電気防止回路領域の製造工程を中心に図示したが、製造工程は、液晶表示装置のアレイ基板製造工程と同時に形成されるので、これに対する具体的な説明をする。

20

【0049】

図5aを参照すると、第3トランジスタ(Tr3)領域の基板100と第2連結ノード(Nd2)領域の基板100上にそれぞれゲート電極G3と電氣的に分離(アイソレーション)された第2トランジスタ(Tr2)のゲート電極G2が形成される。前記第3トランジスタ(Tr3)のゲート電極G3は、共通電圧ラインと等しいラインの一部である。すなわち、共通電圧ラインが形成されれば、第3トランジスタ(Tr3)のゲート電極G3が完成される。

【0050】

30

すなわち、基板100上に金属膜を蒸着した後、マスク工程を含むフォトリソグラフィ工程とエッチング工程によって液晶表示装置のアレイ基板上には諸ゲートラインと、諸ゲートラインそれぞれから引出された諸ゲート電極が形成される(図示してない)。

【0051】

前記のように、ゲート電極G3、G2が基板100上に形成されれば、ゲート絶縁膜102を基板100の全領域上に形成する。

【0052】

その後、図5bに図示するように、基板100上に非晶質シリコン膜とドーピングされた(n+orp+)非晶質シリコン膜を順次に形成し、続いてソース/ドレーン電極形成のために金属膜を形成する。それから、マスク工程を含むフォトリソグラフィ工程とエッチング工程でソース/ドレーン電極及びチャンネル層104を同時に形成する。よって、液晶表示装置の静電気防止回路であるI-I'領域には、第3トランジスタ(Tr3)のソース/ドレーン電極S3/D3及びチャンネル層104が形成される。この時、液晶表示装置のアレイ基板上には各画素領域別に薄膜トランジスタが形成され、その薄膜トランジスタのソース/ドレーン電極S3/D3とチャンネル層104も同時に形成される。追加的にアレイ基板の諸データラインもこの時に形成される。

40

【0053】

II-II'領域の第2連結ノード(Nd2)領域では、前記第2連結ノード(Nd2)を中心に隣接した第1トランジスタ(Tr1)のドレーン電極D1と第3トランジスタ(Tr3)のソース電極S3の一部がオーバーラップする。この時、本発明では、4マスク工程によってソ

50

ース/ドレイン電極とチャンネル層を同時に形成するので、前記第1トランジスタ(Tr1)のドレイン電極D1と第3トランジスタ(Tr3)のソース電極S3下部には、チャンネル層パターン104aが存在する。

【0054】

図5cを参照すると、基板100上にソース/ドレイン電極S3/D3などが形成されれば基板100全領域上に保護膜109を形成し、マスク工程を含むフォトリソグラフィ工程とエッチング工程でコンタクトホール形成工程を進行する。本発明では、静電気防止回路に形成された諸トランジスタの連結ノードが、静電気防止回路諸トランジスタの諸ゲート電極上に形成されるため、ノード領域にオーバーラップするソース/ドレイン電極と連結ノード領域の下部に形成されたゲート電極上にそれぞれコンタクトホールを形成する。

10

【0055】

具体的に図5cのII-II'領域を見ると、基板100上に静電気防止回路の第2トランジスタ(Tr2)のゲート電極G2が形成されていて、ゲート電極G2を中心に両側にそれぞれ隣接した第1トランジスタ(Tr1)のドレイン電極D1と第3トランジスタ(Tr3)のソース電極S3が形成されている。ここで、前記第1トランジスタ(Tr1)のドレイン電極D1と第3トランジスタ(Tr3)のソース電極S3の間にゲート電極G2が露出するように第1コンタクトホール50を形成し、前記第1トランジスタ(Tr1)のドレイン電極D1と第3トランジスタ(Tr3)のソース電極S3上にそれぞれ第2コンタクトホール51を形成する。

20

【0056】

この時、図面には図示していないが、液晶表示装置のアレイ基板上に保護膜を形成した後、画素領域に形成された薄膜トランジスタのドレイン電極の一部とゲートラインのパッド領域及びデータラインのパッド領域をそれぞれ露出するコンタクトホールを形成する。

【0057】

前記のように、コンタクトホール工程が完了すれば、マスク工程を含むフォトリソグラフィ工程及びエッチング工程で図5dに図示しているように、第1トランジスタ(Tr1)のドレイン電極D1と第3トランジスタ(Tr3)のソース電極S3及び第2トランジスタ(Tr2)のゲート電極G2を電氣的に連結するために、コンタクト部70bを形成する。

30

【0058】

前記コンタクト部70bは、透明性絶縁物質で形成され、これは液晶表示装置のアレイ基板上に画素電極を形成する工程で同時に形成される。よって、液晶表示装置のアレイ基板上に形成された多数の画素領域には画素電極が形成され、各画素電極は、画素領域に形成された薄膜トランジスタのドレイン電極と電氣的にコンタクトされる。

【0059】

よって、本発明では、静電気防止回路に使われるすべてのトランジスタの諸連結ノードが各トランジスタのゲート電極上に位置し、各連結ノードに形成されるトランジスタのソース/ドレイン電極と平行にコンタクト部が形成される。

【図面の簡単な説明】

40

【0060】

【図1】本発明による液晶表示装置のパネル構造を、概略的に図示した図面である。

【図2】本発明によって、液晶表示パネルのデータライン先端に形成された静電気防止回路図である。

【図3】前記図2の静電気防止回路が、液晶表示パネルのアレイ基板上に形成された様子を図示した図面である。

【図4】前記図3のI-I'とII-II'ラインで切断した断面図である。

【図5a】本発明の液晶表示装置製造工程を図示した断面図である。

【図5b】本発明の液晶表示装置製造工程を図示した断面図である。

【図5c】本発明の液晶表示装置製造工程を図示した断面図である。

50

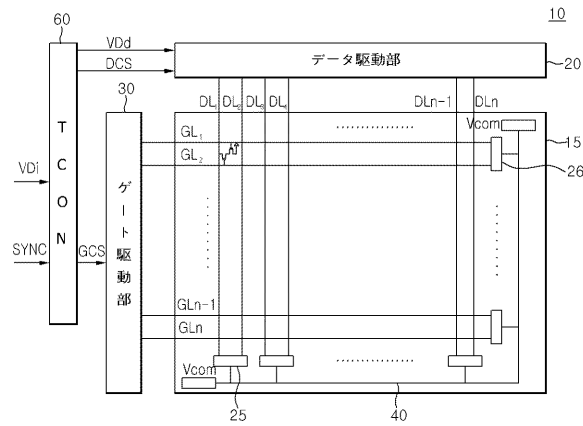
【図 5 d】本発明の液晶表示装置製造工程を図示した断面図である。

【符号の説明】

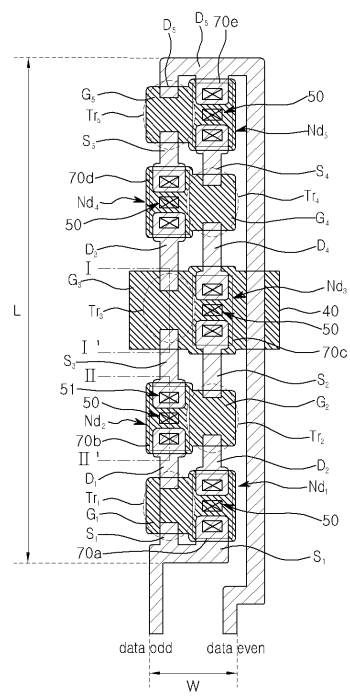
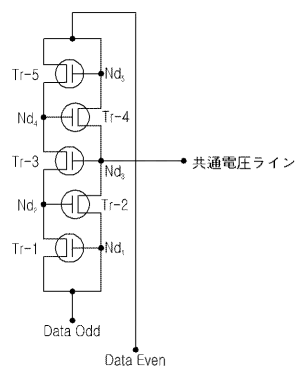
【 0 0 6 1 】

1 0	液晶表示装置	
1 5	液晶表示パネル	
2 0	データ駆動部	
2 5	第 2 静電気防止回路	
2 6	第 1 静電気防止回路	
3 0	ゲート駆動部	
4 0	共通電圧ライン	10
5 0	第 1 コンタクトホール	
5 1	第 2 コンタクトホール	
6 0	タイミングコントローラー	
1 0 0	基板	
1 0 2	絶縁膜	
1 0 4	チャンネル層	
1 0 9	保護膜	
1 0 4 a	チャンネル層パターン	
7 0 a ~ 7 0 e	コンタクト部	
S 1 ~ S 5	第 1 ~ 第 5 ソース電極	20
D 1 ~ D 5	第 1 ~ 第 5 ドレイン電極	
G 1 ~ G 5	第 1 ~ 第 5 ゲート電極	
T r 1 ~ T r 5	第 1 ~ 第 5 トランジスター	
N d 1 ~ N d 5	第 1 ~ 第 5 連結ノード	
W	静電気防止回路の全体幅	
L	静電気防止回路の全体長さ	

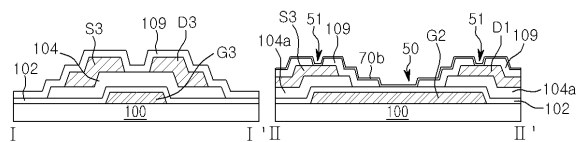
【 図 3 】



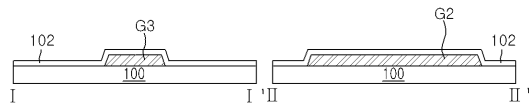
【 図 2 】



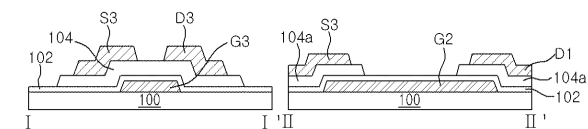
【图 4】



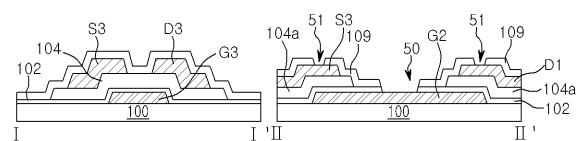
【 図 5 a 】



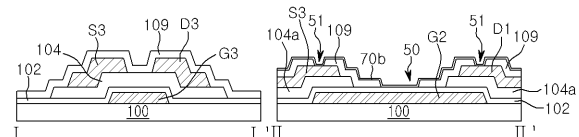
【 図 5 b 】



【 図 5 c 】



【 図 5 d 】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 キム ジュ ハン

大韓民国 デグ プック ドンチョンドン プヨン グリーンタウン 202-803

(72)発明者 イ ジョン ボン

大韓民国 キョングド パジュシ クムチョンドン ソイジャエマエウル アパート 512-1
201

審査官 森江 健蔵

(56)参考文献 特開平11-271722(JP,A)

特開2004-361571(JP,A)

特開2008-122959(JP,A)

特開2004-271840(JP,A)

特開2005-136028(JP,A)

特開2004-311593(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

H01L 29/78

专利名称(译)	估计电路，制造电路的方法		
公开(公告)号	JP4989607B2	公开(公告)日	2012-08-01
申请号	JP2008268054	申请日	2008-10-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	キムジュハン イジョンボン		
发明人	キム ジュ ハン イ ジョン ボン		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786 H01L27/04 H01L21/822		
CPC分类号	H01L27/0248 G02F1/136204		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.623.A H01L27/04.H		
F-TERM分类号	2H092/GA29 2H092/GA64 2H092/JA26 2H092/JA38 2H092/JA42 2H092/JA46 2H092/JB23 2H092/JB63 2H092/JB69 2H092/JB79 2H092/MA05 2H092/MA07 2H092/MA12 2H092/MA35 2H092/MA37 2H092/NA30 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC44 2H192/FB13 2H192/GA15 2H192/GA31 5C094/AA05 5C094/AA15 5C094/AA31 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/FA01 5C094/GB10 5F038/BH07 5F038/BH13 5F038/CA05 5F038/CD02 5F038/CD05 5F038/DF01 5F038/EZ15 5F038/EZ20 5F110/AA22 5F110/BB01 5F110/CC07 5F110/EE43 5F110/GG02 5F110/GG15 5F110/HK02 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HL07 5F110/HM17 5F110/NN02 5F110/NN77 5F110/QQ08		
代理人(译)	臼井伸一 朝日 伸光		
审查员(译)	森江 健蔵		
优先权	1020070106914 2007-10-23 KR		
其他公开文献	JP2009104133A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供抗静电电路和制造该电路的方法，以及具有该电路的液晶显示装置。ŽSOLUTION：改变在液晶显示板的信号线（包括栅极线，数据线和公共电压线）中制造的抗静电电路的连接结构，以显示减小宽度和长度的效果抗静电电路。在抗静电电路中使用的晶体管的连接节点区域中形成接触孔，以便直接连接相邻晶体管的源/漏电极。Ž

【 図 3 】

