

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4963758号  
(P4963758)

(45) 発行日 平成24年6月27日 (2012. 6. 27)

(24) 登録日 平成24年4月6日 (2012. 4. 6)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)  
G02F 1/133 (2006.01)  
G09G 3/20 (2006.01)

G09G 3/36  
G02F 1/133 550  
G09G 3/20 621F  
G09G 3/20 623C  
G09G 3/20 641C

請求項の数 26 (全 20 頁)

(21) 出願番号 特願2001-146858 (P2001-146858)  
(22) 出願日 平成13年5月16日 (2001. 5. 16)  
(65) 公開番号 特開2002-221949 (P2002-221949A)  
(43) 公開日 平成14年8月9日 (2002. 8. 9)  
審査請求日 平成20年2月28日 (2008. 2. 28)  
(31) 優先権主張番号 2000-79698  
(32) 優先日 平成12年12月21日 (2000. 12. 21)  
(33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839  
三星電子株式会社  
Samsung Electronics  
Co., Ltd.  
大韓民国京畿道水原市靈通区梅灘洞416  
416, Maetan-dong, Yeongtong-gu, Suwon-si,  
Gyeonggi-do, Republic of Korea  
(74) 代理人 100121382  
弁理士 山下 託嗣  
(74) 代理人 100094145  
弁理士 小野 由己男  
(74) 代理人 100106367  
弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイ装置及びそのための階調電圧発生回路

(57) 【特許請求の範囲】

【請求項 1】

液晶ディスプレイ装置において、  
多数の画素を備えた液晶パネルと、  
ゲートクロック信号及び多数の制御信号を発生させるためのタイミング制御回路と、  
前記ゲートクロック信号に同期したゲートオン信号により前記液晶パネルにディスプレイされるデータに対応する多数の階調電圧であって、前記ゲートクロック信号のハイレベル区間とローレベル区間毎に各々異なる前記階調電圧を発生させるための階調電圧発生回路と、

前記ゲートクロック信号に応じて前記液晶パネルの前記画素を1列ずつ順次にスキャン  
ングするためのゲート駆動回路と、

前記階調電圧を入力し、前記制御信号に応じて前記液晶パネルにディスプレイされるデータに対応する前記階調電圧を液晶駆動電圧として発生させ、発生された前記液晶駆動電圧をスキャン毎に前記液晶パネルに印加するためのソース駆動回路とを含み、前記階調電圧発生回路は、

前記ゲートクロック信号に応じて前記ゲートクロック信号と同一な周期を有する多数のクロック信号を発生させるためのクロック発生部と、

前記ソース駆動回路の電源電圧を所定比率で分圧して、前記階調電圧を発生させるのに基準になる多数の電圧を発生させるための電圧発生部と、

前記クロック発生部及び前記電圧発生部から発生された前記クロック信号と前記電圧の

10

20

和もしくは差をとって増幅することによって多数の前記階調電圧を発生させるための階調電圧発生部とを含む、  
液晶ディスプレイ装置。

【請求項 2】

前記階調電圧発生回路は、

前記液晶パネルの正極性駆動の時、前記ゲートクロック信号のハイレベル区間の間、前記ソース駆動回路が前記液晶パネルに印加する第 1 電圧レベルの液晶駆動電圧に対応する前記階調電圧を発生させ、前記ゲートクロック信号のローレベル区間の間、前記ソース駆動回路が前記液晶パネルに印加する前記第 1 電圧よりも低電位である第 2 電圧レベルの液晶駆動電圧に対応する前記階調電圧を発生させる、  
請求項 1 に記載の液晶ディスプレイ装置。

10

【請求項 3】

前記階調電圧発生回路は、

前記液晶パネルの負極性駆動の時、前記ゲートクロック信号のハイレベル区間の間、前記ソース駆動回路が前記液晶パネルに印加する第 3 電圧レベルの液晶駆動電圧に対応する前記階調電圧を発生させ、前記ゲートクロック信号のローレベル区間の間、前記ソース駆動回路が前記液晶パネルに印加する前記第 3 電圧よりも高電位の第 4 電圧レベルの液晶駆動電圧に対応する前記階調電圧を発生させる、  
請求項 2 に記載の液晶ディスプレイ装置。

20

【請求項 4】

前記クロック発生部は、

前記ゲートクロック信号を取る込むための入力端子と、

前記入力端子に並列に連結された  $n$  個のクロック発生ユニットと、

前記  $n$  個のクロック発生ユニット各々に連結された  $n$  個の出力端子とを含む、

請求項 1 に記載の液晶ディスプレイ装置。

【請求項 5】

前記電圧発生部は、

前記電源電圧を所定比率で分圧して各々異なる電圧レベルの  $n$  個の前記電圧を発生させるための  $n$  個の電圧発生ユニットを含み、

前記各々の電圧発生ユニットは、前記電源電圧と接地電圧の間に連結された少なくとも 2 つ以上の抵抗と、前記抵抗の間の接点のうちいずれか 1 つに連結された出力端子を含む  
請求項 1 に記載の液晶ディスプレイ装置。

30

【請求項 6】

前記階調電圧発生部は、

前記液晶パネルの正極性駆動のために、前記ゲートクロック信号と同一な極性及び各々異なるレベルの  $m/2$  個の階調電圧を発生させる第 1 階調電圧発生ユニットと、

前記液晶パネルの負極性駆動のために、前記ゲートクロック信号と反対の極性及び各々異なるレベルの  $m/2$  個の階調電圧を発生させる第 2 階調電圧発生ユニットを含む、

請求項 1 に記載の液晶ディスプレイ装置。

【請求項 7】

前記第 1 階調電圧発生ユニットは、

前記クロック発生部から入力される前記  $n$  個のクロック信号のうちいずれか 1 つと、前記電圧発生部から入力される前記  $n$  個の基準電圧のうちいずれか 1 つとを取り込むための第 1 入力端子と、

抵抗を通じて接地された第 2 入力端子と、

フィードバック抵抗を通じて前記第 2 入力端子と接続された出力端子と、

を備えた少なくとも 1 つ以上の増幅回路を含む、請求項 6 に記載の液晶ディスプレイ装置。

40

【請求項 8】

前記増幅回路は、前記クロック信号と前記基準電圧を加算した後、これを所定比率で増

50

幅して前記階調電圧を発生させる、  
請求項 7 に記載の液晶ディスプレイ装置。

【請求項 9】

前記増幅回路は、  
前記階調電圧を分圧するための少なくとも 1 つ以上の抵抗と、  
前記抵抗の接点に連結されて前記分圧された階調電圧を出力するための少なくとも 1 つ以上の出力端子と、  
を含む、請求項 7 に記載の液晶ディスプレイ装置。

【請求項 10】

前記第 2 階調電圧発生ユニットは、  
前記電圧発生部から入力される前記 n 個の基準電圧のうちいずれか 1 つを取り込むための第 1 入力端子と、  
抵抗を通じて前記クロック発生部から入力される前記 n 個のクロック信号のうちいずれか 1 つを取り込むための第 2 入力端子と、  
フィードバック抵抗を通じて前記第 2 入力端子に接続された出力端子と、  
を備えた少なくとも 1 つ以上の増幅回路を含む、請求項 6 に記載の液晶ディスプレイ装置。

10

【請求項 11】

前記増幅回路は、前記基準電圧から前記クロック信号を減算した後、これを所定比率で増幅して前記階調電圧を発生させる、  
請求項 10 に記載の液晶ディスプレイ装置。

20

【請求項 12】

前記増幅回路は、前記階調電圧を分圧するための少なくとも 1 つ以上の抵抗と、前記抵抗の接点に連結されて前記分圧された階調電圧を出力するための少なくとも 1 つ以上の出力端子を含む、  
請求項 10 に記載の液晶ディスプレイ装置。

【請求項 13】

多数の画素を備えた液晶パネルと、ゲートクロック信号及び多数の制御信号を発生させるためのタイミング制御回路と、前記液晶パネルにディスプレイされるデータに対応する多数の階調電圧であって、前記ゲートクロック信号のハイレベル区間とローレベル区間毎に各々異なる前記階調電圧を発生させるための階調電圧発生回路と、前記ゲートクロック信号に応じて前記液晶パネルの前記画素を 1 列ずつ順次にスキャニングするためのゲート駆動回路と、前記階調電圧を入力し、前記制御信号に応じて前記液晶パネルにディスプレイされるデータに対応する前記階調電圧を液晶駆動電圧として発生させ、発生された前記液晶駆動電圧をスキャニング毎に前記液晶パネルに印加するためのソース駆動回路とを備えた液晶ディスプレイ装置の階調電圧発生回路において、

30

前記ゲートクロック信号に応じて前記ゲートクロック信号と同一な周期を有する多数のクロック信号を発生させるためのクロック信号発生部と、

前記ソース駆動回路の電源電圧を所定比率で分圧して、前記階調電圧を発生させるのに基準になる多数の電圧を発生させるための電圧発生部と、

40

前記クロック発生部及び前記電圧発生部から発生された前記クロック信号及び前記電圧の和もしくは差をとって増幅することによって多数の前記階調電圧を発生させるための階調電圧発生部とを含む、

液晶ディスプレイ装置のための階調電圧発生回路。

【請求項 14】

前記クロック発生部は、  
前記ゲートクロック信号を取り込むための入力端子と、  
前記入力端子に並列に連結された n 個のクロック発生ユニットと、  
前記 n 個のクロック発生ユニット各々に連結された n 個の出力端子とを含む、  
請求項 13 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

50

## 【請求項 15】

前記電圧発生部は、

前記電源電圧を所定比率で分圧して、各々異なる電圧レベルの  $n$  個の前記電圧を発生させるための  $n$  個の電圧発生ユニットを含み、

前記各々の電圧発生ユニットは、前記電源電圧と接地電圧の間に連結された少なくとも 2 つ以上の抵抗と、前記抵抗の間の接点のうちいずれか 1 つに連結された出力端子を含む、

請求項 13 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

## 【請求項 16】

前記階調電圧発生部は、

前記液晶パネルの正極性駆動のために、前記ゲートクロック信号と同一な極性及び各々異なるレベルの  $m/2$  個の階調電圧を発生させる第 1 階調電圧発生ユニットと、

前記液晶パネルの負極性駆動のために、前記ゲートクロック信号と反対される極性及び各々異なるレベルの  $m/2$  個の階調電圧を発生させる第 2 階調電圧発生ユニットを含む、請求項 13 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

## 【請求項 17】

前記第 1 階調電圧発生ユニットは、

前記クロック発生部から入力される前記  $n$  個のクロック信号のうちいずれか 1 つと、前記電圧発生部から入力される前記  $n$  個の基準電圧のうちいずれか 1 つとを取り込むための第 1 入力端子と、

抵抗を通じて接地された第 2 入力端子と、

フィードバック抵抗を通じて前記第 2 入力端子に接続された出力端子と、を備えた少なくとも 1 つ以上の増幅回路とを含む、請求項 16 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

## 【請求項 18】

前記増幅回路は、前記クロック信号と前記基準電圧を加算した後、これを所定比率で増幅して前記階調電圧を発生させる、

請求項 17 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

## 【請求項 19】

前記増幅回路は、

前記階調電圧を分圧するための少なくとも 1 つ以上の抵抗と、

前記抵抗の接点に連結されて前記分圧された階調電圧を出力するための少なくとも 1 つ以上の出力端子と、

を含む請求項 17 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

## 【請求項 20】

前記第 2 階調電圧発生ユニットは、

前記電圧発生部から入力される前記基準電圧のうちいずれか 1 つを取り込むための第 1 入力端子と、

抵抗を通じて前記クロック発生部から入力される前記  $n$  個のクロック信号のうちいずれか 1 つを取り込むための第 2 入力端子と、

フィードバック抵抗を通じて前記第 2 入力端子と接続された出力端子と、を備えた少なくとも 1 つ以上の増幅回路とを含む請求項 16 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

## 【請求項 21】

前記増幅回路は、前記基準電圧から前記クロック信号を減加算した後、これを所定比率で増幅して前記階調電圧を発生させる、

請求項 20 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

## 【請求項 22】

前記増幅回路は、前記階調電圧を分圧するための少なくとも 1 つ以上の抵抗と、前記抵抗の接点に連結されて前記分圧された階調電圧を出力するための少なくとも 1 つ以上の出

10

20

30

40

50

力端子を含む、

請求項 2 0 記載の液晶ディスプレイ装置のための階調電圧発生回路。

【請求項 2 3】

前記階調電圧発生回路が、前記液晶パネルの正極性駆動の時、前記ゲートクロック信号のハイレベル区間の間、前記ソース駆動回路が前記液晶パネルに印加する第 1 電圧レベルの液晶駆動電圧に対応する前記階調電圧を発生させ、前記ゲートクロック信号のローレベル区間の間、前記ソース駆動回路が前記液晶パネルに印加する前記第 1 電圧よりも低電位である第 2 電圧レベルの液晶駆動電圧に対応する前記階調電圧を発生させる、  
請求項 1 3 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

【請求項 2 4】

前記階調電圧発生回路が、前記液晶パネルの負極性駆動の時、前記ゲートクロック信号のハイレベル区間の間、前記ソース駆動回路が前記液晶パネルに印加する第 3 電圧レベルの液晶駆動電圧に対応する前記階調電圧を発生させ、前記ゲートクロック信号のローレベル区間の間、前記ソース駆動回路が前記液晶パネルに印加する前記第 3 電圧よりも高電位の第 4 電圧レベルの液晶駆動電圧に対応する前記階調電圧を発生させる、  
請求項 1 3 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

【請求項 2 5】

前記各々のクロック発生ユニットは、

前記入力端子と前記出力端子の間に直列に連結されたキャパシタと抵抗を備え、前記ゲートクロック信号と同一な周期を有するクロック信号を発生させる、  
請求項 1 に記載の液晶ディスプレイ装置。

【請求項 2 6】

前記各々のクロック発生ユニットは、

前記入力端子と前記出力端子の間に直列に連結されたキャパシタと抵抗を備え、前記ゲートクロック信号と同一な周期を有するクロック信号を発生させる、  
請求項 1 3 に記載の液晶ディスプレイ装置のための階調電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶ディスプレイ装置に関し、さらには高速に駆動される液晶ディスプレイ装置に関する。

【0002】

また本発明は、その液晶ディスプレイ装置のための階調電圧発生回路に関する。

【0003】

【従来の技術】

一般的に、液晶 (Liquid Crystal) は或る温度の範囲で液体と結晶の中間性質を有する有機化合物であり、電圧又は温度に従って色又は透明度が変わる。液晶を利用して情報を表現する LCD (Liquid Crystal Display) は従来のディスプレイ装置に比べて、小型で、小電力であるので新たなディスプレイ装置として脚光を浴びている。

【0004】

図 1 は一般的な液晶ディスプレイ装置 10 の構成を示すための構成図である。図 1 を参照すると、液晶ディスプレイ装置 10 は、液晶パネル 1、液晶パネル 1 に連結されたゲート駆動回路 2、ソース駆動回路 3、タイミング制御回路 4、そして、階調電圧発生回路 (gray voltage generating circuit) 又はガンマ基準電圧発生器 (gamma reference generating circuit) 5 を含む。

【0005】

液晶パネル 1 は、多数のゲートライン (G0 - Gn) とゲートライン (G0 - Gn) 各々に垂直に交差する多数のデータライン (D1 - Dm) で構成される。各々のゲートライン

10

20

30

40

50

(G0 - Gn)にはゲート駆動回路2が連結され、各々のデータライン(D1 - Dm)にはソース駆動回路3が連結される。液晶パネル1の各ゲートラインとデータラインが交差する各々の領域には1つの画素(pixel)が構成され、各々の画素は1つの薄膜トランジスタ(Thin Film Transistor: TFT)、1つの維持キャパシタ(storing capacitor: Cst)、そして1つの液晶キャパシタ(liquid crystal capacitor: Cp)で構成される。液晶パネル1を構成する各々の画素は、赤(red: R)、緑(green: G)、青(blue: B)に対応する3つの付属画素(subpixels)をさらに含む。液晶パネル1を通じてディスプレイされる画像は、R, G, B3種類の色フィルタの組合によって得られ、これらの組合によって液晶ディスプレイ装置10は色画像だけでなく純粋な赤、緑、青と、グレースケール(gray scales)をディスプレイできる。

10

#### 【0006】

タイミング制御信号4は、色信号(R, G, B)、水平及び垂直同期信号(HSync, VSync)、そして、クロック信号(CLK)に応じてゲート駆動回路2及びソース駆動回路3に必要な制御信号(例えば、ゲートクロック(Gate Clock)、ゲートオン信号(Gate On Signal)等)を発生させる。そして、階調電圧発生回路5はソース駆動回路3に連結されて、液晶駆動電圧(Vdrive)を発生させるのに基準になる電圧(階調電圧(gray voltage: Vgray)又はガンマ基準電圧(gamma reference voltage))を発生させる。階調電圧発生回路5の一例は2000年5月23日、Kim等による米国特許第6,067,063号に“LIQUID CRYSTAL DISPLAY HAVING A WIDE VIEW ANGLE AND METHOD FOR DRIVING THE SAME”の名称で開示されている。ここに開示されている階調電圧発生回路5は、電源電圧(VCC)と接地(GND)の間に直列連結された多数の抵抗(R1 ~ Rn+1)を含み、各抵抗(R1 ~ Rn+1)は電源電圧(VCC)を所定比率で分配して、n個の階調電圧(VG1 ~ VGn)を発生させる。

20

#### 【0007】

前記のような構造を有する液晶ディスプレイ装置10の動作は次のとおりである。先ず、ゲート駆動回路2が液晶パネル1の画素を1列ずつ順次にスキャンすると、ソース駆動回路3は、階調電圧発生回路5から出力される基準電圧(Vgray)に応じてタイミング制御回路4を通じて入力される色信号(R, G, B)による液晶駆動電圧(Vdrive)を発生させ、発生された液晶駆動電圧(Vdrive)をスキャン毎に液晶パネル1に印加する動作を遂行する。

30

#### 【0008】

このような動作を遂行することにおいて、薄膜トランジスタ(TFT)はスイッチとして作用する。例えば、トランジスタがターンオンである場合、ソース駆動回路3から発生された液晶駆動電圧(Vdrive)によって液晶キャパシタ(Cp)が充填され、トランジスタがターンオフである場合、液晶キャパシタ(Cp)に充填された電圧が漏洩されるのを防止する。従って、液晶パネル1を構成する各々の薄膜トランジスタ(TFT)を駆動させるのに、ソース駆動回路3から印加される液晶駆動電圧(Vdrive)が重要な影響を与える。

40

#### 【0009】

産業の発達に従って、高速化されつつある液晶ディスプレイ装置の技術分野の特性において、液晶キャパシタ(Cp)の充填の時、ソース駆動回路3から印加される液晶駆動電圧(Vdrive)が高い値を有すると、液晶キャパシタ(Cp)は低い液晶駆動電圧(Vdrive)が印加される時に比べて、より速く充填され、液晶キャパシタ(Cp)の速い充填は液晶ディスプレイ装置の全体駆動速度を向上させ得るので、液晶キャパシタ(Cp)の充填速度の改善は液晶ディスプレイ装置の駆動速度を改善させ得る。

#### 【0010】

液晶ディスプレイ装置の駆動速度を向上させるためにソース駆動回路3から印加される液

50

晶駆動電圧 (V d r i v e) を高める方法は様々である。例えば、高レベルの液晶駆動電圧 (V d r i v e) を発生させるようにゲート駆動回路 2 又はソース駆動回路 3 自体の設計を変更したり、この駆動回路 2, 3 に制御信号を発生させるタイミング制御回路 4 の設計を変更させたりする方法がある。しかし、このような比較的が高価の回路に対する設計の変更は、液晶ディスプレイ装置の生産単価を高める問題点がある。そして、液晶駆動電圧 (V d r i v e) の電位を一律的に高めると、高い液晶駆動電圧 (V d r i v e) ほど液晶ディスプレイ装置の電力消費が増加する問題点がある。従って、少費用かつ低電力の液晶ディスプレイ装置の駆動速度を向上させ得る方法が要求される。

【 0 0 1 1 】

【発明が解決しようとする課題】

本発明の目的は、少費用かつ低電力の液晶ディスプレイ装置の駆動速度を向上させ得る階調電圧発生回路を提供することである。

【 0 0 1 2 】

【課題を解決するための手段】

前述の目的を達成するための本発明に係る液晶ディスプレイ装置は、多数の画素を備えた液晶パネルと、ゲートクロック信号及び多数の制御信号を発生させるためのタイミング制御回路と、液晶パネルにディスプレイされるデータに対応する多数の階調電圧であって、ゲートクロック信号のハイレベル区間とローレベル区間毎に各々異なる階調電圧を発生させる階調電圧発生回路と、ゲートクロック信号に応じて液晶パネルの画素を 1 列ずつ順次にスキャンするためのゲート駆動回路と、階調電圧を入力し、制御信号に応じて液晶パネルにディスプレイされるデータに対応する階調電圧を液晶駆動電圧として発生させ、発生された液晶駆動電圧をスキャン毎に液晶パネルに印加するためのソース駆動回路とを含む。

【 0 0 1 3 】

ここで、階調電圧発生回路は、以下のように階調電圧を発生させる。液晶パネルは、ソース電極からドレイン電極を介して液晶駆動電圧を受ける画素電極と、画素電極に対向するように形成され共通電圧が印加される共通電極と、画素電極と共通電極との間に配置される液晶とを備えている。そして、共通電極に印加される共通電圧と画素電極に印加される液晶駆動電圧との電位差により、液晶が駆動される。

・液晶パネルの正極性駆動の時

( a ) ゲートクロック信号のハイレベル区間の間、ソース駆動回路が前記液晶パネルに印加する第 1 電圧レベルの液晶駆動電圧に対応する階調電圧を発生させる。

( b ) ゲートクロック信号のローレベル区間の間、ソース駆動回路が前記液晶パネルに印加する第 1 電圧よりも低電位である第 2 電圧レベルの液晶駆動電圧に対応する階調電圧を発生させる。

・液晶パネルの負極性駆動の時

( c ) ゲートクロック信号のハイレベル区間の間、ソース駆動回路が前記液晶パネルに印加する第 3 電圧レベルに対応する階調電圧を発生させる。

( d ) ゲートクロック信号のローレベル区間の間、ソース駆動回路が前記液晶パネルに印加する第 3 電圧よりも高電位の第 4 電圧レベルに対応する階調電圧の液晶駆動電圧を発生させる。

【 0 0 1 4 】

階調電圧発生回路は、クロック発生部と電圧発生部とソース駆動回路部とを備えている。ここで、クロック発生部は、ゲートクロック信号に応じてゲートクロック信号と同一な周期を有する多数のクロック信号を発生させる。電圧発生部は、ソース駆動回路の電源電圧を所定比率で分圧して、階調電圧を発生させるのに基準になる多数の電圧を発生させる。階調電圧発生部は、クロック発生部及び電圧発生部から発生されたクロック信号と電圧の和もしくは差をとって増幅することによって多数の前記階調電圧を発生させる。

【 0 0 1 5 】

クロック発生部は、ゲートクロック信号を取る込むための入力端子と、入力端子に並列に

10

20

30

40

50

連結された  $n$  個のクロック発生ユニットと、 $n$  個のクロック発生ユニット各々に連結された  $n$  個の出力端子とを含んでいる。そして、クロック発生ユニットは、入力端子と出力端子の間に直列に連結されたキャパシタと抵抗を備えており、ゲートクロック信号と同一な周期を有するクロック信号を発生させる。

【0016】

電圧発生部は、電源電圧を所定比率で分圧して各々異なる電圧レベルの  $n$  個の電圧を発生させるための  $n$  個の電圧発生ユニットを含んでいる。そして、各々の電圧発生ユニットは、電源電圧と接地電圧の間に連結された少なくとも 2 つ以上の抵抗と、抵抗の間の接点のうちいずれか 1 つに連結された出力端子を含んでいる。

【0017】

階調電圧発生部は、第 1 階調電圧発生ユニットと第 2 階調電圧発生ユニットとを備えている。ここで、第 1 階調電圧発生ユニットは、液晶パネルの正極性駆動のために、ゲートクロック信号と同一な極性及び各々異なるレベルの  $m/2$  個の階調電圧を発生させる。一方、第 2 階調電圧発生ユニットは、液晶パネルの負極性駆動のために、ゲートクロック信号と反対の極性及び各々異なるレベルの  $m/2$  個の階調電圧を発生させる。

【0018】

第 1 階調電圧発生ユニットは、第 1 入力端子と第 2 入力端子出力端子を備えた少なくとも 1 つ以上の増幅回路を有している。第 1 入力端子は、クロック発生部から入力される  $n$  個のクロック信号のうちいずれか 1 つと、電圧発生部から入力される  $n$  個の基準電圧のうちいずれか 1 つとを取り込む。第 2 入力端子は、抵抗を通じて接地されている。出力端子は、フィードバック抵抗を通じて第 2 入力端子と接続されている。第 1 階調電圧発生ユニットの増幅回路は、クロック信号と基準電圧を加算した後、これを所定比率で増幅して、階調電圧を発生させる。

【0019】

第 2 階調電圧発生ユニットも、第 1 階調電圧発生ユニットと同様に、第 1 入力端子と第 2 入力端子と出力端子とを備えている。但し、第 2 入力端子は、抵抗を通じてクロック発生部から入力される  $n$  個のクロック信号のうちいずれか 1 つを取り込む点において、第 1 階調電圧発生ユニットと異なる。第 2 階調電圧発生ユニットの増幅回路は、基準電圧からクロック信号を減算した後、これを所定比率で増幅して階調電圧を発生させる。

【0020】

また第 1 及び第 2 階調電圧発生ユニット増幅回路は、階調電圧を分圧するための少なくとも 1 つ以上の抵抗と、抵抗の接点に連結されて分圧された階調電圧を出力するための少なくとも 1 つ以上の出力端子とを含んでいる。

【0021】

【発明の実施の形態】

以下、本発明による実施形態を添付した図 2 乃至図 13 を参照して詳細に説明する。

【0022】

本発明の新規な液晶ディスプレイ装置の階調電圧発生回路は、ソース駆動回路が液晶キャパシタを短時間に充填させ得るように、所定区間の間、高電位の液晶駆動電圧を発生させ、前記区間の以降には一般的な液晶駆動電圧を発生させるように、階調電圧を変形させて出力する。その結果、低電力消費で液晶ディスプレイ装置の駆動速度が向上される。

【0023】

図 2 は本発明による液晶ディスプレイ装置 100 の構成を概略的に示す構成図である。図 2 を参照すると、液晶ディスプレイ装置 100 は液晶パネル 1、液晶パネル 1 に連結された多数のゲート駆動回路 2、多数のソース駆動回路 3、タイミング制御回路 4、そして、階調電圧発生回路 50 を含む。このような構成は、図 1 に示された一般的な液晶ディスプレイ装置 10 の構成と比較すると、タイミング制御回路 4 から発生されるゲートクロック信号 (Gate Clock) に応じて階調電圧 (Vgray') を発生させる階調電圧発生回路 50 を除くと、図 1 に示された液晶ディスプレイ装置 10 と同一な構成を有する。従って、同一な構成を有し、同一な動作を遂行する機能ブロックに対しては、図 1 で使

10

20

30

40

50



用された参照番号を使用し、これに関する詳細な説明は省略する。

#### 【 0 0 2 4 】

周知のように、色信号 ( R , G , B ) に従って多数の階調電圧のうち 1 つを選択し、これに応じて液晶駆動電圧 ( V d r i v e ) を液晶パネルに印加するソース駆動回路 3 の機能は、液晶パネル 1 に備えられた液晶キャパシタ ( C p ) の充填速度と密接な関係である。ところで、液晶キャパシタ ( C p ) を充填させる液晶駆動電圧 ( V d r i v e ) は、階調電圧発生回路 5 0 から発生される階調電圧 ( V g r a y ' ) に依存する。従って、本発明による液晶ディスプレイ装置 1 0 0 は、ゲート駆動回路 2、ソース駆動回路 3 及びタイミング制御回路 4 のように高価で、複雑な回路的な構成を有する回路に対する設計変更なしに、液晶パネル 1 に備えられた液晶キャパシタ ( C p ) の充填速度が速まるようにソース駆動回路 3 から発生される液晶駆動電圧 ( V d r i v e ) を変化させる。ゲート駆動回路 2、ソース駆動回路 3 及びタイミング制御回路 4 を設計変更する場合に比べて、より低価の階調電圧発生回路 5 0 の開発によって、液晶ディスプレイ装置 1 0 0 の駆動速度を向上させる。

10

#### 【 0 0 2 5 】

図 3 は、本発明による階調電圧発生回路 5 0 の構成を概略的に示す構成図である。図 3 を参照すると、本発明による階調電圧発生回路 5 0 は、クロック発生部 5 2、電圧発生部 5 4、そして、階調電圧発生部 5 6 で構成される。クロック発生部 5 2 は、タイミング制御回路 4 から発生されるゲートクロック信号 ( G a t e C l o c k ) に応じて互いに重ならない n 個のクロック信号 ( G \_ C L K 1 , ... G \_ C L K n ) を発生させる。電圧発生部 5 4 は、電源電圧 ( V \_ { D D } ) に応じて電圧レベルが各々異なる n 個の基準電圧 ( V r e f 1 , ... V r e f n ) を発生させる。ここで、電源電圧 ( V \_ { D D } ) はアナログ電圧であり、ソース駆動回路 3 の電源電圧として使用される。

20

#### 【 0 0 2 6 】

クロック発生部 5 2 及び電圧発生部 5 4 から発生された n 個のクロック信号 ( G \_ C L K 1 , ... G \_ C L K n ) と n 個の基準電圧 ( V r e f 1 , ... V r e f n ) が階調電圧発生部 5 6 に入力されると、階調電圧発生部 5 6 はクロック信号 ( G \_ C L K 1 , ... G \_ C L K n ) に同期されて基準電圧 ( V r e f 1 , ... V r e f n ) のレベルに従って各々異なる電位を有する m 個の階調電圧 ( V g r a y 1 ' , ... V g r a y m ' ) を発生させる。階調電圧 ( V g r a y 1 ' , ... V g r a y m ' ) はソース駆動回路 3 が 1 つのゲートクロック ( G a t e C l o c k ) 周期 ( c l o c k p e r i o d ) の間、ゲートクロック信号のハイ区間とロー区間毎に各々異なる値を有する液晶駆動電圧 ( V d r i v e ' ) を発生させるようにする。このような特性を有するソース駆動回路 3 の液晶駆動電圧 ( V d r i v e ' ) によって液晶パネル 1 に備えられた液晶キャパシタ ( C p ) の充填速度が速まり、液晶ディスプレイ装置 1 0 0 の駆動速度が向上される。

30

#### 【 0 0 2 7 】

図 4 は、図 3 に示されたクロック発生部 5 2 の回路図であり、図 5 は、図 3 に示された電圧発生部 5 4 の回路図である。そして、図 6 は、図 3 に示された階調電圧発生部 5 6 の回路図である。図 4 及び図 5 に示されたクロック発生部 5 2 及び電圧発生部 5 4 は各々 6 つのクロック信号 ( G \_ C L K 1 , ... G \_ C L K 6 ) と 6 つの基準電圧 ( V r e f 1 , ... V r e f 6 ) を発生させる。図 6 に示された階調電圧発生部 5 6 は 6 つのクロック信号 ( G \_ C L K 1 , ... G \_ C L K 6 ) と 6 つの基準電圧 ( V r e f 1 , ... V r e f 6 ) に応じて 1 0 つの階調電圧 ( V g r a y 1 ' , ... V g r a y 1 0 ' ) を発生させる。ここで、回路によって発生される信号の個数は回路の構成によって様々であり、図に示された回路は回路構成の一例にすぎない。

40

#### 【 0 0 2 8 】

図 4 を参照すると、クロック発生部 5 2 はタイミング制御回路 4 から発生されるゲートクロック信号を取り込むための入力端子と、入力端子に並列に連結された第 1 乃至第 6 クロック発生ユニット ( 5 2 a - 5 2 f )、そして、クロック発生ユニット ( 5 2 a - 5 2 f ) 各々に連結された第 1 乃至第 6 出力端子で構成される。各々のクロック発生ユニット (

50

5 2 a - 5 2 f) は入力端子と出力端子の間に直列に連結されたキャパシタ (C 1, ..., 又は C 6) と抵抗 (R 1, ..., 又は R 6) を備えて、タイミング制御回路 4 から発生されるゲートクロック信号と同一な周期を有する第 1 乃至第 6 クロック信号 (G \_ C L K 1, ... G \_ C L K 6) を出力端子を通じて互いに重ならないように出力する。

#### 【 0 0 2 9 】

図 5 を参照すると、電圧発生部 5 4 は電源電圧 (V<sub>DD</sub>) を所定比率で分けて各々異なる電圧レベルの 6 つの基準電圧 (V<sub>ref</sub> 1, ... V<sub>ref</sub> 6) を発生させるための第 1 乃至第 6 電圧発生ユニット (5 4 a - 5 4 f) で構成される。第 1 乃至第 6 電圧発生ユニット (5 4 a - 5 4 f) は電源電圧 (V<sub>DD</sub>) と接地電圧 (GND) の間に並列に連結されている。電圧発生ユニット (5 4 a - 5 4 f) は各々、電源電圧 (V<sub>DD</sub>) と接地電圧 (GND) の間に直列に連結された 2 つの抵抗と、これらの抵抗の間の接点に連結された出力端子を含む。

10

#### 【 0 0 3 0 】

図 6 を参照すると、階調電圧発生部 5 6 は液晶の正極性駆動に使用するための第 1 乃至第 5 階調電圧 (V<sub>gray</sub> 1', ... V<sub>gray</sub> 5') を発生させる第 1 階調電圧発生ユニット (5 6 a) と液晶の負極性駆動に使用するための第 6 乃至第 10 階調電圧 (V<sub>gray</sub> 6', ... V<sub>gray</sub> 10') を発生させる第 2 階調電圧発生ユニット (5 6 b) で構成される。

#### 【 0 0 3 1 】

第 1 階調電圧発生ユニット (5 6 a) はクロック発生部 5 2 から発生されるクロック信号 (G \_ C L K 1, G \_ C L K 4, G \_ C L K 5) と電圧発生部 5 4 から発生される基準電圧 (V<sub>ref</sub> 1, V<sub>ref</sub> 4, V<sub>ref</sub> 5) を取り込むための第 1 乃至第 6 入力端子と、入力端子を通じて入力されるクロック信号 (G \_ C L K 1, G \_ C L K 4, G \_ C L K 5) と基準電圧 (V<sub>ref</sub> 1, V<sub>ref</sub> 4, V<sub>ref</sub> 5) を加算した後、これを所定比率で増幅して階調電圧 (V<sub>gray</sub> 1', V<sub>gray</sub> 4', V<sub>gray</sub> 5') を発生させるための第 1 乃至第 3 増幅回路 (AMP 1 - AMP 3) と、増幅回路 (AMP 1 - AMP 3) から発生される階調電圧 (V<sub>gray</sub> 1', V<sub>gray</sub> 4', V<sub>gray</sub> 5') を出力するための出力端子とを含む。ここで、第 1 増幅回路 (AMP 1) は、第 1 クロック信号 (G \_ C L K 1) と第 1 基準電圧 (V<sub>ref</sub> 1) を加算した後、これを所定比率で増幅して第 1 階調電圧 (V<sub>gray</sub> 1') を発生させ、第 2 増幅回路 (AMP 2) は、第 4 クロック信号 (G \_ C L K 4) と第 4 基準電圧 (V<sub>ref</sub> 4) を加算した後、これを所定比率で増幅して第 4 階調電圧 (V<sub>gray</sub> 4') を発生させる。そして、第 3 増幅回路 (AMP 3) は、第 5 クロック信号 (G \_ C L K 5) と第 5 基準電圧 (V<sub>ref</sub> 5) を加算した後、これを所定比率で増幅して第 5 階調電圧 (V<sub>gray</sub> 5') を発生させる。ここで、第 1 階調電圧発生ユニット (5 6 a) に備えられた第 1 乃至第 3 増幅回路 (AMP 1 - AMP 3) から発生される階調電圧 (V<sub>gray</sub> 1', V<sub>gray</sub> 4', V<sub>gray</sub> 5') を数式で表すと、次のとおりである。

20

30

$$(数1) V_{gray1'} = (R_{19} + R_{20}) / R_{19} [V_{ref1} + R_1 / (R_1 + R_{19})] V_{G\_CLK}$$

$$(数2) V_{gray4'} = (R_{25} + R_{26}) / R_{25} [V_{ref4} + R_4 / (R_4 + R_{25})] V_{G\_CLK}$$

40

$$(数3) V_{gray5'} = (R_{27} + R_{28}) / R_{27} [V_{ref5} + R_5 / (R_5 + R_{27})] V_{G\_CLK}$$

ここで、V<sub>G\\_CLK</sub> はゲートクロック信号の交流成分を示す。

#### 【 0 0 3 2 】

第 1 階調電圧発生ユニット (5 6 a) は、このような階調電圧 (V<sub>gray</sub> 1', V<sub>gray</sub> 4', V<sub>gray</sub> 5') の他にも第 2 及び第 3 階調電圧 (V<sub>gray</sub> 2', V<sub>gray</sub> 3') をさらに発生させる。この階調電圧 (V<sub>gray</sub> 2', V<sub>gray</sub> 3') は、第 1 及び第 2 増幅回路 (AMP 1, AMP 2) の出力端の間に直列に連結された抵抗 (R<sub>31</sub>, R<sub>32</sub>, R<sub>33</sub>) によって、V<sub>gray</sub> 1' と V<sub>gray</sub> 4' とが分圧された電圧レ

50

ベルを有する。

#### 【0033】

第2階調電圧発生ユニット(56b)は、クロック発生部52から発生されるクロック信号( $G\_CLK2$ ,  $G\_CLK3$ ,  $G\_CLK6$ )と電圧発生部54から発生される基準電圧( $V_{ref2}$ ,  $V_{ref3}$ ,  $V_{ref6}$ )を取り込むための第7乃至第12入力端子と、入力端子を通じて入力される基準電圧( $V_{ref2}$ ,  $V_{ref43}$ ,  $V_{ref6}$ )からクロック信号( $G\_CLK2$ ,  $G\_CLK3$ ,  $G\_CLK6$ )を減算して、階調電圧( $V_{gray6'}$ ,  $V_{gray7'}$ ,  $V_{gray10'}$ )を発生させるための第4乃至第6増幅回路( $AMP4-AMP6$ )と、増幅回路( $AMP4-AMP6$ )から発生される階調電圧( $V_{gray6'}$ ,  $V_{gray8'}$ ,  $V_{gray10'}$ )を出力するための出力端子とを含む。ここで、第4増幅回路( $AMP4$ )は、第2基準電圧( $V_{ref2}$ )から第2クロック信号( $G\_CLK2$ )を減算した後、これを所定比率で増幅して第6階調電圧( $V_{gray6'}$ )を発生させ、第5増幅回路( $AMP5$ )は、第3基準電圧( $V_{ref3}$ )から第3クロック信号( $G\_CLK3$ )を減算した後、これを所定比率で増幅して第8階調電圧( $V_{gray8'}$ )を発生させる。そして、第6増幅回路( $AMP6$ )は、第6基準電圧( $V_{ref6}$ )から第6クロック信号( $G\_CLK6$ )を減算した後、これを所定比率で増幅して第10階調電圧( $V_{gray10'}$ )を発生させる。ここで、第2階調電圧発生ユニット(56b)に備えられた第4乃至第6増幅回路( $AMP4-AMP6$ )から発生される階調電圧( $V_{gray6'}$ ,  $V_{gray8'}$ ,  $V_{gray10'}$ )を数

学式で表すと、次のとおりである。

(数4)

$$V_{gray6'} = (R2 + R21 + R22) / R22 \times [V_{ref2} - R22 / (R2 + R21) V_{G\_CLK}]$$

(数5)

$$V_{gray8'} = (R3 + R23 + R24) / R24 \times [V_{ref3} - R24 / (R3 + R23) V_{G\_CLK}]$$

(数6)

$$V_{gray10'} = (R6 + R29 + R30) / R30 \times [V_{ref6} - R30 / (R6 + R29) V_{G\_CLK}]$$

ここで、 $V_{G\_CLK}$ はゲートクロック信号の交流成分を示す。

#### 【0034】

第2階調電圧発生ユニット(56b)は、このような階調電圧( $V_{gray6'}$ ,  $V_{gray8'}$ ,  $V_{gray10'}$ )の他にも第7及び第9階調電圧( $V_{gray7'}$ ,  $V_{gray9'}$ )をさらに発生させる。第7階調電圧 $V_{gray7'}$ は、第4及び第5増幅回路( $AMP4$ ,  $AMP5$ )の出力端の間に直列に連結された抵抗( $R36$ ,  $R37$ ,  $R38$ )によって、 $V_{gray6'}$ と $V_{gray8'}$ とが分圧された電圧レベルを有する。第9階調電圧 $V_{gray9'}$ は、第5及び第6増幅回路( $AMP5$ ,  $AMP6$ )の出力端の間に直列に連結された抵抗( $R39$ ,  $R40$ )によって、 $V_{gray8'}$ と $V_{gray10'}$ とが分圧された電圧レベルを有する。

#### 【0035】

図6で、第4階調電圧( $V_{gray4'}$ )と第7階調電圧( $V_{gray7'}$ )は1つ又は2つの出力端子を通じて出力できる。

例えば、4番目出力端子を通じて出力される第4階調電圧( $V_{gray4'}$ )は第2増幅回路( $AMP2$ )の出力をそのままに使用することを示し、5番目出力端子を通じて出力される第4階調電圧( $V_{gray4'}$ )は第2増幅回路( $AMP2$ )の出力を抵抗を通じて所定比率で分圧して出力することを示す。このように、階調電圧発生部56から発生される階調電圧( $V_{ref1'}$ , ...,  $V_{ref10'}$ )は、回路の構成によって増幅回路の出力をそのままに使用することもできるし、所定比率で分圧して使用することもできる。

#### 【0036】

図6では、第4及び第7階調電圧( $V_{gray4'}$ ,  $V_{gray7'}$ )に関して示してい

るが、第4及び第7階調電圧 ( $V_{gray4'}$ ,  $V_{gray7'}$ ) を除いた他の階調電圧にも同様に適用され得る。

【0037】

図7A及び図7Bは、本発明による階調電圧発生回路から発生される階調電圧波形の一例を示すための波形図である。図7Aは正極性の階調電圧を示し、図7Bは負極性の階調電圧を示す。

【0038】

図7で、 $1$  及び  $1'$  で示された波形は、タイミング制御回路4から発生されたゲートクロック信号を、 $2$  及び  $2'$  で示された波形は48階調の階調電圧を、 $3$  及び  $3'$  で示された波形は64階調の階調電圧を各々示す。

10

【0039】

図8及び図9は、図7A及び図7Bに示された階調電圧 ( $V_{ref1'}$ , ...,  $V_{ref10'}$ ) が印加されて、出力されるソース駆動回路3の出力波形の一例を示すための波形図である。図8はドット反転 (dot inversion) 駆動の時の波形であり、図9は2-ライン反転 (2-line inversion) 駆動の時の波形として、電源が印加されない時、白色を表す白色モード (Normally White Mode) 時の波形を示す。

【0040】

図8及び図9には、タイミング制御回路4から出力されるゲートクロック信号と、従来技術による液晶ディスプレイ装置のソース駆動回路の出力信号 ( $V_{drive}$ ) と、本発明による液晶ディスプレイ装置100のソース駆動回路3の出力信号 ( $V_{drive'}$ ) と、 $n$  乃至  $n+3$  番目ラインを駆動させるためにタイミング制御回路4から出力されるゲートオン信号 ( $Gate\ On(n) - Gate\ On(n+3)$ ) とが示されている。

20

【0041】

図8及び図9を参照すると、従来技術による液晶ディスプレイ装置のソース駆動回路はゲートクロック信号の周期毎に  $V_{F+}$  及び  $V_{F-}$  の電圧レベルを有する液晶駆動電圧 ( $V_{drive}$ ) を発生させる。液晶駆動電圧は駆動電圧 ( $V_{com}$ ) を基準にして、プラス方向とマイナス方向に対称をなす。

【0042】

しかし、本発明による液晶ディスプレイ装置100のソース駆動回路3はゲートクロック信号の周期毎に階調電圧に従って変わる液晶駆動電圧 ( $V_{drive'} = V_{gray}(t)$ ) を発生させる。この液晶駆動電圧 ( $V_{drive'}$ ) はゲートクロック信号の周期におけるハイレベル区間とローレベル区間毎に、各々異なるレベルの液晶駆動電圧 ( $V_{drive'}$ ) を発生させる。即ち、液晶駆動電圧 ( $V_{drive'} = V_{gray}(t)$ ) は、液晶パネル1に備えられた液晶キャパシタ ( $C_p$ ) を高速で充填させるのに十分なプラス高電圧及びマイナス高電圧を発生させる。しかし、持続的に高電圧を発生させないで、所定区間だけで高電圧を発生させて、高電圧発生に従う電力消費を防止する。

30

【0043】

図8を参照すると、例えば、ドット反転駆動の時、 $n$  番目ラインを駆動させるためのゲートオン信号 ( $Gate\ On(n)$ ) が印加される場合の正極性駆動をみると、ソース駆動回路3はゲートクロック信号がハイレベルの時、既存の液晶駆動電圧 ( $V_{drive}$ ) に比べて高電圧の第1電圧レベルの液晶駆動電圧 ( $V_{drive'}$ ) を発生させ、ゲートクロック信号がローレベルの時、既存の液晶駆動電圧 ( $V_{drive}$ ) と同一な  $V_{F+}$  の電圧レベルの第2電圧レベルの液晶駆動電圧 ( $V_{drive'}$ ) を発生させる。ここで、液晶駆動電圧 ( $V_{drive'}$ ) が有する第1及び第2電圧レベルは両方とも共通電圧 ( $V_{com}$ ) より高い値を有し、第1電圧レベルは第2電圧レベルに比べてより高い値を有する。

40

【0044】

$n+1$  番目ラインを駆動させるためのゲートオン信号 ( $Gate\ On(n)$ ) が印加される場合の負極性駆動をみると、ソース駆動回路3はゲートクロック信号がハイレベルの

50

時、既存の液晶駆動電圧 ( $V_{drive}$ ) に比べて低電圧 (より大きな負の電圧) の第 3 電圧レベルの液晶駆動電圧 ( $V_{drive}'$ ) を発生させ、ゲートクロック信号がローレベルの時、既存の液晶駆動電圧 ( $V_{drive}$ ) と同一な  $V_{F-}$  の電圧レベルの第 4 電圧レベルの液晶駆動電圧 ( $V_{drive}'$ ) を発生させる。ここで、液晶駆動電圧 ( $V_{drive}'$ ) が有する第 3 及び第 4 電圧レベルは両方とも共通電圧 ( $V_{com}$ ) より低い値を有し、第 3 電圧レベルは第 4 電圧レベルに比べてより低い値を有する。

#### 【0045】

図 9 を参照すると、例えば、2 - ライン反転 (2 - line inversion) 駆動の時、 $n$  及び  $n + 1$  番目ラインを駆動させるためのゲートオン信号 ( $Gate\ On(n)$ ) が印加される場合の正極性駆動をみると、ソース駆動回路 3 はゲートクロック信号がハイレベルの時、既存の液晶駆動電圧 ( $V_{drive}$ ) に比べて高電圧の液晶駆動電圧 ( $V_{drive}'$ ) を発生させ、ゲートクロック信号がローレベルの時、既存の液晶駆動電圧 ( $V_{drive}$ ) と同一な  $V_{F+}$  の電圧レベルの液晶駆動電圧 ( $V_{drive}'$ ) を発生させる。そして、 $n + 2$  及び  $n + 3$  番目ラインを駆動させるゲートオン信号 ( $Gate\ On(n)$ ) が印加される場合の負極性駆動をみると、ソース駆動回路 3 はゲートクロック信号がハイレベルの時、既存の液晶駆動電圧 ( $V_{drive}$ ) に比べて低電圧の液晶駆動電圧 ( $V_{drive}'$ ) を発生させ、ゲートクロック信号がローレベルの時、既存の液晶駆動電圧 ( $V_{drive}$ ) と同一な  $V_{F-}$  の電圧レベルの液晶駆動電圧 ( $V_{drive}'$ ) を発生させる。図 7 及び図 8 に示されたソース駆動回路 3 の出力波形はライン駆動方法の種類に従って変わり、様々な種類のライン駆動方法 (例えば、 $n$  - ライン反転 ( $n - 1$  line inversion) 駆動方法) にも適用できる。

#### 【0046】

図 10 A 乃至図 13 B は、図 7 A 及び図 7 B に示された階調電圧によるソース駆動回路 3 の 0 - 32, 0 - 48, 0 - 64, そして 32 - 64 階調の応答速度の測定結果を示すための図である。

#### 【0047】

詳細には、図 10 A は従来技術によるソース駆動回路の 0 - 32 階調の応答速度を、図 10 B は本発明によるソース駆動回路の 0 - 32 階調の応答速度を示している。また、図 11 A は従来技術によるソース駆動回路の 0 - 48 階調の応答速度を、図 11 B は本発明によるソース駆動回路の 0 - 48 階調の応答速度を示している。また、図 12 A は従来技術によるソース駆動回路の 0 - 64 階調の応答速度を、図 12 B は本発明によるソース駆動回路の 0 - 64 階調の応答速度を示している。また、図 13 A は従来技術によるソース駆動回路の 32 - 64 階調の応答速度を、図 13 B は本発明によるソース駆動回路の 32 - 64 階調の応答速度を示している。

#### 【0048】

測定結果は、各々正極性と負極性を有する 5 つのソース駆動回路に対して図 7 A 及び図 7 B に示された 48 階調の階調電圧 ( $V_2$  及び  $V_2'$ ) 及び 64 階調の階調電圧 ( $V_3$  及び  $V_3'$ ) を変更して印加して測定したものを示す。ここで、各波形のライジングタイム (rising time) は輝度基準である。この輝度基準のライジングタイムは、液晶の動きを基準にする時、液晶のフォーリングタイム (falling time) に該当する。

#### 【0049】

図 10 A 及び図 10 B を参照すると、0 - 32 階調に対するソース駆動回路の応答速度において、従来技術によるライジングタイム (即ち、液晶のフォーリングタイム) は 26.0 ms であり、フォーリングタイム (即ち、液晶のライジングタイム) は 3.6 ms である。しかし、本発明によるライジングタイム (即ち、液晶のフォーリングタイム) は 24.2 ms であり、フォーリングタイム (即ち、液晶のライジングタイム) は 3.6 ms である。このような場合、輝度基準のフォーリングタイムには変化がないが、輝度基準のライジングタイムは 26 ms から 24.2 ms に 1.8 ms 減少される。

#### 【0050】

10

20

30

40

50

図 1 1 A 及び図 1 1 B を参照すると、0 - 48 階調に対するソース駆動回路の応答速度において、従来技術によるライジングタイム（即ち、液晶のフォーリングタイム）は 36.8 ms であり、フォーリングタイム（即ち、液晶のライジングタイム）は 3.6 ms である。しかし、本発明によるライジングタイム（即ち、液晶のフォーリングタイム）は 26.2 ms であり、フォーリングタイム（即ち、液晶のライジングタイム）は 4.4 ms である。このような場合、輝度基準のフォーリングタイムは 0.8 ms 増加されるが、輝度基準のライジングタイムは 36.8 ms から 26.2 ms に 10.6 ms 減少される。

【0051】

図 1 2 A 及び図 1 2 B を参照すると、0 - 64 階調に対するソース駆動回路の応答速度において、従来技術によるライジングタイム（即ち、液晶のフォーリングタイム）は 22.6 ms であり、フォーリングタイム（即ち、液晶のライジングタイム）は 4.7 ms である。しかし、本発明によるライジングタイム（即ち、液晶のフォーリングタイム）は 15.1 ms であり、フォーリングタイム（即ち、液晶のライジングタイム）は 4.6 ms である。このような場合、輝度基準のフォーリングタイムは 0.1 ms 減少されるが、輝度基準のライジングタイムは 22.6 ms から 15.1 ms に 7.5 ms 減少される。

【0052】

図 1 3 A 及び図 1 3 B を参照すると、32 - 64 階調に対するソース駆動回路の応答速度において、従来技術によるライジングタイム（即ち、液晶のフォーリングタイム）は 20.8 ms であり、フォーリングタイム（即ち、液晶のライジングタイム）は 3.4 ms である。しかし、本発明によるライジングタイム（即ち、液晶のフォーリングタイム）は 15.0 ms であり、フォーリングタイム（即ち、液晶のライジングタイム）は 3.4 ms である。このような場合、輝度基準のフォーリングタイムには変化がないが、輝度基準のライジングタイムは 20.8 ms から 15.0 ms に 5.8 ms 減少される。

【0053】

図 1 0 A 乃至図 1 3 B を参照すると、本発明によるソース駆動回路 3 の応答速度は、0 - 32 階調の場合、26 ms から 24.2 ms に 1.8 ms 減少され、0 - 48 階調の場合、36.8 ms から 26.2 ms に 10.6 ms 減少され、0 - 64 階調の場合、22.6 ms から 15.1 ms に 7.5 ms 減少され、32 - 64 階調の場合、20.8 ms から 15.0 ms に 5.8 ms 減少される。これを表で示すと次のとおりである。

【0054】

【表 1】

液晶のフォーリングタイム		
	従来技術	本発明
0-32階調	26.0 ms(1.00)	24.2 ms(0.93)
0-48階調	36.8 ms(1.00)	26.2 ms(0.71)
0-64階調	22.6 ms(1.00)	15.1 ms(0.67)
32-64階調	20.8 ms(1.00)	15.0 ms(0.72)

前記表 1 で、示している液晶のフォーリングタイムは同一な条件で遂行された模擬実験の結果であり、（ ）内に表示された数は従来技術による液晶のフォーリングタイムを基準にして、定規化（normalization）した結果を各々示す。

【0055】

表 1 を参照すると、液晶のフォーリングタイムは 0 - 32 階調の場合、26.0 ms から 24.2 ms に 1.8 ms 減少され、0 - 48 階調の場合、36.8 ms から 26.2 ms に 10.6 ms 減少され、0 - 64 階調の場合、22.6 ms から 15.1 ms に 7.5 ms 減少され、32 - 64 階調の場合、20.8 ms から 15.0 ms に 5.8 ms 減少された。これを定規化した結果で比較すると、液晶のフォーリングタイムは 0 - 32 階調の場合、7%改善され、0 - 48 階調の場合、29%改善され、0 - 64 階調の場合、33%改善され、32 - 64 階調の場合、27%改善された。表 1 から分かるように、液

晶のフォーリングタイムの速度、即ち、液晶ディスプレイ装置の駆動速度は、表示しようとする階調値が多くなるほど、改善される。

【0056】

前述のように、本発明による階調電圧発生回路50は、ソース駆動回路3が図7及び図8に示されたような電圧レベルの液晶駆動電圧( $V_{drive}'$ )を発生させるように階調電圧( $V_{gray}'$ )を変形させて出力する。その結果、ソース駆動回路3はゲートクロック信号の周期毎に階調電圧に従って変わる液晶駆動電圧( $V_{drive}' = V_{gray}'(t)$ )を発生させる。そして、液晶パネル1に備えられた液晶キャパシタ( $C_p$ )は、ソース駆動回路3から印加される液晶駆動電圧( $V_{drive}'$ )によって高速で充填される。その結果、液晶のフォーリングタイムは短縮され、液晶ディスプレイ装置の駆動速度が向上される。

10

【0057】

以上、本発明による回路の構成及び動作を説明したが、これは一例に過ぎない。本発明の思想の範囲内で様々な変化及び変更が可能である。

〔まとめ〕

本実施形態による階調電圧発生回路50は、ゲートクロック信号が高電位の区間には大きい階調電圧を出力し、ソース駆動回路3から大きい液晶駆動電圧 $V_{drive}$ を出力させ、ゲートクロック信号が低電位の区間にはより小さい階調電圧を出力し、ソース駆動回路3から小さい液晶駆動電圧 $V_{drive}$ を出力させることにより、液晶キャパシタ $C_p$ を短時間に充填させることができるようになる。

20

【0058】

ゲートクロック信号が低電位の区間では、液晶駆動電圧 $V_{drive}$ を従来と同程度の小さい電位にするため、液晶ディスプレイ装置を低消費電力で駆動することができる。

【0059】

また、ゲートクロック信号の周期に合わせて、液晶駆動電圧 $V_{drive}$ の大きさを変化させることのみで良いので、液晶ディスプレイ装置の高価格化を防止できる。

【0060】

【発明の効果】

本発明による階調電圧発生回路はソース駆動回路が液晶キャパシタを短時間に充填させ得るように、所定区間の間、高電位の液晶駆動電圧を発生させ、前記区間の以降には一般的な液晶駆動電圧を発生させるように階調駆動電圧を変形させて出力する。これにより、低電力消費で液晶ディスプレイ装置の駆動速度を向上させ得る。

30

【図面の簡単な説明】

【図1】一般的な液晶ディスプレイ装置の構成を概略的に示す構成図。

【図2】本発明の一実施形態による液晶ディスプレイ装置の構成を概略的に示す構成図。

【図3】本発明の一実施形態による階調電圧発生回路の構成を概略的に示す構成図。

【図4】図3に示されたクロック発生部のより詳細な構成を示す回路図。

【図5】図3に示された電圧発生部のより詳細な構成を示す回路図。

【図6】図3に示された階調電圧発生部のより詳細な構成を示す回路図。

【図7A】本発明の一実施形態による階調電圧発生部から発生される正極性の階調電圧波形の一例を示す図。

40

【図7B】本発明の一実施形態による階調電圧発生部から発生される負極性の階調電圧波形の一例を示す図。

【図8】図7に示された階調電圧が印加されて出力されるソース駆動回路の出力波形の一例を示す図(ドット反転駆動時)。

【図9】図7に示された階調電圧が印加されて出力されるソース駆動回路の出力波形の一例を示す図(ライン反転駆動時)。

【図10A】図7に示された階調電圧によるソース駆動回路の0 - 32階調の応答速度の測定結果を示す図(従来)。

【図10B】図7に示された階調電圧によるソース駆動回路の0 - 32階調の応答速度の

50

測定結果を示す図（本実施形態）。

【図 1 1 A】図 7 に示された階調電圧によるソース駆動回路の 0 - 48 階調の応答速度の測定結果を示す図（従来）。

【図 1 1 B】図 7 に示された階調電圧によるソース駆動回路の 0 - 48 階調の応答速度の測定結果を示す図（本実施形態）。

【図 1 2 A】図 7 に示された階調電圧によるソース駆動回路の 0 - 64 階調の応答速度の測定結果を示す図（従来）。

【図 1 2 B】図 7 に示された階調電圧によるソース駆動回路の 0 - 64 階調の応答速度の測定結果を示す図（本実施形態）。

【図 1 3 A】図 7 に示された階調電圧によるソース駆動回路の 32 - 64 階調の応答速度の測定結果を示す図（従来）。

【図 1 3 B】図 7 に示された階調電圧によるソース駆動回路の 32 - 64 階調の応答速度の測定結果を示す図（本実施形態）。

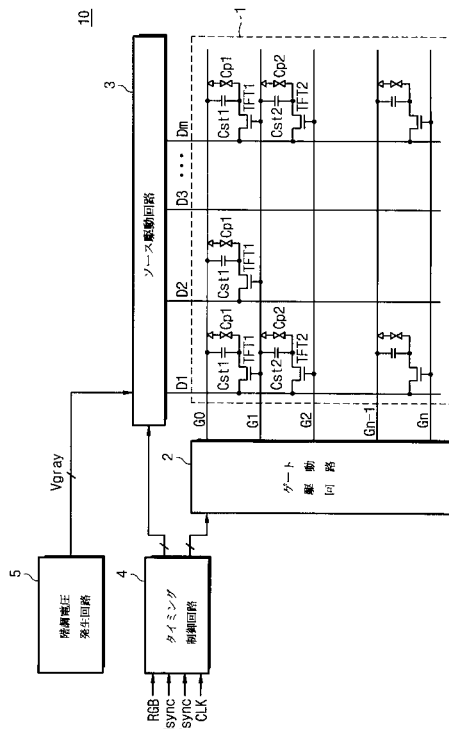
【符号の説明】

- 1 液晶パネル
- 2 ゲート駆動回路
- 3 ソース駆動回路
- 4 タイミング制御回路
- 5 , 50 階調電圧発生回路
- 53 クロック発生部
- 54 電圧発生部
- 56 階調電圧発生部
- 100 液晶ディスプレイ装置

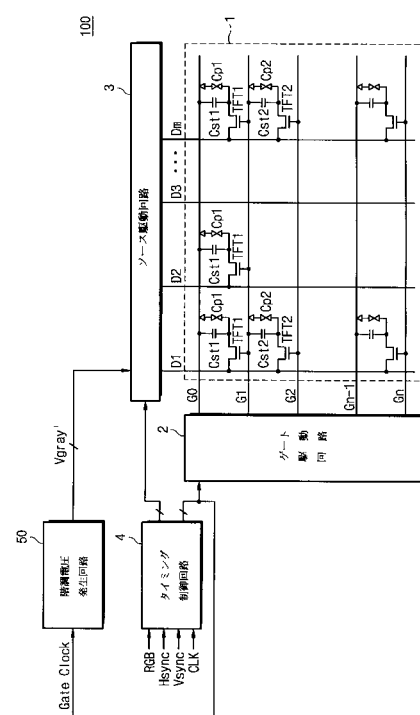
10

20

【図 1】

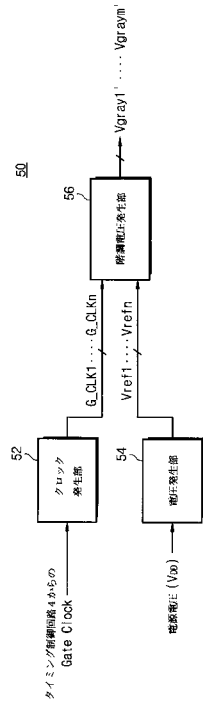


【図 2】

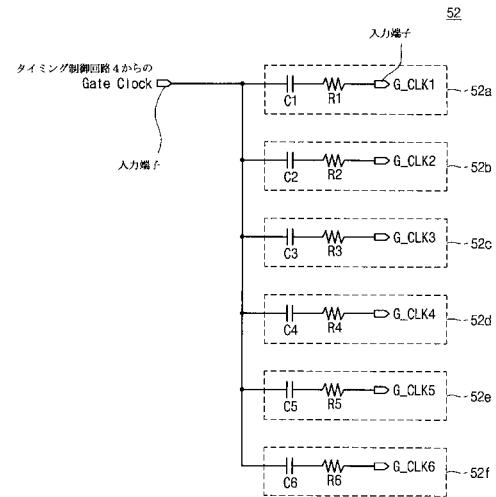




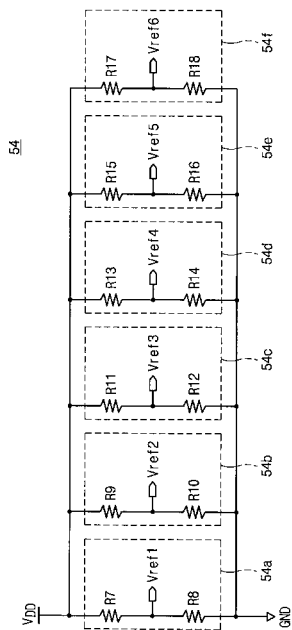
【図 3】



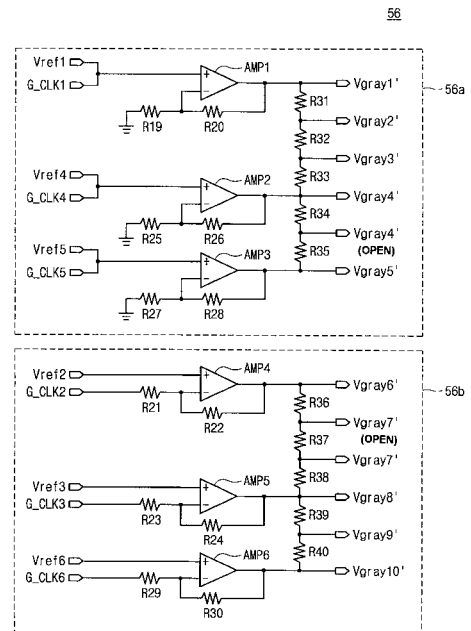
【図 4】



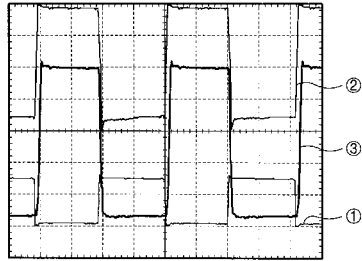
【図 5】



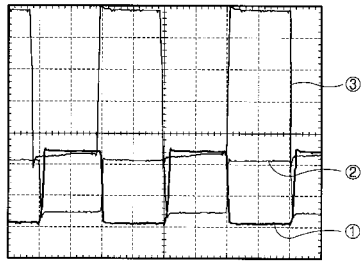
【図 6】



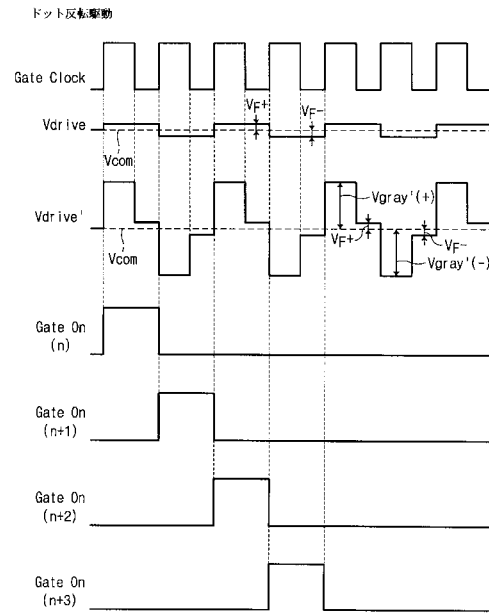
【図 7 A】



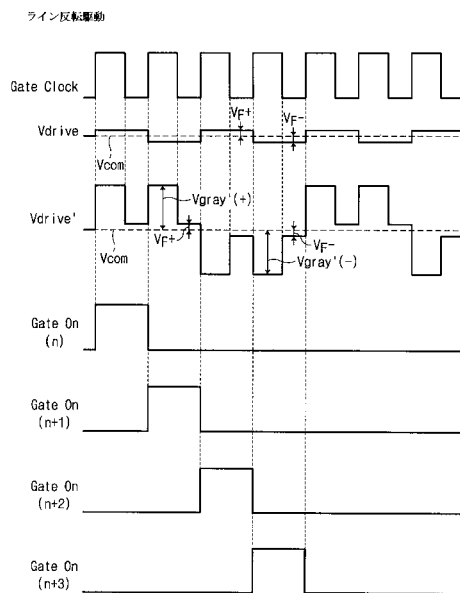
【図 7 B】



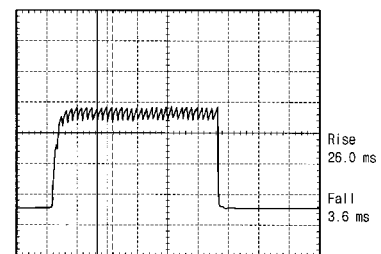
【図 8】



【図 9】



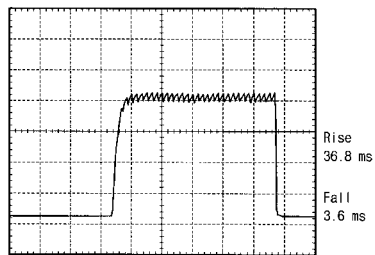
【図 10 A】



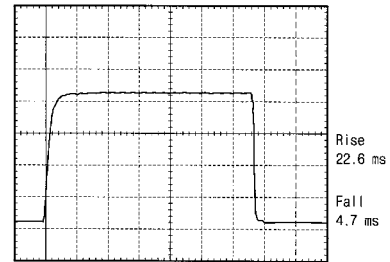
【図 10 B】



【図 1 1 A】



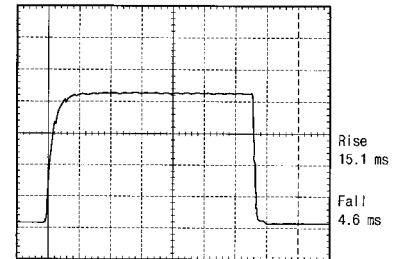
【図 1 2 A】



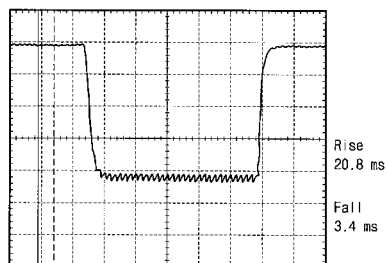
【図 1 1 B】



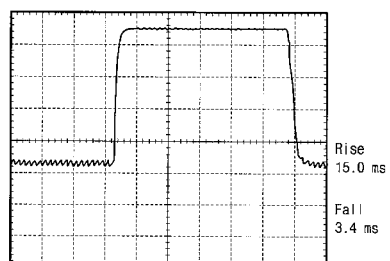
【図 1 2 B】



【図 1 3 A】



【図 1 3 B】



---

フロントページの続き

(72)発明者 延 允 模

大韓民国ソウル市瑞草区良在洞94-16番地

(72)発明者 李 建 斌

大韓民国ソウル市影登浦区唐山洞サンガアパート3棟411号

審査官 西島 篤宏

(56)参考文献 特開2000-200069(JP,A)

特開平11-142807(JP,A)

特開平08-076083(JP,A)

特開平05-134628(JP,A)

特開平04-307592(JP,A)

特開平06-067154(JP,A)

特開平07-319429(JP,A)

特開平11-305744(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

G02F 1/133 505-580

专利名称(译)	液晶显示装置及其灰度电压产生电路		
公开(公告)号	<a href="#">JP4963758B2</a>	公开(公告)日	2012-06-27
申请号	JP2001146858	申请日	2001-05-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	延允模 李建斌		
发明人	延 允 模 李 建 斌		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3696 G09G3/3648 G09G2310/0251		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.F G09G3/20.623.C G09G3/20.641.C		
F-TERM分类号	2H093/NA16 2H093/NC34 2H093/ND39 2H093/ND60 2H193/ZA04 5C006/AC21 5C006/BB16 5C006/BC06 5C006/BC16 5C006/BF43 5C006/FA04 5C006/FA14 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD26 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	山下大洁嗣		
优先权	1020000079698 2000-12-21 KR		
其他公开文献	JP2002221949A JP2002221949A5		
外部链接	<a href="#">Espacenet</a>		

# 摘要(译)

要解决的问题：提供廉价的灰度电压产生电路，其功耗低并且可以提高液晶显示装置的驱动速度。解决方案：该显示装置的源极驱动电路3产生液晶驱动电压，其电平高于栅极时钟信号处于高电平时的现有液晶驱动电压的电平。或者，当栅极时钟信号处于低电平时，电路3产生液晶驱动电压，其电平与现有液晶驱动电压的电平相同，其中驱动极性由电路3施加到电路3。从灰度电压产生电路5输出的灰度电压。

液晶のフォーリングタイム		
	従来技術	本発明
0-32階調	26.0 ms(1.00)	24.2 ms(0.93)
0-48階調	36.8 ms(1.00)	26.2 ms(0.71)
0-64階調	22.6 ms(1.00)	15.1 ms(0.67)
32-64階調	20.8 ms(1.00)	15.0 ms(0.72)